

# 연산증폭기 공유 기법을 이용한 145 $\mu$ W, 87dB SNR을 갖는 저전력 3차 Sigma-Delta 변조기

## A 145 $\mu$ W, 87dB SNR, Low Power 3rd order Sigma-Delta Modulator with Op-amp Sharing

김재봉\*, 김하철\*\*, 조성익\*\*

Jae-Bung Kim\*, Ha-chul Kim\*\*, Seong-Ik Cho\*\*

### Abstract

In this paper, a 145 $\mu$ W, 87dB SNR, Low power 3rd order Sigma-Delta Modulator with Op-amp sharing is proposed. Conventional architecture with analog path and digital path is improved by adding a delayed feed-forward path for disadvantages that coefficient value of the first integrator is small. Proposed architecture has a larger coefficient value of the first integrator to remove the digital path. Power consumption of proposed architecture using op-amp sharing is lower than conventional architecture. Simulation results for the proposed SDM designed in 0.18 $\mu$ m CMOS technology with power supply voltage 1.8V, signal bandwidth 20KHz and sampling frequency 2.8224MHz shows SNR(Signal to Noise Ratio) of 87dB, the power consumption of 145 $\mu$ W.

### 요약

본 논문에서는 디지털 패스가 없는 연산증폭기 공유 기법을 이용한 145 $\mu$ W, 87dB SNR을 갖는 저전력 3차 Sigma-Delta 변조기를 제안한다. 기존 구조는 아날로그와 디지털 패스를 사용한 구조로 첫 번째 적분기의 계수가 작다는 단점을 지닌 피드포워드 패스를 추가하여 개선하였다. 제안한 구조는 디지털 패스를 제거하여 첫 번째 적분기의 계수를 크게 하였고 연산증폭기 공유 기법을 이용하여 전력소모가 기존 구조보다 적다. 전원전압 1.8V, 신호대역폭 20KHz, 샘플링 주파수 2.8224MHz 조건에서 0.18 $\mu$ m CMOS 공정을 이용하여 제안한 구조의 시뮬레이션한 결과, SNR(Signal to Noise Ratio)은 87dB, 전력소비는 145 $\mu$ W이다.

*Key words* : Sigma-Delta modulator, Op-amp sharing, Low power, Analog pass, Digital pass

\* Dept. of Electronics Engineering, Chonbuk University.

\*\* Dept. of Information and Communication Engineering,  
Republic of Korea Naval Academy.

★ Corresponding author ([sicho@jbnu.ac.kr](mailto:sicho@jbnu.ac.kr), 063-270-4137)

※ Acknowledgment

Manuscript received Nov. 10, 2014; revised Mar. 19, 2015 ; accepted Mar. 19, 2015

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## 1. 서론

각종 센서, 무선기기, 디지털 기기들은 가격은 저렴 하면서 전력소모가 적은 신호처리 시스템을 필요로 스마트 폰, MP3 플레이어 등에 사용되는 오디오 신호처리 ADC(Analog to Digital Converter)는 20KHz 신호 대역폭에서 12bit 이상의 고해상도를 갖으면서 전력소모가 적어야 한다[2].

Sigma-Delta ADC는 Sigma-Delta 변조기와 테시메이션 필터로 나누어지며, 오버샘플링 기법과 잡음 변형 기법을 이용한 저대역, 고해상도 ADC로 오디오 신호처리에 주로 이용되고 있다[3]. Sigma-Delta 변조기는 변조기의 차수를 증가시켜 고해상도를 구현할

수 있지만 차수만큼 적분기가 늘어나게 되고 전력소모를 증가시키는 요인이 된다. Sigma-Delta 변조기의 전력소모를 적게 하기 위해서는 한 주기 동안 2번 샘플링하는 더블 샘플링 기법[4], 연산증폭기를 공유하는 기법[5]이 있고, 첫 번째 적분기의 전력소모를 1/2 이상 낮추는 저전력 스위치드-커패시터 적분기 구조 [6] 및 Simga-Delta 변조기의 차수를 높이면서 적분기를 줄인 구조가 제안 되었다[7].

Simga-Delta 변조기의 차수를 높이면서 적분기를 줄인 구조는 3차부터 첫 번째 적분기의 계수가 급격하게 작아지는 단점이 있다. 기존 구조[8]는 지연된 피드포워드 패스를 추가하여 단점을 개선한 구조로 전력소모를 낮추기 위해 저전력 스위치드-커패시터 적분기를 사용하였다. 기존 구조는 아날로그 패스와 디지털 패스를 사용하기에 비중첩 클럭 외에 4개의 클럭을 필요로 한다.

본 논문은 디지털 패스가 없고 기존 구조보다 전력소모가 더욱 적은 연산증폭기 공유 기법을 이용한 145μW, 87dB SNR을 갖는 저전력 3차 Sigma-Delta 변조기를 제안한다. 제안한 구조는 첫 번째 적분기의 계수를 작게 하는 요인인 디지털 패스를 제거하여 아날로그 패스만을 사용하여 2개의 적분기로 3차 Sigma-Delta 변조기를 구현하였다. 제안한 구조는 연산증폭기 공유 기법을 이용한 구조로 기존 구조보다 전력소모가 적으며 기존 구조는 비중첩 클럭을 포함하여 6개의 클럭이 필요하지만 제안한 구조는 기존 구조보다 1개의 클럭이 적은 5개의 클럭을 필요로 한다.

본 논문은 2장에서 기존 구조와 제안된 구조를 비교하고, 3장은 모의실험 결과를 4장에서는 결론으로 구성되어진다

## II. 제안한 구조의 Σ-Δ 변조기

### 1. 기존 구조

그림 1은 2개의 적분기를 이용하여 3차 SDM의 특성을 갖는 기존 구조의 블럭다이어그램이다.

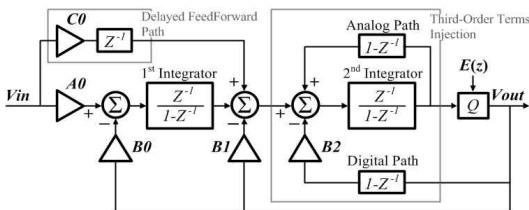


Fig. 1. Conventional architecture block diagram  
그림 1. 기존 구조의 블럭다이어그램

기존 구조에서 사용한 두 번째 적분기는 아날로그 패스와 디지털 패스를 이용한 적분기로 1개의 적분기로 2차 SDM의 특성을 갖는다. 반면 아날로그 패스와 디지털 패스를 이용한 적분기는 Multil-Bit DAC가 아닌 1bit DAC를 사용함에 있어 첫 번째 적분기의 계수가 매우 작아진다는 단점이 있다. 첫 번째 적분기의 계수가 작아지면 KT/C의 잡음이 증가하게 된다. KT/C의 잡음을 낮추기 위해서는 첫 번째 적분기의 샘플링 커패시턴스가 커져야 하지만 이는 적분기의 전력소모가 커짐을 의미한다. 기존 구조는 이러한 단점을 극복하고자 두 번째 적분기에 지연된 피드포워드 경로를 추가하여 첫 번째 적분기의 계수 A0, B0의 값을 크게 하였다.

표 1은 기존 구조에서 지연된 피드포워드 경로가 있을 때와 없을 때를 비교한 것으로 첫 번째 적분기의 계수가 2배로 커진 것을 볼 수 있다.

Table 1. Comparison about delayed feedforward path  
표 1. 지연된 피드포워드 경로가 있을 때와 없을 때 비교

With delayed feedforward path		Without delayed feedforward path	
coefficient	value	coefficient	value
A0	0.05	A0	0.1
B0	0.05	B0	0.1

기존 구조는 전력소모를 줄이기 위해 첫 번째 적분기를 저전력 스위치드-커패시터 적분기로 사용하였다. 그림 2는 저전력 스위치드-커패시터 적분기 회로로 k는 계수 A0, B0이다. 저전력 스위치드-커패시터 적분기는 적분기의 커패시턴스 Ci를 1/2로 줄이는 적분기로 일반적인 적분기에 비해 전력소모를 1/2이상 줄일 수 있다.

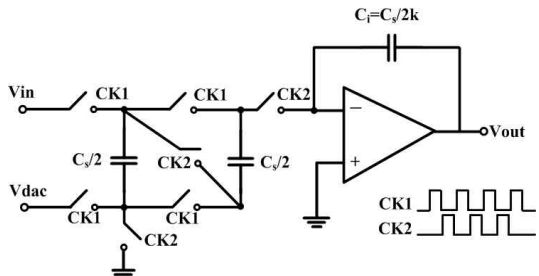


Fig. 2. Low-power switched-capacitor integrator  
그림 2. 저전력 스위치드-커패시터 적분기

아날로그 패스와 디지털 패스를 이용한 기존 구조는 3차 SDM을 2개의 적분기로 구현하기에 전력소모가 기본 구조에 비해 적다. 또한 첫 번째의 샘플링 커패시턴스가 작아지는 단점을 지연된 피드포워드 경로를 추가하여 개선하였고 저전력 스위치드-커패시터 적분기를 사용하여 전력소모를 더욱 줄였다.

**2. 제안한 구조**

그림 3은 제안한 구조의 블록다이어그램으로 기존 구조에서 디지털 패스를 제거하고 첫 번째 적분기 출력의 피드포워드 경로를 추가하여 기존 구조보다 첫 번째 적분기의 계수가 크고 전력소모가 적은 구조이다.

기존 구조는 아날로그, 디지털 패스, 1bit DAC로 3차 SDM을 구현하였다. 기존 구조에 사용된 1bit DAC는 피드백 되는 값이 크며 디지털 패스를 사용하면 더욱 큰 값이 나오게 되고 이로 인해 첫 번째 적분기 계수 A0, B0가 작아지게 된다. 제안한 구조는 첫 번째 적분기 계수 A0, B0를 작게 하는 주된 원인인 디지털 패스를 제거하고 첫 번째 적분기 출력의 피드포워드 계수 C1을 추가하여 3차 SDM을 구현한다. 또한 입력신호의 피드포워드 계수 C0를 추가하여 첫 번째 적분기 계수 A0, B0의 값을 크게 한다.

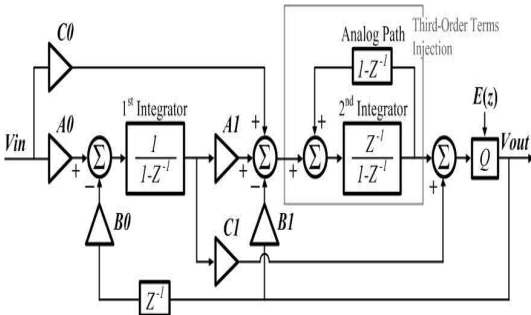


Fig. 3. Proposed architecture block diagram  
그림 3. 제안한 구조의 블록다이어그램

SDM의 전력소모를 줄이기 위해서는 기존 구조와 같이 저전력 스위치드-커패시터 적분기를 이용하는 방법과 연산증폭기 공유 기법을 이용하는 방법이 있다. 연산증폭기 공유 기법은 SDM 회로 구현시 2개의 적분기를 1개의 연산증폭기로 구현하는 기법으로 저전력 스위치드-커패시터 적분기에 비해 전력소모가 적다. 기존 구조는 첫 번째 적분기를 지연이 있는 적분기로 사용하여 연산증폭기 공유 기법을 사용할 수 없다. 제안한 구조는 첫 번째 적분기를 지연이 없는 적분기를 이용하여 연산증폭기 공유 기법을 사용하도

록 개선한 구조이다.

제안한 구조의 신호전달함수(STF)와 잡음전달함수(NTF)는 식(1)과 식(2)이고 3차 SDM의 특성을 나타낸다.

$$STF = \frac{D_{Z1}Z^3 + D_{Z2}Z^2 + D_{Z3}Z}{D_{P1}Z^3 + D_{P2}Z^2 + D_{P3}Z + D_{P4}} \quad (1)$$

$$\begin{aligned} D_{Z1} &= A_0C_1 \\ D_{Z2} &= A_0A_1 - 2A_0C_1 + C_0 \\ D_{Z3} &= A_0C_1 - C_0 \\ D_{P1} &= 1 \\ D_{P2} &= (B_0C_1 + B_1 - 3) \\ D_{P3} &= (B_0A_1 - B_1 - 2B_0C_1 + 3) \\ D_{P4} &= (B_0C_1 - 1) \end{aligned}$$

$$NTF = \frac{(Z-1)^3}{D_{P1}Z^3 + D_{P2}Z^2 + D_{P3}Z + D_{P4}} \quad (2)$$

$$\begin{aligned} D_{P1} &= 1 \\ D_{P2} &= (B_0C_1 + B_1 - 3) \\ D_{P3} &= (B_0A_1 - B_1 - 2B_0C_1 + 3) \\ D_{P4} &= (B_0C_1 - 1) \end{aligned}$$

**3. 회로 구현**

그림 4는 제안한 구조의 회로이고 연산증폭기 공유 기법을 사용하여 2개의 적분기를 1개의 연산증폭기로 구현하였다.

제안한 구조는 CK1 클럭에는 첫 번째 적분기가 동작하고 CK2 클럭에는 두 번째 적분기가 동작을 한다. 두 번째는 적분기는 CK2 클럭에 동작을 하지만 두 번째 적분기에 들어가는 입력신호는 첫 번째 적분기에 들어가는 입력신호와 지연시간이 없어야하므로 CK1 클럭에 샘플링을 한다.

아날로그 패스를 회로로 구현함에 있어 기존 구조는 4개의 클럭을 필요로 한다. 그림 5는 기존 구조에 사용된 클럭으로 비중첩 클럭 CK1과 CK2외에 아날로그 패스를 구현하기 위한 CK3, CK4, CK5, CK6 클럭을 필요로 한다.

기존 구조의 아날로그 패스는 두 번째 적분기의 출력을 CK3 클럭에 샘플링하여 한 주기 지연 시키고 CK6 클럭에 두 번째 적분기의 입력으로 피드백 되어 들어간다. 다음 클럭에는 CK5 클럭에 샘플링하고 CK4 클럭에 두 번째 적분기의 입력으로 피드백 되어 들어간다.

제안한 구조는 연산증폭기 공유 기법을 사용하기에 CK1 클럭과 같은 시간대인 CK3와 CK5 클럭에 두 번째 적분기의 출력을 샘플링 할 수 없다. 제안한 구

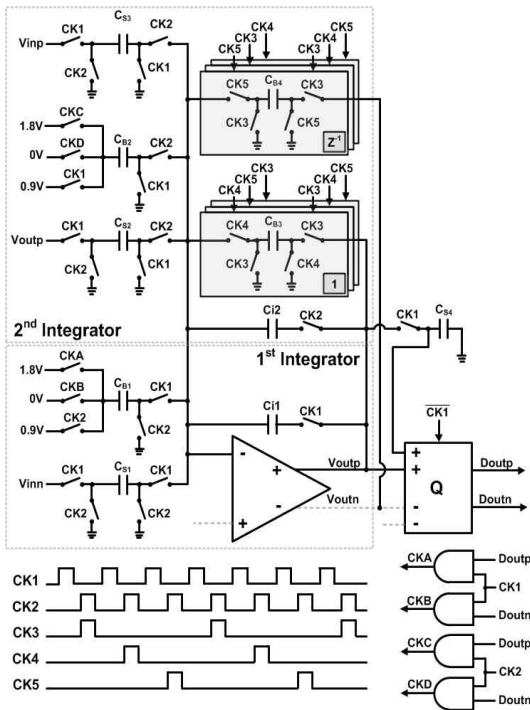


Fig. 4. Half circuit of the proposed architecture  
 그림 4. 제안한 구조의 회로

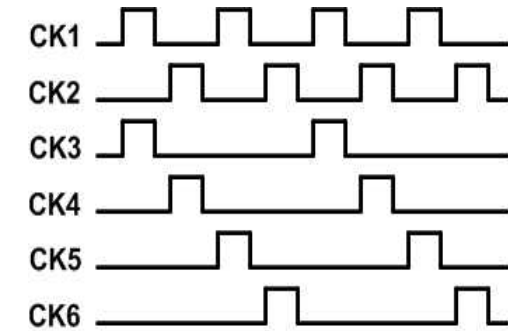


Fig. 5. Clocks used conventional architecture  
 그림 5. 기존 구조에 사용된 클럭

조에 사용되는 클럭은 그림 4와 같다. 제안한 구조는 CK3 클럭에 샘플링하여 두 주기를 지연 시키고 CK5 클럭에 두 번째 적분기의 입력으로 피드백 되어 들어간다. 다음 클럭에는 CK4 클럭에 샘플링을 하고 CK3 클럭에 피드백 되고, 이 다음 클럭에는 CK5 클럭에 샘플링하고 CK4 클럭에 피드백 되어 두 번째 적분기의 입력으로 들어간다.

비교기는 4개의 입력을 가진 1bit 비교기를 사용한

다. 4개의 입력을 가진 1bit 비교기는 2개의 입력신호를 가산하여 비교하므로 비교기 앞에 있는 가산기를 구현할 필요가 없다.

4. 연산증폭기 구현

제안한 구조에 사용된 연산증폭기는 그림 6의 연산증폭기로 이득이 높고 주파수 보상이 필요 없는 완전 차동 폴디드 캐스코드 구조로 구현하였다.

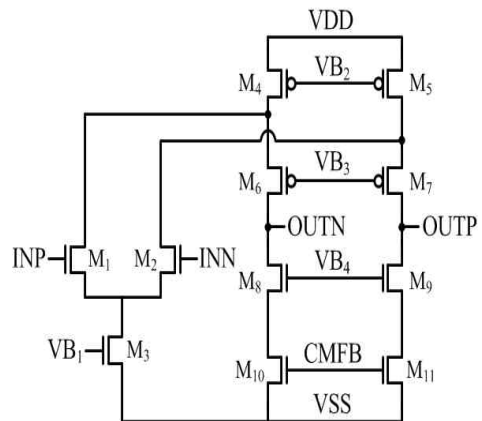


Fig. 6. Fully differential Folded Cascode op-amp  
 그림 6. 완전 차동 폴디드 캐스코드 연산증폭기

완전 차동 연산증폭기에서 정상 동작하기 위하여 사용하는 CMFB(Common Mode FeedBack) 회로는 전력소모가 없고 구조가 간단한 스위치-커패시터 CMFB로 설계하였고 표 3에 성능을 요약하였다.

Table 2. Summary of op-amp performance  
 표 2. 연산증폭기 성능 요약

DC gain[dB]	70
GB[MHz]( $C_L=3pF$ )	12
Phase Margin[°]	58
Output range[Vpp]	1.2
Slew rate[V/ $\mu s$ ]	12
Power[ $\mu W$ ]	125

III. 시뮬레이션 결과

제안한 구조의 모델링은 적분기의 비이상적인 특성을 고려하였고 표 3는 모델링 및 시뮬레이션 조건이며 계수값은  $a_0=b_0=0.25$ ,  $a_1=0.125$ ,  $b_1=0.15$ ,  $c_0=0.125$ ,

c1=1이다.

그림 7은 표 3와 같은 조건으로 모델링 결과로 SNR은 88.1dB로 3차 SDM의 특성을 보인다.

Table 3. Modeling & Simulation specifications

표 3. 모델링 및 시뮬레이션 조건

Sampling Frequency[MHz]	2.8224
Over Sampling Ratio	64
Signal Magnitude[Vpp, KHz]	1, 1
Signal Bandwidth[Hz]	20-20K
DAC	1bit
Opamp DC-gain[dB]	70
Opamp GBW[MHz] (CL=3pF)	15
Opamp Phase Margin[°]	58
Opamp Output Range[Vpp]	1.2
Opamp Slew rate[V/μs]	12

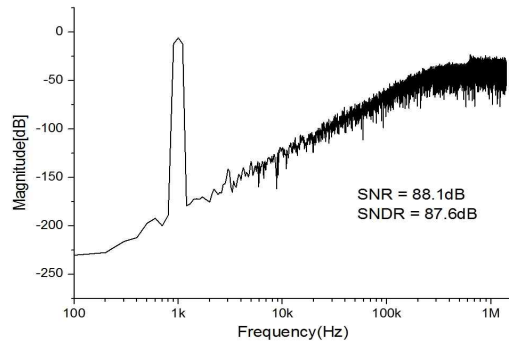


Fig. 7. SNR of proposed architecture used Modeling  
 그림 7. 모델링을 이용한 제안 구조의 SNR

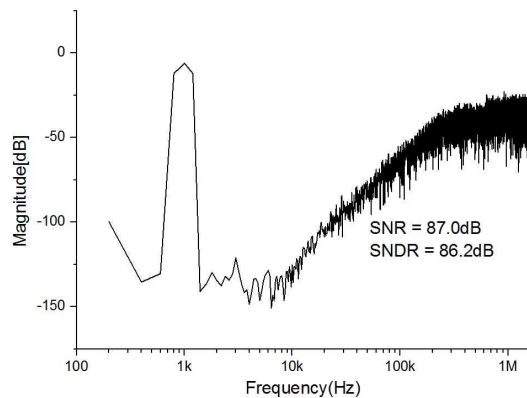


Fig. 8. Simulation results  
 그림 8. 시뮬레이션 결과

그림 8은 0.18um 공정 파라미터를 이용한 시뮬레이션 결과로 시뮬레이션 조건은 표3와 같다. 입력 신호 1Vpp, 1KHz에서 SNR은 87dB이고 전력소모는 145μW이다.

표 4은 기존 구조와 제안한 구조를 비교 정리한 것이다. FOM(Figure Of Merit)은 ADC의 성능지표로 해상도, 대역폭에 비해 전력소모가 얼마나 적은지를 나타내는 지표로 FOM이 작을수록 우수한 특성을 의미한다. FOM의 수학적 정의는 식 (3)과 같다.

$$FOM = \frac{Power}{2^{ENOB} \times 2 \times Bandwidth} \quad (3)$$

Table 4. Comparison of conventional architecture and proposed architecture

표 4. 기존 구조와 제안한 구조의 비교

	Conventional	Proposed
Clock type	6	5
Op-amp	2	1
Feedback path type	Analog, Digital	Analog
DAC	1bit	1bit
SNR[dB]	88.9	87.0
Power[μW]	180	145
FOM[pJ]	0.23	0.20

Table 5. Comparison of Sigma Delta modulators published

표 5. 시그마 델타 변조기의 비교

	[8]	[9]	[10]	this work
Process[um]	0.18	0.18	0.18	0.18
Supply voltage[V]	1.8	0.9	1	1.8
BW[KHz]	24	22	24	20
SNR[dB]	88.9	91	92	87
Power[μW]	180	300	663	145
FOM[pJ]	0.23	0.21	0.45	0.2

제안한 구조는 기존 구조에 비해 ENOB는 2.2% 낮고 전력소모는 19.4% 적으므로 ADC의 성능지표인 FOM은 기존 구조에 비해 0.03이 낮다.

표 5는 기존 구조를 포함한 시그마 델타 변조기의 성능을 비교한 표로 제안한 구조가 FOM이 가장 낮음을 볼 수 있다.

#### IV. 결론

제안한 구조는 디지털 패스가 없고 연산증폭기 공유 기법을 사용하여 2개의 적분기로 3차 SDM를 구현한 구조이다. 기존 구조는 연산증폭기 공유 기법을 사용할 수 없어 저전력 스위치드-커패시터 적분기를 사용하여 전력소모를 적게 하였고 회로 구현시 연산증폭기 2개를 사용하여 회로를 구현한다. 제안한 구조는 연산증폭기 공유기법을 사용하여 연산증폭기 1개로 회로를 구현하며 기존 구조보다 전력소모가 35  $\mu$ W가 적다. 기존 구조는 아날로그 패스와 디지털 패스를 구현하기 위해 총 6개의 클럭이 필요하지만 제안한 구조는 5개의 클럭으로 아날로그 패스를 구현한다.

제안한 구조는 0.18 $\mu$ m 공정 파라미터를 이용하여 전원전압 1.8V, 신호대역폭 20KHz, 샘플링주파수 2.8224MHz의 조건에서 시뮬레이션 하였고 전력소모는 145 $\mu$ W이고 SNR 87dB이다.

#### Reference

- [1] Aldo Pena-Perez, Edoardo Bonizzoni and Franco Maloberti "A 88-dB DR, 84-dB SNDR Very Low-Power Single Op-Amp Third-Order Modulator" IEEE J. Solid-State Circuits, vol. 47, No. 9, pp. 2017-2118, Sep. 2012
- [2] Huy-Binh Le, Sang-Gug Lee, and Seung-Tak Ryu "A Regulator-Free 84dB DR Audio-Band ADC for Compact Digital Microphones" IEEE Asian Solid-State Circuits Conference, pp. 1-4, November. 2010
- [3] Richard Schreier and Gabor C. Temes "Understanding Delta-Sigma Data Converters" Wiley-IEEE Press, pp. 1-10, 2005
- [4] Chuc K. Thanh, Stephen H. Lewis, and Paul J. Hurst, "A Second-Order Double-Sampled Delta-Sigma Modulator Using Individual-Level Averaging" IEEE J. Solid-State Circuits, vol. 32, No. 8, pp. 1269-1273, Aug. 1997
- [5] Daisuke Kanemoto, Toru Ido and Kenji

Taniguchi, "A 7.5mW 101dB SNR Low-Power High-Performance Audio Delta-Sigma Modulator Utilizing Opamp Sharing Technique" SoC Design Conference(ISOCC), 2011 International, pp. 66-69. 2011

[6] A. Nilchi and D. A. Johns, "Charge-pump based switched-capacitor integrator for modulators" Electron. Lett., vol. 46, no. 6, pp. 400-401, Mar. 2010

[7] Gun-Hee Yun. "Design of A Low-Power 12-Bit Sigma-Delta Modulator" Hanyang University, 2011.

[8] Minwoong Lee and Jongyeol Lee. "Third order Sigma-Delta Modulator with Delayed Feed-forward Path for Low-power Operation" Journal of The Institute of Electronics and Information Engineers, vol. 51, no. 10, pp. 57-63, Oct. 2014

[9] X. Gou, Y. Li, J. Chen et al, "A Low Power Low Voltage 16bit Audio  $\Sigma\Delta$  Modulator" IEEE Circuits and Systems(ISCAS), pp. 3142-3145, 2009

[10] L. Liu, D. Li, L. Chen et al, "A 1V 663 $\mu$ W 15-bit Audio  $\Delta\Sigma$  Modulator in 0.18 $\mu$ m CMOS" IEEE Circuits and Systems(ISCAS), pp. 510-513, 2011

#### BIOGRAPHY

##### Kim Jae-Bung (Member)



2006 : BS degree in Electronic Engineering, Chonbuk University.  
2009 : MS degree in Electronic Engineering, Chonbuk University.  
2010~Present : PhD course in Electronic Engineering, Chonbuk University.

<Main interests> ADC, Low-Power/High-Resolution SDM Design, Intergrated Circuit.

**Kim Ha-Chul** (Member)



1985 : BS degree in Electronic Engineering, Chonbuk University.  
1990 : MS degree in Electronic Engineering, Chonbuk University.  
1994 : PhD degree in Electrical Engineering, Chonbuk University.  
1993~Present : Assistant professor

of Information and Communication Engineering,  
Republic of Korea Naval Academy

<Main interests> Microwave component, Numerical techniques in electromagnetics, Radar engineering.

**Cho Seong-Ik** (Member)



1987 : BS degree in Electrical Engineering, Chonbuk University.  
1989 : MS degree in Electrical Engineering, Chonbuk University.  
1994 : PhD degree in Electrical Engineering, Chonbuk University.  
1996~2004 : Hynix semiconductor

memory lab Senior Research Engineer.

2004~Present : Associate professor of Electronic Engineering, Chonbuk University.

<Main interests> High speed data interface circuits, Analog circuits, ADC/DAC, PLL/DLL.