

4K-UHD 영상을 지원하는 실시간 통합 복호기용 부화소 보간 회로 설계

Design of Sub-pixel Interpolation Circuit for Real-time Multi-decoder Supporting 4K-UHD Video Images

이수정*, 조경순**

Sujung Lee*, Kyeongsoon Cho**

Abstract

This paper proposes the design of sub-pixel interpolation circuit for real-time multi-decoder supporting 4K-UHD video images. The proposed sub-pixel interpolation circuit supports H.264, MPEG-4, VC-1 and new video compression standard HEVC. The common part of the interpolation algorithm used in each video compression standard is shared to reduce the circuit size. An intermediate buffer is effectively used to reduce the circuit size and optimize the performance. The proposed sub-pixel interpolation circuit was synthesised by using 130nm standard cell library. The synthesized gate-level circuit consists of 122,564 gates and processes 35~86 image frames per second for 4K-UHD video at the maximum operation frequency of 200MHz. Therefore, the proposed circuit can process 4K-UHD video in real time.

요약

본 논문은 4K-UHD 영상 크기를 지원하는 실시간 통합 복호기용 부화소 보간 회로를 제안한다. 제안하는 통합 부화소 보간 회로는 H.264, MPEG-4, VC-1과 새로운 동영상 압축 표준인 HEVC를 지원한다. 회로의 면적을 줄이기 위해 각 표준에 해당하는 보간 알고리즘의 공통되는 부분을 공유하였다. 또한 회로의 저면적과 성능의 최적화를 위해 중간 버퍼를 효율적으로 사용하였다. 제안하는 통합 부화소 보간 회로를 130nm 표준 셀 라이브러리를 이용하여 합성한 결과, 회로의 크기는 122,564 게이트이고, 최대 동작 주파수 200MHz에서 4K-UHD 영상을 초당 35~86 프레임 속도로 처리한다. 따라서 제안하는 회로는 4K-UHD 영상을 실시간으로 처리할 수 있다.

Key words : low-area design, multi-decoder, sub-pixel interpolation, real-time processing, video compression

* Dept. of Electronics Engineering, Hankuk University of Foreign Studies
sujung1220@hufs.ac.kr

★ Corresponding author

※ Acknowledgment

This work was supported by Hankuk University of Foreign Studies Research Fund of 2015.

Manuscript received Feb. 5, 2015; revised Mar. 16, 2015; accepted Mar. 16, 2015

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

최근 영상기기의 발전으로 인해 사용자들의 고해상도·고화질 콘텐츠에 대한 요구가 빠르게 증가하고 있다. 이에 대처하기 위해서 2013년 1월 스위스 제네바에서 HEVC(High Efficiency Video Coding)[1]가 차세대 동영상 압축 표준으로 승인되었다. 이처럼, 국제표준화 단체들은 시대별로 동영상 압축 표준이 쓰일 영역을 설정하여 동영상 압축 표준을 채택하였고, 각 방송국과 인터넷을 통해 전송되는 미디어들은 각각 다른 동영상 압축 표준에 기반을 두고 있다. 다양한 동영상 압축 표준을 지원하기 위한 방법 중 통합 복호기는 각 표준의 공통점을 공유하고 저면적을 지향한다. 그 동안 H.264[2], MPEG-4[3], VC-1[4] 등 다양한 동영상 압축 표준을 통합한 통합 복호기의 연구가 진행되어 왔으며, 향후 새로운 동영상 압축 표준인 HEVC를 포함할 것으로 예측된다.

동영상을 압축할 때 부호기에서 움직임 추정을 통해 영상 정보를 부호화하고, 복호기에서는 움직임 보상을 통해 압축된 영상을 복원하게 된다. 움직임 추정과 움직임 보상에서는 예측의 정밀도를 높이기 위해 보간을 사용한다. 보간을 통하여 생성된 부화소를 바탕으로 참조 영상을 생성하므로 보간은 복호기의 성능과 밀접한 관계가 있다. 부화소를 생성하는 과정은 복잡하고 많은 연산을 필요로 하므로, 원하는 성능을 얻기 위해서는 보간 기능을 회로로 구현하는 것이 필요하다. 따라서 4K-UHD(3840x2160) 영상을 지원하기 위한 실시간 멀티 복호기를 구현하기 위해서는 부화소 보간 회로에 대한 연구가 필요하다. 본 논문에서는 새로운 동영상 압축 표준인 HEVC와 현재 가장 많이 사용되고 있는 동영상 압축 표준인 H.264, VC-1, MPEG-4를 통합한 부화소 보간 회로를 제안한다.

본 논문의 II장에서는 각 표준의 보간 알고리즘에 대해 설명하고, III장에서는 저면적을 지향하는 통합 부화소 보간 회로의 구조에 대해서 설명하며, IV장에서는 실험 결과에 대해 기술하고 V장에서 결론을 제시한다.

II. 보간 알고리즘

HEVC, H.264, MPEG-4, VC-1은 모두 보간을 사용하여 부화소를 생성한다. 4개의 동영상 압축 표준은 보간을 위해 필요한 데이터 블록 크기와 부화소의 생성 위치가 각각 다르다. 또한 부화소를 생성할 때 필요한 주변 화소의 종류 및 개수와 부화소를 생성할

때 사용되는 계수 값도 다르다. 따라서 표준들의 공통되는 부분을 찾아서 공유하고 통합하는 것이 중요하다. 본 절에서는 4개의 동영상 압축 표준에서 사용하는 보간 알고리즘을 설명하고 그 중 HEVC 휘도 성분과 H.264 휘도 성분을 중심으로 설명한다.

A _{1,-1}					A _{0,-1}	a _{0,-1}	b _{0,-1}	c _{0,-1}	A _{1,-1}					A _{2,-1}
A _{1,0}					A _{0,0}	a _{0,0}	b _{0,0}	c _{0,0}	A _{1,0}					A _{2,0}
d _{1,0}					d _{0,0}	e _{0,0}	f _{0,0}	g _{0,0}	d _{1,0}					d _{2,0}
h _{1,0}					h _{0,0}	i _{0,0}	j _{0,0}	k _{0,0}	h _{1,0}					h _{2,0}
n _{1,0}					n _{0,0}	p _{0,0}	q _{0,0}	r _{0,0}	n _{1,0}					n _{2,0}
A _{1,1}					A _{0,1}	a _{0,1}	b _{0,1}	c _{0,1}	A _{1,1}					A _{2,1}
A _{1,2}					A _{0,2}	a _{0,2}	b _{0,2}	c _{0,2}	A _{1,2}					A _{2,2}

Fig. 1. Sub-pixel positions of HEVC luma component
그림 1. HEVC 휘도 성분의 부화소 생성 위치

(그림 1)은 HEVC 휘도 성분의 부화소 생성 위치이다. HEVC의 휘도 성분은 8탭 필터를 사용하여 1/4위치의 부화소를 생성하고 부화소 위치에 해당하는 계수 값을 사용한다. (그림 1)에서 대문자 A는 정화소이고, 소문자 a부터 r은 부화소이다. 이중 소문자 b, h는 2/4위치의 부화소이고, a, c, d, n은 1/4위치의 부화소이다. a, b, c는 동일한 가로 방향에 있는 8개의 정화소로부터 생성되고, d, h, n은 동일한 세로 방향에 있는 8개의 정화소로부터 생성된다. 그 외 e, f, g, I, j, k, p, q, r은 2/4위치의 부화소 또는 1/4위치의 부화소를 사용하여 생성된다. 따라서 정화소 A_{0,0}을 중심으로 하는 15개의 부화소를 생성하기 위해서는 8x8 크기의 정화소 휘도 성분 참조 영상이 필요하고, 좌표로 나타내면 A_{-3,-3}부터 A_{4,4}의 범위이다. HEVC 색차 성분의 보간은 HEVC 휘도 성분의 보간과 유사하지만 부화소 생성 시 필요한 정화소의 개수와 부화소 생성 계수 값에서 차이가 있다. HEVC 색차 성분은 4탭 필터를 사용하여 1/8위치의 부화소를 생성하고 HEVC 휘도 성분과는 다른 계수 값을 사용한다. 또한 VC-1 휘도 성분의 경우도 HEVC 휘도 성분 보간과 유사하지만, 부화소 생성 시 필요한 정화소의 개수와 부화소 생성 계수 값에서 차이가 있다. 4탭 필터를

사용하여 1/4위치의 부화소를 생성하고 VC-1 휘도 성분
의 계수 값을 사용한다. VC-1 색차 성분은 생성
될 부화소 위치 주변에 있는 4개의 정화소와 생성될
부화소 위치를 이용하여 1/4위치의 부화소를 생성한
다.

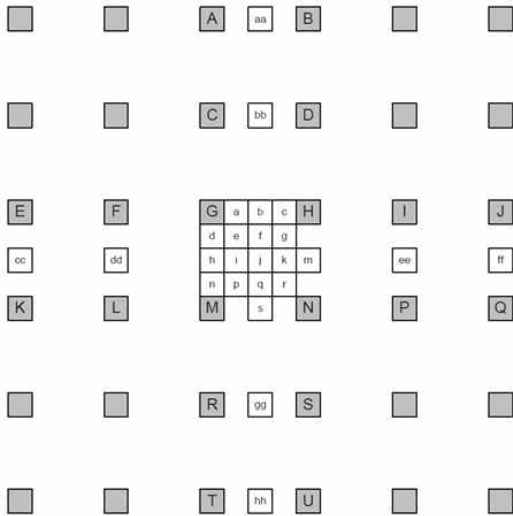


Fig. 2. Sub-pixel positions of H.264 luma component
그림 2. H.264 휘도 성분의 부화소 생성 위치

(그림 2)는 H.264 휘도 성분의 부화소 생성 위치이
다. H.264의 휘도 성분은 6탭 필터를 사용하여 1/4위
치의 부화소를 생성한다. (그림 2)에서 대문자는 정화
소를 나타내고 소문자는 부화소를 나타낸다. 소문자
b와 h는 2/4위치의 부화소이고, a, c, d, n은 1/4위
치의 부화소이다. b는 동일한 가로 방향에 있는 6개의
정화소로부터 생성되고, h는 동일한 세로 방향에 있
는 6개의 정화소로부터 생성된다. j는 동일한 가로 방
향 또는 세로 방향으로 생성된 6개의 2/4위치의 부화
소로부터 생성된다. 그 외의 부화소의 경우, 생성된
2/4위치의 부화소와 정화소를 이용하여 생성된다. 따
라서 정화소 G를 중심으로 하는 15개의 부화소를 생
성하기 위해서는 6x6 크기의 정화소 휘도 성분 참조
영상이 필요하고 좌표로 나타내면 A_{-2,-2}부터 A_{3,3}
의 범위이다. H.264 색차 성분의 보간은 생성될 부화소
위치 주변에 있는 4개의 정화소와 생성될 부화소 위
치를 이용하여 1/8위치까지 생성한다. MPEG-4 휘도
성분의 보간은 H.264 휘도 성분 보간과 유사하지만,
부화소 생성 시 필요한 정화소의 개수와 부화소 생성
계수 값에서 차이가 있다. MPEG-4 휘도 성분의 보
간은 8탭 필터를 사용하여 2/4위치의 부화소를 생성

하고, 그 외의 부화소는 생성된 부화소와 정화소를
이용하여 생성한다. MPEG-4 색차 성분의 보간은 생
성될 부화소 위치 주변에 있는 4개의 정화소를 이용
하여 1/2위치까지 생성한다.

III 제안하는 회로

1. 제안하는 회로의 구조

(그림 3)에서 음영으로 표시한 부분이 본 논문에서
제안하는 HEVC, H.264, MPEG-4, VC-1 통합 부화
소 보간 회로의 구조이다. 휘도 성분 회로와 색차 성
분 회로는 병렬로 각각 연산하며, 전체적인 회로 구
조는 동일하다. 4:2:0 포맷을 가지는 색차 성분 Cb,
Cr 블록은 각각 휘도 성분 블록의 1/4 크기를 가지므
로 하나의 휘도 성분 블록을 처리할 때 두 개의 색차
성분 블록을 순차적으로 처리한다.

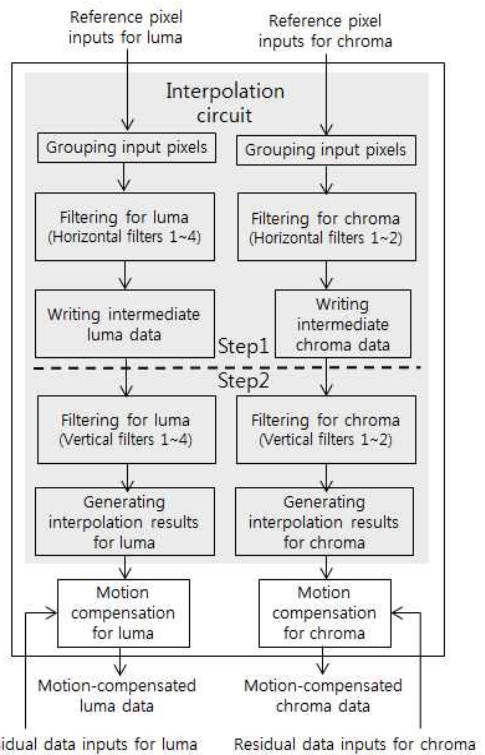


Fig. 3. Architecture of proposed circuit

그림 3. 제안하는 회로의 구조

제안하는 통합 부화소 보간 회로는 총 2단계를 거
친다. 1단계에서는 입력되는 참조 화소를 가로 보간

필터에 입력하여 연산하고, 출력되는 결과를 중간 버퍼에 저장한다. 2단계에서는 중간 버퍼에 저장된 가로 보간 필터의 결과 값을 읽어 세로 보간 필터로 입력한 다음 세로 보간 필터 연산을 거친 결과 값을 출력한다. 그 후, 출력된 보간 결과와 입력 받은 잔차 신호를 합하는 움직임 보상을 완료하고 결과를 출력한다. 제안하는 통합 부화소 보간 회로는 가로 보간 필터와 세로 보간 필터를 각각 병렬로 사용하여 한 클락에 휘도 성분 4개 화소와 색차 성분 2개 화소의 연산이 가능하다. 제안하는 회로는 저면적을 위해 보간 필터 내에서 사용된 연산기의 공통되는 부분을 공유하였다. 또한 4개의 표준 모두 중간 버퍼를 사용하여 부화소 생성 시 필요한 값을 재사용하여 회로의 저면적을 지향하고 성능을 향상시켰다.

2. 통합 보간 필터

본 논문에서는 각 표준 내부에서 사용되는 부화소 생성 수식과 표준 간의 부화소 생성 수식에서 사용되는 곱셈 연산을 쉬프트 연산기와 덧셈기로 대체하고, 공통되는 연산기를 공유하여 회로의 크기를 줄이고자 하였다. (그림 4)는 본 논문에서 제안하는 휘도 성분 보간 필터의 구조이다. 가로 보간 필터와 세로 보간 필터는 거의 유사하지만, 세로 보간 필터의 경우 가로 보간 필터에서 생성된 2/4위치의 부화소를 처리하는 부분이 회로 내부에 별도로 존재한다. 화소 위치 변경을 통해 동일한 수식으로 다른 위치의 부화소를 생성하며 이 때 화소 위치 변경은 (그림 4)의 'Changing pixel positions' 블록에서 수행되며, 선택된 표준과 부화소 생성 위치에 따라 출력을 결정하는 멀티플렉서로 구성된다. 휘도 성분 기준으로 하나의 부화소를 생성하기 위해 최대 8개의 참조 화소가 필요하기 때문에 위치 변경을 위해 각각의 휘도 성분 필터에서 8개의 멀티플렉서를 사용한다. 또한 (그림 4)에서 'Only for vertical interpolation filters' 블록은 휘도 성분 세로 보간 필터에서만 존재하며 H.264 표준과 MPEG-4 표준에서만 사용한다. 그 중 'Changing 2/4 sub-pixel positions' 블록은 H.264 표준과 MPEG-4 표준에서 가로 보간 필터를 거쳐 생성된 2/4 위치 부화소의 위치를 변경하기 위한 것으로 8개의 멀티플렉서를 사용한다. 그리고 (그림 4)의 'Adjusting range of operation results' 블록은 부화소 생성 연산을 통해 생성된 부화소가 보간 필터로부터 출력되기 전에 0~255 사이의 값을 가지도록 하는 것이며 4개의 쉬프트 연산기와 4개의 멀티플렉서를 사용하여 연산 결과의 범위를 조정한다.

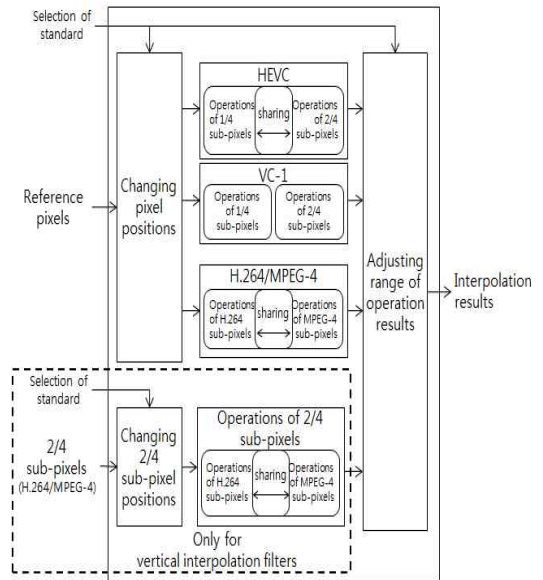


Fig. 4. Architecture of proposed luma interpolation filter
그림 4. 제안하는 휘도 성분 보간 필터의 구조

(그림 4)에서 'HEVC', 'VC-1', 'H.264/MPEG-4', 'Operation of 2/4 sub-pixels' 블록은 부화소를 생성하기 위한 연산 회로이다. 식 (1~3)은 HEVC 휘도 성분의 부화소 생성 수식을 나타낸다. 식 (1)과 식 (3)을 보면, 1/4위치와 3/4위치 부화소 생성 계수 값이 반대로 되어 있는 것을 확인할 수 있다. 부화소 생성은 특정 클락에 특정 위치에 대해서만 이뤄지기 때문에 입력되는 화소의 위치를 변경한다면 하나의 식으로 1/4위치와 3/4위치의 부화소를 생성할 수 있다. 따라서 본 논문에서는 회로의 저면적을 위해 HEVC 휘도 성분에서 입력되는 화소의 위치를 변경하여 3/4위치의 부화소를 1/4위치의 부화소 생성 수식으로 생성한다.

$$P1_{HEVC} = (-A_{-3,0} + 4 \times A_{-2,0} - 10 \times A_{-1,0} + 58 \times A_{0,0} + 17 \times A_{1,0} - 5 \times A_{2,0} + A_{3,0}) \gg 6 \quad (1)$$

$$P2_{HEVC} = (-A_{-3,0} + 4 \times A_{-2,0} - 11 \times A_{-1,0} + 40 \times A_{0,0} + 40 \times A_{1,0} - 11 \times A_{2,0} + 4 \times A_{3,0} - A_{4,0}) \gg 6 \quad (2)$$

$$P3_{HEVC} = (A_{-2,0} - 5 \times A_{-1,0} + 17 \times A_{0,0} + 58 \times A_{1,0} - 10 \times A_{2,0} + 4 \times A_{3,0} - A_{4,0}) \gg 6 \quad (3)$$

또한 HEVC 휘도 성분 수식에서 사용하고 있는 곱셈 연산을 쉬프트 연산기와 덧셈기로 대체한 뒤, 공통되는 부분을 공유하였다. 식 (6)은 HEVC 휘도 성분 1/4위치와 2/4위치 부화소를 생성하기 위한 연산기에서 공통된 부분이며, 식 (4)와 식 (5)는 공통된

부분을 포함한 각 위치의 부화소 생성 연산기이다.

$$QP1_{HEVC} = Q_{HEVC} + ((A_{0,0} + A_{1,0}) \ll 4) + (-A_{2,0} \ll 2) + (A_{0,0} \ll 1) + A_{1,0} + A_{3,0} \quad (4)$$

$$QP2_{HEVC} = Q_{HEVC} - A_{-1,0} + (A_{1,0} \ll 5) + (-A_{2,0} \ll 1) + ((A_{1,0} - A_{2,0}) \ll 3) + (A_{3,0} \ll 2) - A_{4,0} \quad (5)$$

$$Q_{HEVC} = -A_{-3,0} + (A_{-2,0} \ll 2) + (-A_{-1,0} \ll 1) + ((-A_{-1,0} + A_{0,0}) \ll 3) + (A_{0,0} \ll 5) - A_{-2,0} \quad (6)$$

HEVC 색차 성분은 HEVC 휘도 성분과 유사하게 4개의 부화소 생성 수식으로 1/8위치의 부화소 생성을 하고, 곱셈 연산을 쉬프트 연산기와 덧셈기로 대체한 뒤, 공통되는 부분을 공유하였다. VC-1의 휘도 성분 역시 HEVC 휘도 성분과 유사하게 2개의 부화소 생성 수식으로 1/4위치의 부화소 생성을 하고, 곱셈 연산을 쉬프트 연산기와 덧셈기로 대체하였다.

$$P2_{MPEG4} = (-8 \times A_{-3,0} + 24 \times A_{-2,0} - 48 \times A_{-1,0} + 160 \times A_{0,0} + 160 \times A_{1,0} - 48 \times A_{2,0} + 24 \times A_{3,0} - 8 \times A_{4,0} + 128 - r) \gg 7 \quad (7)$$

$$DP2_{MPEG4} = (-A_{-3,0} + 3 \times A_{-2,0} - 6 \times A_{-1,0} + 20 \times A_{0,0} + 20 \times A_{1,0} - 6 \times A_{2,0} + 3 \times A_{3,0} - A_{4,0} + 16 - r) \gg 5 \quad (8)$$

식 (7)은 MPEG-4 휘도 성분의 2/4위치의 부화소 생성 수식이다. MPEG-4 휘도 성분의 2/4위치의 부화소 생성 계수 값이 전부 8의 배수이기 때문에 본 논문에서는 식 (8)과 같이 MPEG-4 휘도 성분의 2/4위치의 계수 값을 전부 8로 나누어 부화소 생성 계수 값을 줄였다. 또한 식 (8)에서 사용된 곱셈 연산을 쉬프트 연산기와 덧셈기로 대체했다. H.264의 휘도 성분 2/4위치의 부화소 생성 수식은 식 (9)와 같고, 식 (9)에서 사용된 곱셈 연산도 쉬프트 연산기와 덧셈기로 대체하였다.

$$P2_{H264} = (A_{-2,0} - 5 \times A_{-1,0} + 20 \times A_{0,0} + 20 \times A_{1,0} - 5 \times A_{2,0} + A_{3,0} + 16) \gg 5 \quad (9)$$

MPEG-4와 H.264 휘도 성분 2/4위치의 부화소를 생성할 때 사용되는 정화소의 개수는 다르지만 부화소 생성 계수 값에서 유사성이 높은 것을 식 (8)과 식 (9)에서 확인할 수 있다. 본 논문에서는 H.264 휘도 성분의 입력 화소 위치를 변경하여 MPEG-4 휘도 성분의 수식으로 사용하고, 곱셈 연산을 쉬프트 연산기와 덧셈기로 대체한 후 공통되는 연산기를 공유했다. 공유한 연산기는 식 (12)이며, 공유한 연산기를 포함한 각 표준의 2/4위치 부화소 생성 연산기는 식 (10), 식 (11)이다. MPEG-4 휘도 성분과 H.264 휘도 성분의 2/4위치의 부화소를 제외한 나머지 위치는 입

력된 정화소와 생성된 2/4위치의 부화소를 이용하여 생성된다.

$$QP2_{MPEG4} = Q_{MH} + ((A_{-2,0} + A_{3,0}) \ll 1) - ((A_{-1,0} + A_{2,0}) \ll 1) - A_{4,0} - A_{-3,0} \quad (10)$$

$$QP2_{H264} = Q_{HM} + A_{-1,0} + A_{2,0} \quad (11)$$

$$Q_{MH} = A_{-2,0} + A_{3,0} + ((A_{0,0} + A_{1,0}) \ll 4) + ((A_{0,0} + A_{1,0}) \ll 2) + (A_{-1,0} + A_{2,0}) \ll 2 + 16 \quad (12)$$

그 외 MPEG-4 색차 성분은 곱셈 연산을 필요로 하지 않고, H.264와 VC-1 색차 성분은 곱셈 연산을 필요로 한다. H.264와 VC-1 색차 성분 부화소를 생성하는 방법의 경우, 생성될 부화소 위치에 따라 계수 값이 다르고, 색차 성분 부화소 생성 시 사용되는 곱셈 연산을 같이 사용하거나 다른 연산기로 대체하는 것이 회로의 크기에 영향을 미치지 않았기에 H.264, VC-1, MPEG-4 색차 성분은 각 표준에 제시된 수식과 동일하게 회로로 구현하였다.

3. 중간 버퍼의 활용

(그림 1)에서 $A_{0,0}$ 을 중심으로 한 부화소인 $f_{0,0}$ 을 생성하기 위해서 가로 보간 결과인 $b_{0,0}$ 또는 세로 보간 결과인 $d_{0,0}$ 가 필요하다. $b_{0,0}$ 또는 $d_{0,0}$ 을 중간 부화소라고 할 때, 중간 부화소는 $A_{0,0}$ 을 중심으로 한 부화소인 $f_{0,0}$ 을 생성할 때 사용된다. 또한 $A_{0,0}$ 주변의 최대 8×8 크기에 해당하는 각각의 정화소를 중심으로 한 부화소를 생성할 때에도 사용된다. 이와 같이 중간 부화소가 사용될 때마다 생성한다면 성능의 저하를 가져올 수 있다. 따라서 본 논문에서는 중복된 연산을 피하기 위해 중간 버퍼를 두어 중간 부화소를 재사용한다.

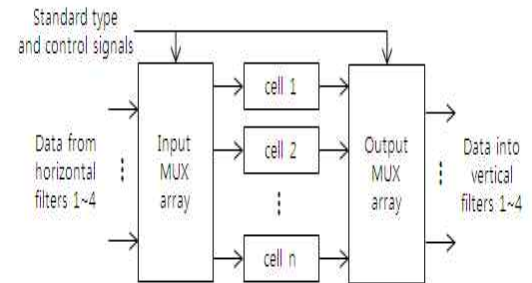


Fig. 5. Architecture of intermediate buffer
그림 5. 중간 버퍼의 구조

(그림 5)는 중간 버퍼의 구조이다. 가로 보간 필터에서 나오는 데이터들은 입력 멀티플렉서 어레이로 연결되고, 동영상 압축 표준과 제어 신호들에 의해

중간 버퍼인 n개의 셀로 입력된다. 각 셀들은 출력 멀티플렉서 어레이로 연결되고, 동영상 압축 표준과 제어 신호들에 의해 각각의 세로 보간 필터로 입력된다. (그림 5)에서 셀의 개수인 n은 휘도 성분의 경우 128개, 색차 성분의 경우는 32개이며, 4개의 동영상 압축 표준의 각 성분에서 부화소 생성 시 가장 많이 필요로 하는 정화소의 개수와 각 표준에서 처리해야 하는 블록의 크기를 고려하여 결정하였다.

(그림 6)과 (그림 7)은 본 논문에서 중간 버퍼를 사용하는 방법이며, bxx_x는 1개의 셀을 나타낸다. (그림 6)은 HEVC 휘도 성분일 때 중간 버퍼에 가로 보간 필터의 결과 값을 저장하고 세로 보간 필터로 데이터를 출력하는 방법을 나타낸다. 가로 보간 필터에서 데이터가 출력되면 중간 버퍼에 (그림 6)의 (a)와 같이 저장된다. 클럭이 증가될 때마다 (a)의 화살표 방향으로 가로 보간 필터의 결과 값이 저장되며 12번째 클럭일 때 (b)와 같이 가로 보간 필터의 결과 값의 저장과 동시에 음영으로 된 RD1 범위의 데이터가 세로 보간 필터로 입력된다. 클럭이 증가될 때마다 각 표시된 화살표 방향으로 데이터가 저장되고 출력된다. HEVC 색차 성분과 VC-1 휘도 성분도 (그림 6)과 동일한 방법으로 중간 버퍼를 사용한다.

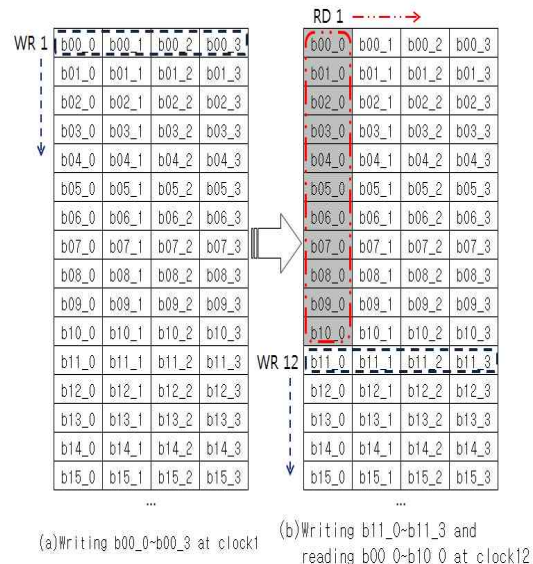


Fig. 6. Using an intermediate buffer of HEVC luma component
그림 6. HEVC 휘도 성분의 중간 버퍼 사용

(그림 7)은 H.264 휘도 성분일 때 중간 버퍼에 가로 보간 필터의 결과 값을 저장하고 세로 보간 필터

로 데이터를 출력하는 방법을 나타낸다. 가로 보간 필터의 결과 값이 출력되면 중간 버퍼에 (그림 7)의 (a)와 같이 저장된다. 클럭이 증가될 때마다 (a)의 화살표 방향으로 가로 보간 필터의 결과 값이 저장되고 7번째 클럭일 때 (그림 7)의 (b)와 같이 가로 보간 필터의 결과 값이 저장된다. 이와 동시에 음영으로 된 RD1 범위의 데이터가 세로 보간 필터로 입력된다. 8번째 클럭이 입력되면 각 표시된 화살표 방향으로 데이터가 저장되고 출력된다. MPEG-4 휘도 성분과 H.264, MPEG-4, VC-1 색차 성분도 (그림 7)과 같은 방법으로 중간 버퍼를 사용하고 있다.

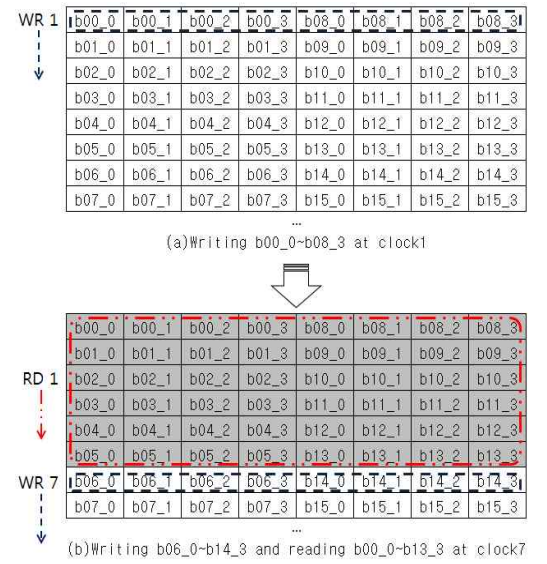


Fig. 7. Using an intermediate buffer of H.264 luma component

그림 7. H.264 휘도 성분의 중간 버퍼 사용

IV. 실험 결과

본 논문에서 제안한 HEVC, H.264, MPEG-4, VC-1 통합 복호기용 부화소 보간 회로는 (그림 8)과 같은 검증 과정을 거쳤다. 동영상 압축 표준의 참조 프로그램을 실행하여 보간 함수의 입력 데이터와 출력 데이터를 각각 파일로 저장하였다. 검증 데이터를 위해 사용된 동영상은 총 두 개이며, 첫 번째 동영상은 미식축구 경기 장면을 담은 것으로 영상 크기는 176x144이며 총 250장으로 이루어져 있다. 두 번째 동영상은 공원 장면을 담은 것으로 영상 크기는 1920x1080이며 총 240장으로 이루어져 있다. 제안하

는 회로는 Synopsys사의 VCS를 사용하여 (그림 9)와 같이 검증하였다. 그 다음 (그림 10)과 같이 'diff' 명령어를 이용하여 참조 프로그램의 출력 데이터와 회로의 출력 데이터를 비교하였다.

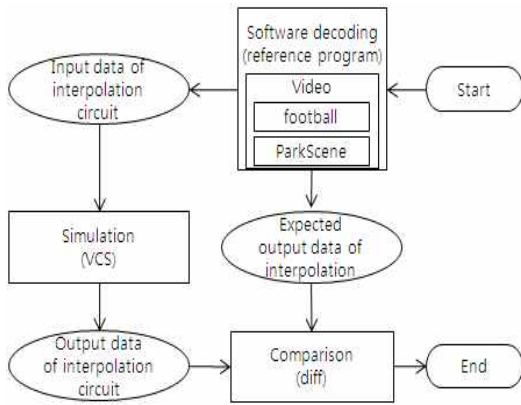


Fig. 8. Verification process
그림 8. 검증 과정

본 논문에서 제안하는 회로인 통합 복호기용 부하 소 보간 회로는 Verilog HDL(Hardware Description Language)을 사용하여 RTL(Register Transfer Level)로 설계하였다. Synopsys사의 Design Compiler를 사용하여 130nm 표준 셀 라이브러리를 이용하여 합성한 결과 회로의 크기는 122,564 게이트이고 최대 동작 주파수는 200MHz이다. (그림 11)은 제안하는 회로의 합성 결과이다.

<표 1>은 제안하는 회로의 성능을 나타낸다. 제안하는 회로는 4K-UHD 영상을 35장에서 86장까지 처리할 수 있다.

<표 2>는 제안하는 회로와 다른 논문에서 제안한

```

/home/sjlee/multi_interpolation>diff mpeg4_output.txt
ref_mpeg4_16x16_output.txt
/home/sjlee/multi_interpolation>diff h264_output.txt
ref_h264_16x16_output.txt
/home/sjlee/multi_interpolation>diff hevc_output.txt
ref_hevc_16x16_output.txt
/home/sjlee/multi_interpolation>diff vc1_output.txt
ref_vc1_16x16_output.txt
/home/sjlee/multi_interpolation>
    
```

Fig. 10. Compare results of SW simulation and HW simulation
그림 10. SW 시뮬레이션과 HW 시뮬레이션 결과 비교

```

clock clk (rise edge)          5.00    5.00
library setup time             -0.08   4.92
data required time              4.92
-----
data required time              4.92
data arrival time              -4.92
-----
slack (MET)                    0.00

Combinational area:           91596.706470
Noncombinational area:       30014.989195
Net Interconnect area:       952.608513

Total cell area:              121611.695665
Total area:                   122564.304178
    
```

Fig. 11. Synthesis results of proposed circuit
그림 11. 제안하는 회로의 합성 결과

회로를 비교한 것이다. 논문 [5]는 HEVC 표준만을 지원하며 180nm 셀 라이브러리를 사용하여 합성한 결과, 회로의 면적은 84,400 게이트이다. 논문 [6]은 MPEG-2, MPEG-4, H.264의 움직임 보상을 통합한 회로이다.

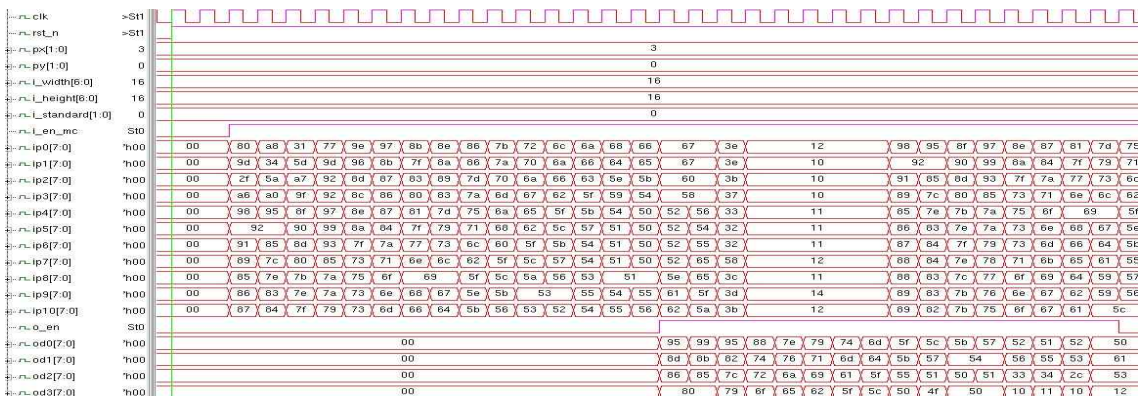


Fig. 9. Simulation results for proposed circuit
그림 9. 제안하는 회로에 대한 시뮬레이션 결과

Table 1. Performance of proposed circuit

표 1. 제안하는 회로의 성능

	Block size	Number of processing cycles	Frames per second (4K-UHD)
HEVC	8x4	22	35
	16x16	92	67
	64x64	1,136	86
H.264	4x4	9	42
	16x16	84	73
MPEG-4	8x8	30	51
	16x16	92	67
VC-1	8x8	22	70
	16x16	76	81

Table 2. Performance comparison

표 2. 성능 비교

		[5]	[6]	Proposed	
Standards supported		HEVC	MPEG-2, MPEG-4, H.264	HEVC, MPEG-4, H.264, VC-1	
Gate count		84,400	40,352	122,564	
Number of processing cycles for 16x16 block	HEVC	80	-	92	
	H.264	-	192	84	
	MPEG-4	-	176	92	
	VC-1	-	-	76	
Maximum operating frequency (MHz)		200	108	135	200
Frames per second	HEVC	77	-	45	67
	H.264	-	17	50	73
	MPEG-4	-	19	45	67
	VC-1	-	-	55	81
Cell library(nm)		180	180	180	130

논문 [6]에서 제시된 보간 회로의 면적은 40,352 게이트인데 MPEG-2 휘도 성분 보간과 색차 성분 보간이 MPEG-4 색차 성분 보간과 유사도가 매우 높으므로 논문 [6]에서 MPEG-2 표준에 대한 회로의 비중이 크지 않을 것으로 예측된다. 제안하는 회로의 면적이 122,564 게이트로 논문 [5]와 논문 [6] 회로 면적의 합과 비슷하지만, 제안하는 회로는 VC-1 표준의 보간도 포함하고 있다. 제안하는 회로에서 VC-1 표준의 보간이 차지하는 면적은 약 20,000 게이트이므로 이를 감안하였을 때, 제안하는 회로가 면적 부분에서 우수함을 알 수 있다. 또한 <표 2>에서 16x16

블록 기준으로 계산된 4K-UHD 영상 크기의 초당 처리 프레임 수를 보면 제안하는 회로는 HEVC, H.264, MPEG-4, VC-1 모두에 대해서 초당 30장 이상 복원하기에 실시간 처리가 가능하다. 제안하는 회로에서 HEVC 표준의 경우는 논문 [5]보다 성능이 떨어지지만, 이는 HEVC 외의 3가지 표준을 지원하기 위한 오버헤드에 기인한 것이다. H.264와 MPEG-4 표준의 경우는 논문 [6]보다 성능이 우수하다.

V. 결론

제안하는 4K-UHD 영상 크기를 지원하는 실시간 통합 복호기용 부화소 보간 회로는 새로운 동영상 압축 표준인 HEVC를 포함하고, 현재 많이 쓰이고 있는 동영상 압축 표준인 H.264, MPEG-4, VC-1도 포함한다. 4개의 동영상 압축 표준을 통합하면서 회로의 크기를 줄이고 4K-UHD 영상 크기를 지원하도록 하였다. 회로의 크기를 줄이기 위해 각 표준의 부화소 생성 수식을 정리하고, 하나의 생성 수식을 사용하여 여러 개의 서로 다른 위치의 부화소를 생성하였으며, 수식에서 사용된 곱셈 연산을 쉬프트 연산기와 덧셈기로 대체한 뒤, 공통된 연산기를 공유하였다. 또한 가로 보간 필터와 세로 보간 필터 사이에 중간 버퍼를 사용하여 중복으로 사용되는 중간 결과 값을 재사용함으로써 성능의 저하를 감소시키고 저면적을 달성할 수 있었다. 제안하는 회로는 130nm 셀 라이브러리를 이용하여 합성하였을 때, 회로의 크기는 122,564 게이트이고 최대 동작 주파수는 200MHz이다. 본 논문에서 제안하는 회로의 성능은 4K-UHD 영상을 초당 35장에서 86장까지 복원한다. 따라서 본 논문에서 제안하는 회로는 4K-UHD 영상의 크기를 실시간으로 처리할 수 있다.

References

- [1] B. Bross, W. J. Han, J. R. Ohm, G. J. Sullivan, Y. K. Wang and T. Wiegand, "High Efficiency Video Coding (HEVC) Text Specification Draft 10 (for FDIS & Last Call)," The Joint Collaborative Team on Video Coding (JCT-VC), JCTVC-L1003_v34, January, 2013.
- [2] ITU-T, "Recommendation and International Standard of Joint Video Specification," ITU-T Recommendation H.264/ISO/IEC 14496-10 AVC, October, 2004.
- [3] ISO/IEC 14496-2, "Coding of Audio-Visual

Objects - part 2: Visual," November, 1997.

[4] SMPTE, Standards for Television: VC-1 Compressed Video Bitstream Format and Decoding Process, SMPTE 421M-2006.

[5] X. Jin and K. Ryoo, "An Efficient Interpolation Hardware Architecture for HEVC Inter-Prediction Decoding," *Journal of Information and Communication Convergence Engineering*, vol.11, no.2, pp.118-123, June, 2013.

[6] G. Lee, W. Yang, M. Wu and H. Lin, "Reconfigurable architecture design of motion compensation for multi-standard video coding," *IEEE International Symposium on Circuits and Systems*, pp.2003-2006, May, 2010.

BIOGRAPHY

Sujung Lee (Member)



2008: B.S. degree in Electronics Engineering, Daegu University, Korea.

2015: M.S. degree in Electronics Engineering, Hankuk University of Foreign Studies, Korea.

Kyeongsoon Cho (Member)



1982: B.S. degree in Electronics Engineering, Seoul National University, Korea.

1984: M.S. degree in Electronics Engineering, Seoul National University, Korea.

1988: Ph.D. degree in Electrical and Computer Engineering, Carnegie Mellon University, U.S.A.

1988~1994: Senior researcher at the Semiconductor ASIC Division of the Samsung Electronics Company.

1994~Present: Professor at the Department of Electronics and Information Engineering at Hankuk University of Foreign Studies.

1999~2003: Senior director at Enhanced Chip Technology.

2003~2004: Head of the CoAsia Korea Research and Development Center.

2005~2011: Vice director of the Collaborative Project for Excellence in System IC Technology.

2005~2012: Technical advisor of Dongbu HiTek.

2012~Present: Technical advisor of DawinTech.