

비대칭 DG MOSFET의 채널길이와 두께 비에 따른 문턱전압이하 스윙 분석

정학기*

Analysis of Subthreshold Swing for Ratio of Channel Length and Thickness of Asymmetric Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 채널길이와 채널두께의 비에 따른 문턱전압이하 스윙의 변화를 분석하고자 한다. 비대칭 이중게이트 MOSFET는 상하단 게이트 구조를 달리 제작할 수 있어 단채널효과를 제어할 수 있는 요소가 증가한다는 장점이 있다. 특히 채널길이를 감소하였을 경우 문턱전압이하 스윙의 급격한 증가로 인한 특성저하 현상을 감소시킬 수 있다. 그러나 스케일링 이론에 따라 채널길이 감소에 따라 채널두께도 변화되어야 하며 이에 문턱전압이하 스윙이 변화하게 된다. 그러므로 채널길이와 채널두께의 비가 문턱전압이하 스윙을 결정하는 중요 요소가 된다. 해석학적으로 문턱전압이하 스윙을 분석하기 위하여 해석학적 전위분포를 포아송방정식을 통하여 유도하였으며 다양한 채널길이 및 채널두께에 대하여 전도중심과 문턱전압이하 스윙을 계산한 결과 채널길이와 채널두께의 비에 따라 전도중심과 문턱전압이하 스윙이 변화한다는 것을 알 수 있었다.

ABSTRACT

This paper has analyzed the variation of subthreshold swing for the ratio of channel length and thickness for asymmetric double gate MOSFET. The asymmetric double gate MOSFET has the advantage that the factors to control the short channel effects increase since top and bottom gate structure can be fabricated differently. The degradation of transport property due to rapid increase of subthreshold swing can be specially reduced in the case of reduction of channel length. However, channel thickness has to be reduced for decrease of channel length from scaling theory. The ratio of channel length vs. thickness becomes the most important factor to determine subthreshold swing. To analyze hermeneutically subthreshold swing, the analytical potential distribution is derived from Poisson's equation, and conduction path and subthreshold swing are calculated for various channel length and thickness. As a result, we know conduction path and subthreshold swing are changed for the ratio of channel length vs. thickness.

키워드 : 비대칭 이중게이트, 문턱전압이하 스윙, 전도중심, 채널길이, 채널두께

Key word : asymmetric double gate, subthreshold swing, conduction path, channel length, channel thickness

접수일자 : 2014. 12. 01 심사완료일자 : 2015. 01. 13 게재확정일자 : 2015. 01. 27

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)
Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2015.19.3.581>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

다중게이트 MOSFET(Multi Gate MOSFET; MugFET) 소자는 기존 CMOSFET의 초미세화시 발생하는 단채널 효과를 최소화하기 위하여 개발된 소자이다.[1,2]. MugFET는 채널주위에 2개 이상의 게이트를 제작하여 게이트 전압에 의한 채널 내 반송자의 제어능력을 향상시키는 소자이다. 여러 종류의MugFET가 개발되고 있지만 대표적인 소자로는 이중게이트(Double Gate; DG) MOSFET[3,4]와 FinFET[5,6]가 있다. FinFET는 채널을 지느러미(Fin)형태의 얇고 높은 형태로 제작하고 그 주위를 게이트 단자로 감싸준 형태로 이루어진 소자로 지느러미 형태의 채널을 제작하는데 어려움을 겪고 있다. DG MOSFET는 상단과 하단에 게이트를 제작하여 채널 내 전류 제어능력을 약 2배 정도 향상시킨 소자로서 대칭형과 비대칭형으로 나누어진다. 대칭형은 상단과 하단의 게이트 산화막 두께가 동일하고 인가된 게이트 전압도 동일하게 제작한다. 그러나 비대칭형 DG MOSFET는 상단과 하단의 게이트 산화막 두께를 각각 달리 제작할 수 있을 뿐만 아니라 상하단의 게이트 전압을 달리 인가할 수 있다. 그러므로 비대칭형 DG MOSFET는 단채널효과를 제어할 수 있는 설계 파라미터가 증가하여 효율적으로 단채널효과를 제어할 수 있다. 단채널효과 중 문턱전압이하 스윙값의 저하는 트랜지스터가 초소형화될 때 발생하는 2차 효과로써 디지털응용에 제한을 가하며 특히 차단전류의 증가를 야기하여 집적도 향상에 걸림돌이 되고 있다.

이에 본 연구에서는 비대칭 DG MOSFET의 문턱전압이하 스윙을 채널길이 및 채널두께의 비에 따라 분석할 것이다. 채널의 크기를 결정하는 채널의 길이와 두께는 DG MOSFET의 전송특성을 결정하는 가장 중요한 요소이다. 스케일링 이론에 따라 채널길이와 채널두께는 비례하여 변화하고 있지만 DG MOSFET의 특성상 일반적인 스케일링 이론이 성립하지 않을 것이다. 그러므로 채널길이와 채널두께를 다양하게 변화시켰을 경우, 그 비에 따라 문턱전압이하 스윙 값의 감소 및 증가 등을 관찰함으로써 채널길이와 채널두께의 최적의 비를 관찰하고자 한다.

문턱전압이하 스윙 모델을 제시하기 위하여 비대칭 DG MOSFET의 채널 내 해석학적 전위분포를 포아송방정식을 이용하여 구하였으며 이때 전하분포는 Ding 등

의 모델[7]과 달리 가우스 분포함수를 이용하였다. 이와 같이 구한 문턱전압이하 모델의 타당성을 2차원 수치해석학적 모델과 비교하여 타당성을 입증하였으며 이 모델을 이용하여 채널길이와 채널두께의 비에 따라 문턱전압이하 스윙값 및 전도중심의 변화를 관찰하고 결과를 고찰하였다.

II. 비대칭 DG MOSFET의 문턱전압이하 스윙 모델

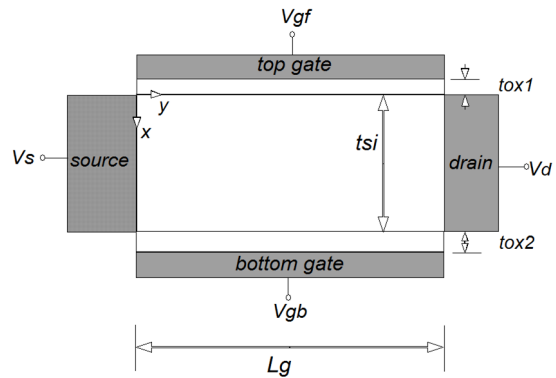


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

그림 1은 비대칭 DG MOSFET의 개략도이다. 그림에서 알 수 있듯이 상단과 하단의 게이트 전압을 달리 인가할 수 있으며 산화막 두께 또한 상단과 하단을 각각 달리 지정할 수 있어 설계 파라미터가 증가하게 된다. 즉, 비대칭 DG MOSFET는 상단과 하단 게이트의 역할을 구분함으로써 전류제어 능력을 향상시키고자 개발된 소자이다. Ding 등[7]은 일정한 채널도핑농도 분포함수를 이용하여 비대칭 DG MOSFET의 표면전위 및 문턱전압이하 스윙특성을 해석하였다.

그러나 도핑을 위하여 광범위하게 사용되는 기술인 이온주입법의 경우, 도핑분포는 가우스분포함수를 따르므로 본 연구에서는 전하분포함수를 가우스분포함수로 사용하였다. 먼저 그림 1의 채널 내 전위분포를 구하기 위하여 식(2)의 도핑분포함수를 이용하여 식 (1)의 2차원 포아송방정식을 풀어 해석학적 전위분포를 구하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서 ϵ_{si} 는 실리콘의 유전율이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\begin{aligned} \phi(x, y=0) &= V_s \\ \phi(x, y=L_g) &= V_s + V_d \\ \phi(x=0, y) &= V_{gf} + \frac{\epsilon_s}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0} \\ \phi(x=t_{si}, y) &= V_{gb} - \frac{\epsilon_s}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_{si}} \end{aligned}$$

여기서 V_s 는 소스 전압, V_d 는 드레인 전압, V_{gf} 는 평탄 전압을 고려한 상단 게이트 전압, V_{gb} 는 평탄전압을 고려한 하단게이트 전압, 그리고 C_{ox1} 과 C_{ox2} 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[7].

$$\phi(x, y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

이때 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 V_s 는 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 에 나타나는 상수는 참고문헌[8]에 표기하였다.

이때 상단 게이트 전압 V_{gf} 에 대한 문턱전압이하 스윙은 식 (3)을 이용하면 다음과 같이 표현할 수 있다. 즉,

$$\begin{aligned} S &= \frac{\partial V_{gf}}{\partial (\log_{10} I_d)} = 2.3 V_t \left[\frac{\partial \phi(x, y)}{\partial V_{gf}} \right]^{-1} \\ &= 2.3 V_t \left[\sum_{n=1}^{\infty} \frac{2}{n\pi} (1 - (-1)^n) \left(\frac{(1 - K_2) e^{k_n(x-t_{si})} - (1 + K_2) e^{-k_n(x-t_{si})}}{e^{-k_n t_{si}} (1 - K_1)(1 - K_2) - e^{k_n t_{si}} (1 + K_1)(1 + K_2)} \right) \cdot \sin \frac{n\pi y}{L_g} \right]^{-1} \quad (5) \end{aligned}$$

$$K_1 = k_n \epsilon_{si} / C_{ox1}, K_2 = k_n \epsilon_{si} / C_{ox2}$$

이다.

문턱전압이하 스윙을 구하기 위하여 식 (5)의 y 에 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구하여 대입하며 x 는 다음과 같은 식에서 전도중심 x_{eff} 값을 대입하여 문턱전압이하 스윙값을 구한다.

$$x_{eff} = \int_0^{t_{si}} x e^{q\phi(x, y_{\min})/kT} dx / \int_0^{t_{si}} e^{q\phi(x, y_{\min})/kT} dx \quad (6)$$

여기서 k 는 볼츠만상수이며 T 는 절대온도이다.

식 (5)의 문턱전압이하 스윙 모델은 채널길이 L_g 및 채널두께 t_{si} 에 따라 변화하는 매우 복잡한 식으로 표현되고 있다. 뿐만 아니라 x 와 y 값을 결정할 때에도 채널 길이와 채널두께가 파라미터로 사용되고 있다는 것을 알 수 있다. 이와 같이 채널길이와 채널두께는 문턱전압이하 스윙을 결정하는 가장 중요한 요소로써 특히 상호 비율에 따라 문턱전압이하 스윙은 크게 영향을 받을 것이다. 이에 본 연구에서는 식 (5)의 문턱전압이하 스윙과 식 (6)의 전도 중심이 채널길이와 채널두께의 비에 따라 변화하는 경향을 관찰하여 최적의 채널길이와 두께의 비를 분석하고자 한다.

III. 소자 파라미터에 따른 문턱전압이하 스윙 결과 고찰

본 연구의 문턱전압이하 스윙 모델에 대한 타당성을 입증하기 위하여 시뮬레이션 조건을 채널길이 30 nm, 채널두께 10 nm, 도핑농도 $10^{16}/cm^3$ 로 하였을 경우 채널두께를 25 nm, 20 nm, 15 nm로 변화시키면서 채널길이에 따라 문턱전압이하 스윙값을 구하여 2차원 수치해석학적 시뮬레이션인 Medici의 결과[7]와 그림 2에서 비교하였다. 그림 2에서 알 수 있듯이 본 연구에서 제시한 식 (5)의 결과는 2차원 수치해석학적 해와 잘 일치하는 것을 알 수 있다. 그러므로 본 연구에서 제시한 문턱

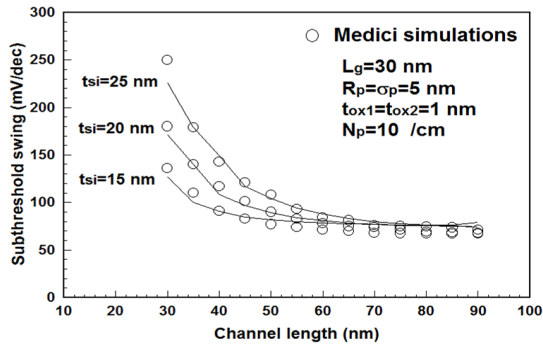


그림 2. 채널길이 및 채널두께 변화에 따른 문턱전압이하 스윙 값(실선 : 본 연구에서 제시한 모델 값, 원: 2차원 수치해석적 모델 값)
Fig. 2 Subthreshold swings for channel length and thickness(line: model presented in this paper, circle; two dimensional numerical model)

전압이하 스윙에 대한 모델 식(5)는 타당하다고 사료된다. 그림 2에서 알 수 있듯이 채널길이 증가할수록 그리고 채널두께가 감소할수록 문턱전압이하 스윙은 감소한다. 그러나 감소정도는 선형적인 관계는 아니므로 채널길이와 두께의 비에 따라 문턱전압이하 스윙 및 전도중심의 관계를 관찰할 것이다.

그림 3에 채널길이를 30 nm에서 60 nm까지 그리고 채널두께를 10 nm에서 20 nm까지 변화시키면서 하단 산화막 두께 변화에 따른 문턱전압이하 스윙값 변화를 도시하였다. L_g/t_{si} 이 증가할수록 문턱전압이하 스윙은 감소하는 것을 알 수 있다.

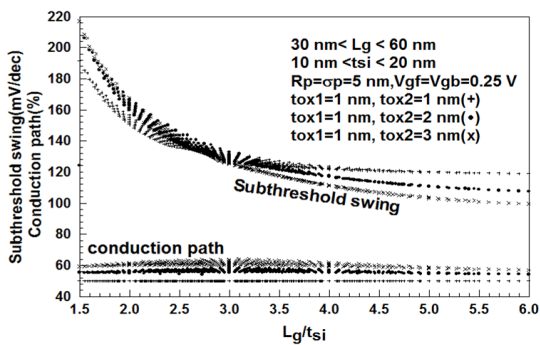


그림 3. 하단게이트 산화막 두께를 파라미터로 계산한 채널길이와 두께 비에 따른 문턱전압이하 스윙값
Fig. 3 Subthreshold swings for ratio of channel length and thickness calculated with a parameter of bottom gate oxide thickness

$L_g/t_{si} < 3$ 정도로 채널길이가 작을 경우 하단 게이트 산화막 두께의 증가에 따라 전도중심이 내부로 이동하여 문턱전압이하 스윙이 증가하는 것을 알 수 있다. 그러나 $L_g/t_{si} > 3$ 로 채널길이가 증가하거나 채널두께가 감소하면 단채널효과가 감소하여 문턱전압이하 스윙이 감소하는 것을 관찰할 수 있다. 또한 이 영역에서 하단 게이트 산화막 두께가 증가할수록 문턱전압이하 스윙은 감소하는 것을 알 수 있다. 전도중심은 하단게이트 산화막 두께가 증가할수록 변화가 심하여 문턱전압이하 스윙이 L_g/t_{si} 비에 따라 더욱 크게 변화하고 있다.

그림 3과 모든 조건은 동일하게 유지하면서 단지 파라미터를 상단게이트 산화막 두께로 변화시켜 문턱전압이하 스윙의 변화를 그림 4에 도시하였다. 그림 3과 비교해보면 $L_g/t_{si} = 3$ 근처영역에서 문턱전압이하 스윙의 변화폭이 크게 증가하는 것을 알 수 있다. 즉, 하단게이트 산화막 두께보다 상단 게이트 산화막 두께가 문턱전압이하 스윙에 더욱 영향을 미치고 있다는 것을 알 수 있다. 상단 게이트 산화막 두께가 증가할수록 전도중심이 상단게이트 방향으로 이동하나 상단게이트 산화막 두께 증가로 인한 상단 게이트 전압의 반송자에 대한 영향력이 감소하여 문턱전압이하 스윙은 증가하게 된다. 그림 3에서도 알 수 있듯이 $L_g/t_{si} = 3$ 근처에서 문턱전압이하 스윙값이 큰 변화를 나타내고 있다. 즉, 채널길이가 채널두께의 3배정도에서는 문턱전압 이하 스윙 값이 상단게이트 산화막 두께에 더욱 민감하게 변화한다는 것을 알 수 있다.

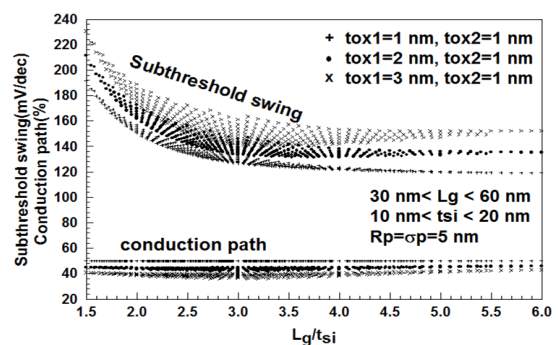


그림 4. 상단게이트 산화막 두께를 파라미터로 계산한 채널길이와 두께 비에 따른 문턱전압이하 스윙값
Fig. 4 Subthreshold swings for ratio of channel length and thickness calculated with a parameter of top gate oxide thickness

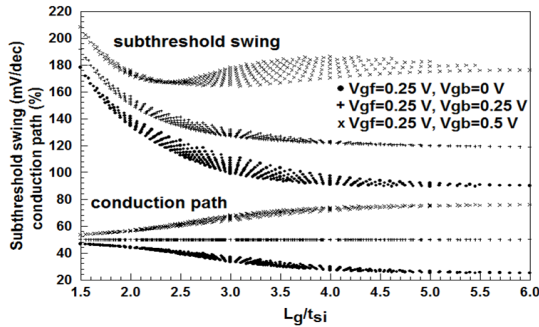


그림 5. 하단게이트 전압을 파라미터로 계산한 채널길리와 두께 비에 따른 문턱전압이하 스윙값
 Fig. 5 Subthreshold swings for ratio of channel length and thickness calculated with a parameter of bottom gate voltage

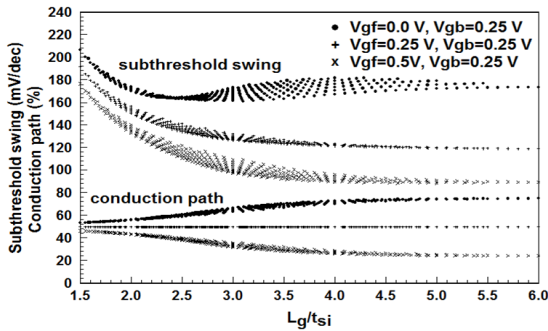


그림 6. 상단게이트 전압을 파라미터로 계산한 채널길리와 두께 비에 따른 문턱전압이하 스윙값
 Fig. 6 Subthreshold swings for ratio of channel length and thickness calculated with a parameter of top gate voltage

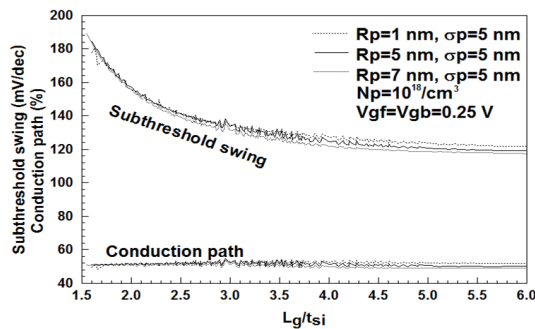


그림 7. 아온주입범위를 파라미터로 계산한 채널길리와 두께 비에 따른 문턱전압이하 스윙값
 Fig. 7 Subthreshold swings for ratio of channel length and thickness calculated with a parameter of projected range

비대칭 이중게이트 MOSFET는 상단과 하단의 게이트 산화막을 달리 제작할 수 있을 뿐만 아니라 상단과 하단의 게이트 전압을 달리 인가할 수 있다. 상단과 하단 게이트 전압의 영향을 고찰하기 위하여 그림 3과 모든 조건을 동일하게 유지하면서 하단 게이트 전압을 파라미터로 하여 L_g/t_{si} 의 비에 따라 문턱전압이하 스윙의 변화를 그림 5에 도시하였다. 상단과 하단의 게이트 산화막 두께는 1 nm로 동일하게 계산하였으므로 하단 게이트 전압이 증가하면 상대적으로 상단 게이트 전압이 감소하므로 상단 게이트 전압에 의한 반송자 제어능력이 감소하여 문턱전압이하 스윙이 증가함을 알 수 있다. 또한 전도중심의 관점에서 고찰해 보면, 하단 게이트 전압이 증가하면 전도중심은 하단 방향으로 이동하여 문턱전압이하 스윙이 증가하며 상대적으로 상단 게이트 전압이 크면 상단 방향으로 이동하면서 문턱전압이하 스윙이 감소하는 것을 관찰할 수 있다. 하단 게이트 전압이 상단 게이트 전압보다 큰 경우, 문턱전압이하 스윙의 L_g/t_{si} 에 대한 변화경향이 $L_g/t_{si} = 2.5$ 정도에서 변화하는 것을 관찰할 수 있다. 이는 이 영역에서 전도중심이 하단게이트 방향으로 이동하면서 문턱전압이하 스윙에 영향을 미치고 있다고 사료된다.

상단 게이트 전압을 파라미터로 하여 그림 5와 같이 문턱전압이하 스윙을 L_g/t_{si} 의 비에 따라 그림 6에 도시하였다. 그림 5에서 고찰한 바와 같이 $V_{gf} > V_{gb}$ 이면 전도중심이 상단 게이트로 이동하여 문턱전압이하 스윙이 감소하며 $V_{gf} < V_{gb}$ 이면 전도중심이 하단게이트 방향으로 이동하여 문턱전압이하 스윙이 증가하는 것을 관찰할 수 있다. 그림 5와 동일하게 하단 게이트 전압이 상단 게이트 전압보다 큰 경우, 문턱전압이하 스윙의 L_g/t_{si} 에 대한 변화경향이 $L_g/t_{si} = 2.5$ 정도에서 변화하는 것을 관찰할 수 있으며 이는 전도중심의 하단게이트 방향으로의 이동현상에 기인하는 것으로 사료된다. 전술한 바와 같이 본 연구에서는 일정한 도핑분포를 사용하여 해석한 Ding 등과 달리 식 (2)와 같은 가우스분포함수를 사용하였다. 도핑농도가 낮을 경우는 가우스분포함수의 두 변수인 이온주입범위 R_p 와 분포편차 σ_p 에 따른 문턱전압이하 스윙의 변화는 거의 없으므로 고농도로 도핑된 채널의 경우 이온주입범위의 변화에 따라 문턱전압이하 스윙의 변화를 그림 7에 도시하였다. 이온주입범위가 증가할수록 전도중심은 상단으로 향하고 문턱전압이

하스윙은 감소하는 것을 관찰할 수 있다. 산화막 두께나 게이트 전압 등 다른 설계 파라미터에 의한 문턱전압이하 스윙의 변화보다 그 영향이 매우 미미하다는 것을 관찰할 수 있다. 그리고 도핑된 채널을 가진 비대칭 이중 게이트 MOSFET의 경우 이온주입범위에 따라 미세한 차이를 보이므로 설계 시 주의하여야 할 것이다.

IV. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 채널길이와 채널두께의 비에 따른 문턱전압이하 스윙의 변화를 산화막 두께, 게이트 전압 그리고 도핑분포함수 등에 따라 분석하였다. 본 연구에서 제시한 문턱전압이하 스윙 모델이 이차원 수치해석학적 해와 잘 일치하므로 모델의 타당성이 입증되었으며 문턱전압이하 스윙과 전도중심의 변화를 관찰하였다. 관찰한 결과 L_g/t_{si} 이 증가할수록 문턱전압이하 스윙은 감소하는 것을 알 수 있었다. 하단 산화막 두께에 따른 문턱전압이하 스윙의 변화는 L_g/t_{si} 가 3을 전후하여 변화하였으며 채널길이가 채널두께의 3 배정도에서는 문턱전압이하 하단게이트 산화막 두께보다 상단게이트 산화막 두께에 더욱 민감하게 변화한다는 것을 알 수 있었다. 상하단 게이트 전압에 따른 변화를 고찰해보면 상단 게이트 전압이 증가할수록 전도중심이 상단으로 이동하여 문턱전압이하 스윙값이 감소하는 것을 알 수 있었다. 마찬가지로 하단게이트 전압이 증가할수록 전도중심은 하단방향으로 이동하여 문턱전압이하 스윙값은 증가하는 것을 관찰하였다. 가우스분포함수를 갖는 도핑분포에서 이온주입범위에 따른 문턱전압이하 스윙의 변화는 고 도핑에서 나타났으나 산화막 두께, 게이트 전압 등에 따른 변화보다 미미한 것으로 나타났다. 이상의 결과는 향후 비대칭 이중게이트 MOSFET설계의 기초자료로 사용될 수 있을 것으로 사료된다.

REFERENCES

- [1] G. Deng and C. Chen, "Binary Multiplication Using Hybrid MOS and Multi-Gate Single-Electron Transistors", *IEEE Trans. on VLSI systems*, vol.21, no.9, pp.1573-1582, 2013.
- [2] P.Zhang, E.Jacques, R.Rogel and O.Bonnaud, "P-type and N-type multi-gate polycrystalline silicon vertical thin film transistors based on low-temperature," *Solid-state electronics*, vol.86, no.1, pp.1-5, 2013.
- [3] J.B.Roldan, B.Gonzalez, B.Iniguez, A.M.Roldan, A.Lazaro and A.Cerdeira, "In-depth analysis and modelling of self-heating effects in nanometric DGMOSFETs," *Solid-state electronics*, vol.79, no.1, pp.179-184, 2013.
- [4] R.Vaddi, S.Dasgupta and R.P.Agarwal, "Analytical modeling of subthreshold current and subthreshold swing of an underlap DGMOSFET with tied independent gate and symmetric asymmetric options," *Microelectronics J.*, vol.42, no.5, pp.798-807, 2011.
- [5] K.K.Nagarajan and R.Srinivasan, "Investigation of tunable characteristics of independently driven double gate finfets in analog/RF domain using TCAD simulations," *J. of Computational and Theoretical Nanosciences*, vol.11, no.2, pp.821-826, 2014.
- [6] N.Seoane, G.Indalecio, E.Comesane, M.Aldegunde, A.J. Garcia-Loureiro and K.Kalna, "Random Dopant, Line-Edge Roughness and Gate Workfunction Variability in a Nano InGaAs FinFETs," *IEEE Trans. Electron Devices*, vol. 61, no.2, pp.466-472, 2006.
- [7] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [8] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *JKIICE*, vol.17, no.11, pp.2621-2626, 2013.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
 1985.3 연세대학교 전자공학과 M.S.
 1990.8 연세대학교전자공학과 Ph.D
 1995.8 일본 오사카대학 교환교수
 2005.8 호주 그리피스대학 교환교수
 1990.3 ~ 현재 군산대학교 전자공학과 교수
 2014.1 ~ 현재 한국정보통신학회 회장