

비대칭 이중게이트 MOSFET의 차단전류에 대한 전도중심 의존성 분석

정학기*

Analysis of Conduction-Path Dependent Off-Current for Asymmetric Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

비대칭 이중게이트(double gate; DG) MOSFET는 단채널 효과를 감소시킬 수 있는 새로운 구조의 트랜지스터이다. 본 연구에서는 비대칭 DGMOSFET의 전도중심에 따른 차단전류를 분석하고자 한다. 전도중심은 채널 내 캐리어의 이동이 발생하는 상단게이트에서의 평균거리로써 상하단 게이트 산화막 두께를 달리 제작할 수 있는 비대칭 DGMOSFET에서 산화막 두께에 따라 변화하는 요소이며 상단 게이트 전압에 따른 차단전류에 영향을 미치고 있다. 전도중심을 구하고 이를 이용하여 상단 게이트 전압에 따른 차단전류를 계산함으로써 전도중심이 차단전류에 미치는 영향을 산화막 두께 및 채널길이 등을 파라미터로 분석할 것이다. 차단전류를 구하기 위하여 포아송방정식으로부터 급수 형태의 해석학적 전위분포를 유도하였다. 결과적으로 전도중심의 위치에 따라 차단전류는 크게 변화하였으며 이에 따라 문턱전압 및 문턱전압이하 스윙이 변화하는 것을 알 수 있었다.

ABSTRACT

Asymmetric double gate(DG) MOSFET is a novel transistor to be able to reduce the short channel effects. This paper has analyzed a off current for conduction path of asymmetric DGMOSFET. The conduction path is a average distance from top gate the movement of carrier in channel happens, and a factor to change for oxide thickness of asymmetric DGMOSFET to be able to fabricate differently top and bottom gate oxide thickness, and influenced on off current for top gate voltage. As the conduction path is obtained and off current is calculated for top gate voltage, it is analyzed how conduction path influences on off current with parameters of oxide thickness and channel length. The analytical potential distribution of series form is derived from Poisson's equation to obtain off current. As a result, off current is greatly changed for conduction path, and we know threshold voltage and subthreshold swing are changed for this reasons

키워드 : 비대칭 이중게이트, 차단전류, 포아송방정식, 전도중심

Key word : asymmetric double gate, off current, Poisson equation, conduction path

접수일자 : 2014. 11. 13 심사완료일자 : 2014. 12. 08 게재확정일자 : 2014. 12. 23

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2015.19.3.575>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

트랜지스터의 미세화는 집적회로 개발에 가장 중요한 요소이다. 가장 광범위하게 사용되고 있는 CMOS 트랜지스터의 경우 20nm 이하로 미세화 할 경우, 단채널 효과로 알려진 문턱전압이하 스윙 특성저하, 문턱전압 이동현상 등 트랜지스터 동작에 심각한 영향을 나타내고 있다. 이러한 문제점을 해결하기 위하여 개발되고 있는 소자가 다중게이트 MOSFET이다. 다중게이트 MOSFET은 하나의 게이트를 갖는 CMOSFET와 달리 채널주위에 2개 이상의 게이트를 형성하여 게이트 단자에 의한 채널 내 캐리어의 제어능력을 단자 개수만큼 향상시킬 수 있다는 장점이 있다. 그러므로 제작공정상 가능하다면 여러 개의 게이트 단자를 채널주변에 제작하여 사용하려는 노력을 하고 있다. 이에 부응하기 위하여 개발되고 있는 소자가 FinFET와 이중게이트 MOSFET 그리고 원통형 MOSFET이다[1-3]. FinFET의 경우 좁고 높은 지느러미 형태로 채널을 형성하여 주변을 게이트 단자로 감싸 제작한 트랜지스터로서 지느러미 형태의 핀을 제작하는데 어려움을 겪고 있다. 원통형 MOSFET은 아직 연구 단계로서 채널을 원통 형태로 제작하고 아래는 소스 위는 드레인을 제작하며 원통주위를 게이트 단자로 제작하는 트랜지스터이다. 이중게이트 MOSFET은 상단과 하단에 두 개의 게이트 단자를 제작하여 채널 내 전하를 제어하는 트랜지스터로서 가장 광범위하게 연구되고 있다. 이중게이트 구조는 SOI기술의 발달과 함께 발전하고 있으며 가장 간단한 구조의 다중게이트 MOSFET로서 대칭형 구조와 비대칭형 구조로 구분된다.

대칭형 이중게이트 MOSFET은 상단과 하단의 게이트 산화막 두께를 동일하게 제작하고 상단과 하단의 게이트 단자를 묶어 동일한 전압을 인가하는 구조이다. 이에 반해 비대칭 이중게이트 MOSFET은 상단과 하단의 게이트 산화막 두께를 달리 제작할 수 있으며 상단과 하단의 게이트 단자에 각각 별도의 전압을 인가할 수 있다. 비대칭 이중게이트 MOSFET의 경우, 소스, 드레인, 상단 게이트, 하단 게이트 단자로 이루어진 4단자로서 상단과 하단의 게이트 산화막 두께 등, 단채널 효과를 제어할 수 있는 요소가 증가하여 효율적으로 단채널 효과를 감소시킬 수 있다는 장점을 갖는다. 이에 본 연구에서는 비대칭 이중게이트 MOSFET의 상·하단 게

이트 산화막 두께 및 채널길이 등이 차단전류에 미치는 영향을 관찰하고자한다. 특히 대부분의 전류가 흐르는 전도중심의 변화가 차단전류에 미치는 영향을 고찰함으로써 게이트전압변화가 전도중심에 미치는 영향과 차단전류의 관계를 관찰할 것이다. 이를 위하여 급수형태의 해석학적 전위분포를 포아송방정식을 풀어 구하였으며 전위분포모델을 이용하여 차단전류모델을 구하였다. Ding 등의 모델[4]과 달리 전하분포모델은 가우스분포함수를 사용하였다.

2장에서는 포아송방정식의 해석학적 전위모델 및 차단전류모델에 대하여 설명할 것이며 3장에서 이 모델을 이용하여 구한 전도중심 및 차단전류를 산화막 두께 및 채널길이에 따라 고찰하였다. 또한 4장에서 결론을 맺을 것이다.

II. 비대칭 DGMOSFET의 차단전류모델

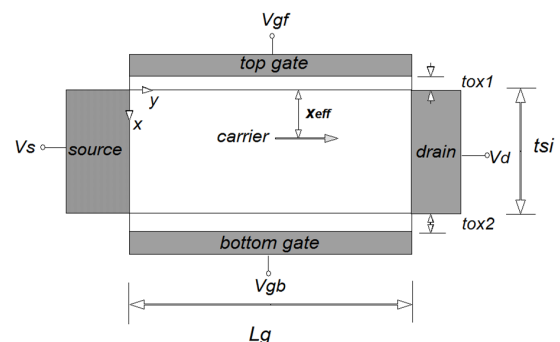


그림 1. 비대칭 이중게이트 MOSFET의 개략도

Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 이중게이트 MOSFET의 개략도를 그림 1에 도시하였다. 상·하단 게이트 단자에 각각 V_{gf} 와 V_{gb} 의 전압을 인가할 수 있으며 상·하단 게이트 산화막 두께는 각각 t_{ox1} 과 t_{ox2} 이다. 또한 전하중심의 위치를 표현하는 전도중심의 위치는 x_{eff} 로 표시하였다. 이 위치는 모든 전하가 소스에서 드레인으로 이동하는 가상의 중심으로써 생각할 수 있다. 먼저 채널 내의 전위분포를 구하기 위하여 식(1)과 같은 2차원 포아송방정식을 이용한다. 식 (1)에서 알 수 있듯이 전하분포는 가우스분포함수를 이용하였다.

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} + \frac{\partial^2 \phi(x,y)}{\partial y^2} = \frac{qN_p}{\epsilon_s} \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (1)$$

여기서 ϵ_{si} 는 실리콘의 유전율이며 N_p 는 최대 도핑 분포 값, R_p 와 σ_p 는 각각 이온주입범위 및 분포편차를 나타낸다.

Ding 등의 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[4].

$$\phi(x,y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (2)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (3)$$

$$\tau = (x - R_p) / \sqrt{2} \sigma_p$$

$$C_n = \frac{e^{k_n t_{si}} (1 + k_n \epsilon_{si} / C_{ox1}) (B_8 + E_n) - (1 - k_n \epsilon_{si} / C_{ox2}) (B_7 + F_n)}{(1 - k_n \epsilon_{si} / C_{ox1}) (1 - k_n \epsilon_{si} / C_{ox2}) - e^{2k_n t_{si}} (1 + k_n \epsilon_{si} / C_{ox1}) (1 + k_n \epsilon_{si} / C_{ox2})}$$

$$D_n = \frac{e^{-k_n t_{si}} (1 - k_n \epsilon_{si} / C_{ox1}) (B_8 + E_n) - (1 + k_n \epsilon_{si} / C_{ox2}) (B_7 + F_n)}{(1 + k_n \epsilon_{si} / C_{ox1}) (1 + k_n \epsilon_{si} / C_{ox2}) - e^{-2k_n t_{si}} (1 - k_n \epsilon_{si} / C_{ox1}) (1 - k_n \epsilon_{si} / C_{ox2})}$$

이며 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 V_s 는 소스 전압, V_d 는 드레인 전압, A 는 적분 상수이다. 또한 $C_{ox1} = \epsilon_{ox}/t_{ox1}$, $C_{ox2} = \epsilon_{ox}/t_{ox2}$ 이다. $A_n(x)$ 에 나타나는 상수 B_1 , B_2 , b_1 , b_2 는 참고문헌[5]에 표기하였다.

식 (2)와 식 (3)에서 알 수 있듯이 전위분포는 산화막 두께에 따라 변화할 것이며 이에 따른 에너지장벽의 변화를 그림 2에 도시하였다. 그림 2에서 알 수 있듯이 에너지장벽의 높이는 상단 및 하단의 게이트 산화막 두께에 따라 변화하므로 차단전류 역시 두 요소에 따라 변화할 것이다.

그림 2에서 에너지 장벽을 넘어 전도중심에서 이동하는 전자의 농도는 볼츠만통계를 이용하면 다음과 같이 구할 수 있다.

$$n_m(x_{eff}) \approx (n_i^2/N_p) e^{q\phi_{\min}(x_{eff})/kT} \quad (4)$$

$$x_{eff} = \int_0^{t_{si}} x e^{\phi(x, y_{\min})/V_t} dx / \int_0^{t_{si}} e^{\phi(x, y_{\min})/V_t} dx \quad (5)$$

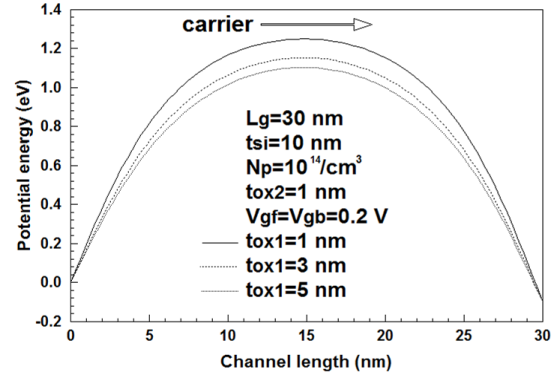


그림 2. 상단 게이트 산화막 두께에 따른 채널 내 에너지장벽
Fig. 2 Energy barrier diagram for top gate oxide thickness

여기서 v_{th} 는 열속도이며 x_{eff} 는 전도중심이다. 또한 식 (4)에서 n_i 는 순수반도체 전자농도이며 $\phi_{\min}(x_{eff})$ 는 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을

구한 후, 식 (2)에 대입하며 구한 전도중심에서의 최소 전위분포 값이다.

일정치 않게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 $t_{si}W$ (W 는 채널폭) 면적의 드레인에 도착하는 전자의 수를 이용하여 차단전류를 구하면

$$I_d = \frac{qn_m(x_{eff})v_{th}t_{si}W}{6} \quad (6)$$

이다.

이상과 같이 식 (2)의 전위분포는 상하단의 게이트 산화막 두께에 의하여 변화할 것이며 차단전류는 식 (6)에서 알 수 있듯이 전자농도에 따라 변화하며 이는 전위분포 및 전도중심에 따라 변화하므로 결국 차단전류는 상하단 게이트 산화막 두께 및 전도중심 등에 따라 변화할 것이다. 그러므로 본 연구에서는 상단과 하단의 게이트 산화막 두께를 파라미터로 하여 전도중심이 차단전류에 미치는 영향을 고찰할 것이며 비대칭 이중게

이트 MOSFET의 채널길이가 단채널 효과에 미치는 영향을 관찰할 것이다.

III. 전도중심과 차단전류의 관계 고찰

본 연구에서 제시한 차단전류 모델의 타당성은 참고 문헌[6]에서 이미 입증하였으므로 이 모델을 사용하여 상단 및 하단 게이트 산화막 두께 그리고 채널길이에 대한 차단전류의 변화를 고찰할 것이다.

채널길이 및 하단게이트 산화막 두께를 파라미터로 하여 상단게이트 전압의 변화에 따른 전도중심 및 차단전류의 변화를 그림 3에 도시하였다. 그림 3a)에서 알 수 있듯이 하단게이트 산화막 두께가 증가할수록 전도중심은 내부로 이동하며 차단전류도 증가하는 것을 관찰할 수 있다. 또한 상단게이트 전압이 증가할수록 전도중심이 상단게이트 단자로 이동하는 것을 알 수 있다. 채널길이에 따라 분석해 보면, 채널길이가 증가할수록 전도중심은 상단 게이트 단자로 이동하고 차단전류도 감소하고 있다는 것을 관찰할 수 있다. 이와 같이 전도중심과 차단전류는 상호관계가 존재하며 이는 산화막

두께에 따라 민감하게 변화한다는 것을 알 수 있다. 차단전류의 변화는 문턱전압이동현상이나 문턱전압이 하스윙 값의 저하 현상 등 단채널 효과를 나타내므로 이에 대하여 상세히 고찰할 것이다.

먼저 하단게이트 산화막 두께의 변화에 대한 전도중심 및 차단전류의 변화를 그림 4에 도시하였다. 차단전류가 $0.1 \mu A/\mu m$ 일 때 상단게이트 전압을 문턱전압으로 정의[7]함으로써 전도중심과 문턱전압의 변화를 함께 도시하였다.

산화막 두께만의 효과를 관찰하기 위하여 상·하단 게이트 전압은 동일하게 유지하였다. $t_{ox1} < t_{ox2}$ 의 경우로써 하단게이트 산화막 두께가 증가할수록 전도중심은 점점 내부로 이동하며 이에 따라 차단전류도 증가하는 것을 관찰할 수 있다. 또한 문턱전압은 하단게이트 산화막 두께가 증가할수록 감소하며 문턱전압이 하스윙은 미소하나마 증가하는 것을 알 수 있다. 그림 4a)와 b)의 관계 화살표에서 알 수 있듯이 문턱전압이 감소하면 전도중심은 내부로 향한다는 것을 관찰할 수 있다. $t_{ox1} > t_{ox2}$ 일 경우 그림 4와 동일한 조건에서 전도중심 및 차단전류의 변화를 그림 5에 도시하였다. 이 경우 그림 4와 마찬가지로 하단 게이트 산화막 두께가

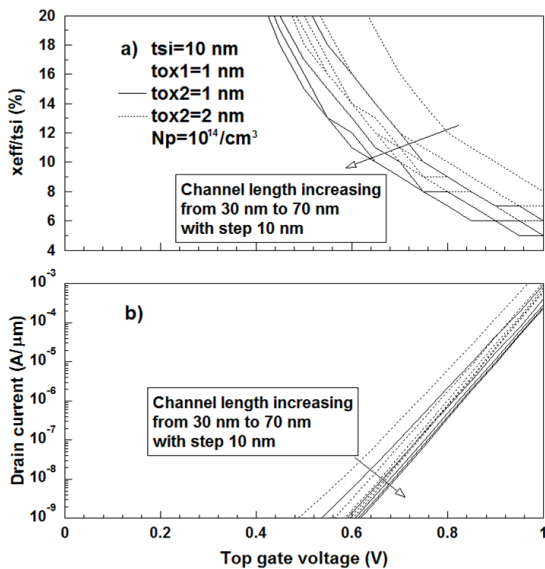


그림 3. 채널길이 및 하단게이트 산화막 두께를 파라미터로 구한 전도중심 및 차단전류

Fig. 3 The variation of conduction path and off currents for channel length and bottom gate oxide thickness

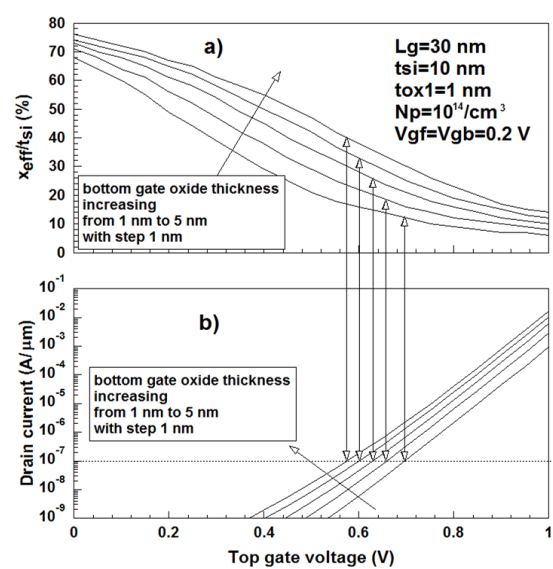


그림 4. $t_{ox1} < t_{ox2}$ 의 경우 하단게이트 산화막 두께를 파라미터로 구한 전도중심 및 차단전류

Fig. 4 The variation of conduction path and off currents for bottom gate oxide thickness with $t_{ox1} < t_{ox2}$

증가할수록 전도중심은 내부로 향하며 문턱전압이하 스윙은 하단 게이트 산화막 두께에 따라 큰 변화를 나타내고 있지 않았다. $t_{ox1} > t_{ox2}$ 의 조건에서 하단 게이트 산화막 두께에 따른 전도중심의 변화는 문턱전압이하 스윙에 큰 영향을 미치고 있지 않았다. 그러나 그림 4와 비교해 보면 문턱전압의 변화는 그림 4보다 크게 나타나고 있다는 것을 알 수 있다. 즉, $t_{ox1} > t_{ox2}$ 일 경우 하단 게이트 산화막 두께의 변화는 문턱전압에 큰 영향을 미치고 있었다. 결론적으로 상단 게이트 산화막 두께와 하단 게이트 산화막 두께의 상대적 크기에 따라 문턱전압이하 스윙 및 문턱전압의 변화가 영향을 받고 있다는 것을 알 수 있었다. 하단게이트 산화막 두께가 증가하여 전도중심이 내부로 향할수록 차단전류는 증가하고 있다는 것을 주시하라.

상단 게이트 산화막 두께 변화에 따른 전도중심 및 차단전류의 변화를 관찰하기 위하여 $t_{ox1} > t_{ox2}$ 의 경우 해당 값을 그림 6에 도시하였다. 이 경우 상단 게이트 산화막 두께가 증가하면 문턱전압은 증가하나 전도중심은 약간 내부로 향할 뿐 크게 변하지 않았다. 그러나 약간 내부로 이동한 전도중심에 의하여 문턱전압이하 스윙

값은 크게 증가하는 것을 알 수 있었다. 즉, 상단게이트 전압이 문턱전압 근처에서 전도중심은 크게 변화하지 않았으나 차단전류의 증가율 즉, 문턱전압이하 스윙은 크게 변화하고 있었다. 그러므로 상단 게이트 산화막 두께가 하단 게이트 산화막 두께보다 클 경우, 상단 게이트 산화막 두께의 변화는 상단 게이트 전압이 증가하면 전도중심에 큰 영향을 미치고 있지 않았으나 차단전류의 증가에는 큰 영향을 미치고 있다는 것을 알 수 있었다.

$t_{ox1} < t_{ox2}$ 의 경우 상단 게이트 산화막 두께에 따른 전도중심 및 차단전류의 관계를 그림 7에 도시하였다. 상단 게이트 산화막 두께의 증가에 따라 문턱전압은 감소하나 상단 게이트 산화막 두께의 변화에 따라 문턱전압에 해당하는 전도중심의 변화는 거의 나타나고 있지 않았다. 상단 게이트 산화막 두께가 증가하면 전도중심은 약간씩 변화하면서 문턱전압이하 스윙값이 증가하는 것을 알 수 있다.

그림 6과 그림 7을 비교해 보면 $t_{ox1} < t_{ox2}$ 의 경우 상단게이트 산화막 두께 증가에 따라 문턱전압은 감소하며 $t_{ox1} > t_{ox2}$ 경우 상단게이트 산화막 두께 증가에 따라 문턱전압은 증가하는 것을 알 수 있다.

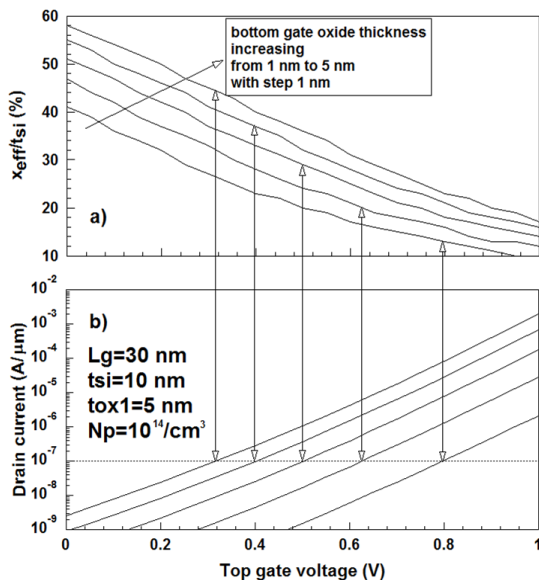


그림 5. $t_{ox1} > t_{ox2}$ 의 경우 하단게이트 산화막 두께를 파라미터로 구한 전도중심 및 차단전류

Fig. 5 The variation of conduction path and off currents for bottom gate oxide thickness with $t_{ox1} > t_{ox2}$

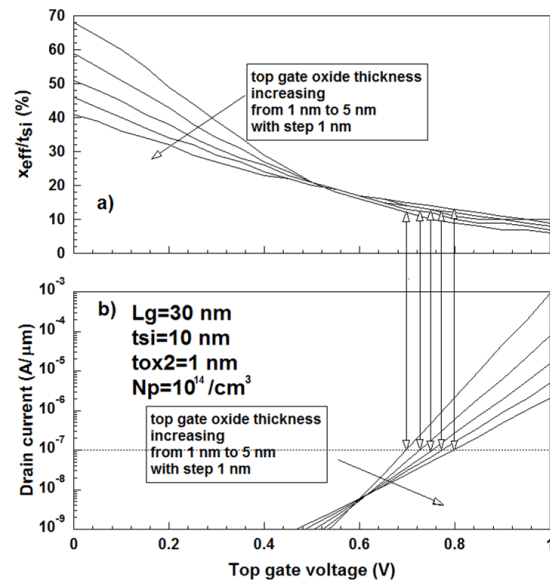


그림 6. $t_{ox1} > t_{ox2}$ 의 경우 상단게이트 산화막 두께를 파라미터로 구한 전도중심 및 차단전류

Fig. 6 The variation of conduction path and off currents for top gate oxide thickness with $t_{ox1} > t_{ox2}$

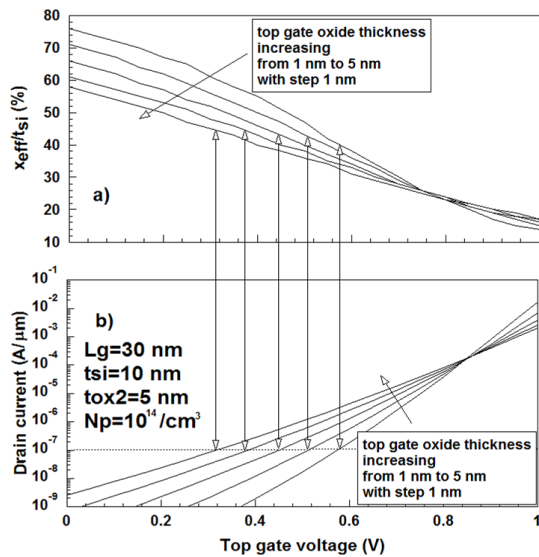


그림 7. $t_{ox1} < t_{ox2}$ 의 경우 상단게이트 산화막 두께를 파라미터로 구한 전도중심 및 차단전류

Fig. 7 The variation of conduction path and off currents for top gate oxide thickness with $t_{ox1} < t_{ox2}$

IV. 결 론

비대칭 이중게이트 MOSFET의 전도중심에 따른 차단전류를 분석하였다. 상단 게이트 전압에 따른 차단전류의 변화는 문턱전압이하 스윙 및 문턱전압의 변화를 구할 수 있는 기초자료이다. 상·하단 게이트 산화막 두께를 달리 제작할 수 있는 비대칭 DG MOSFET에서 산화막 두께에 따라 차단전류는 영향을 받고 있었으며 전도중심도 변화하였다. 특히 상단 게이트 산화막 두께와 하단 게이트 산화막 두께의 크기에 따라 전도중심 및 차단전류가 변하였으며 변화하는 경향도 큰 차이를 보

였다. 상단게이트 산화막 두께의 변화는 전도중심에 큰 영향을 미치지 않았으나 전도중심의 약간의 변화에도 문턱전압이하 스윙은 크게 변화하는 것을 알 수 있었다. 하단 게이트 산화막 두께의 변화는 문턱전압이하 스윙보다 문턱전압의 변화에 더 큰 영향을 미치고 있었다. 이와 같은 결과는 비대칭 이중게이트 MOSFET의 개발에 기초자료로 사용될 수 있을 것이다.

REFERENCES

- [1] G. Deng and C. Chen, "Binary Multiplication Using Hybrid MOS and Multi-Gate Single-Electron Transistors," *IEEE Trans. on VLSI systems*, vol.21, no.9, pp.1573-1582, 2013.
- [2] J.P.Duarte, S.J.Choi, D.I.Moon and Y.K.Choi, "A nonpiecewise model for long-channel junctionless cylindrical nanowire FETs," *IEEE Electron Device Letters*, vol.33, no.2, pp.155-157, 2012.
- [3] M.C.Cheng, J.A.Smith, W.Jia and R.Coleman, "An Effective Thermal Model for FinFET Structure," *IEEE Trans. Electron Devices*, vol. 61, no.1, pp.202-206, 2014.
- [4] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [5] H.K.Jung and D.S.Cheong, "Analysis for Relation of Oxide Thickness and Subthreshold Swing of Asymmetric Double Gate MOSFET," *Conference on Information and Communication Eng.*, vol.17, no.2, pp.698-701, 2013.
- [6] H.K.Jung and S.Dimitrijevic, "Analysis of Subthreshold Carrier Transport for Ultimate DG MOSFET," *IEEE Trans. Electron Devices*, vol. 53, no.4, pp.685-691, 2006.
- [7] TCAD Manual, Part.4: INSPEC, ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56. ver.7.5.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
1985.3 연세대학교 전자공학과 M.S.
1990.8 연세대학교 전자공학과 Ph.D
1995.8 일본 오사카대학 교환교수
2005.8 호주 그리피스대학 교환교수
1990.3 ~ 현재 군산대학교 전자공학과 교수
2014.1 ~ 현재 한국정보통신학회 회장