

논문 2015-52-3-8

# 파워 트랜지스터 사이즈 조절 기법을 이용한 LDO 내장형 DC-DC 벅 컨버터의 저부하 효율 개선

(Improving the Light-Load Efficiency of a LDO-Embedded DC-DC Buck Converter Using a Size Control Method of the Power-Transistor)

김 효 중\*, 위 재 경\*\*, 송 인 채\*\*

(Hyojoong Kim, Jaekyung Wee<sup>Ⓢ</sup>, and Inchaee Song)

## 요 약

본 논문에서는 4bit SAR-ADC(Successive Approximation ADC) 기반의 LDO(Low Drop-Out Regulator)와 파워 트랜지스터의 사이즈 선택을 통하여 DC-DC 벅 컨버터의 효율을 개선하는 방법을 제안한다. 제안하는 회로는 부하 전류에 따라서 파워 트랜지스터 사이즈를 선택하여 DC-DC 벅 컨버터의 효율을 개선한다. 이를 위해, 우리는 스위칭 손실과 전도 손실이 교차하는 지점을 파워 트랜지스터의 적절한 사이즈로 선택하였다. 또한, standby mode 또는 sleep mode로 동작 시에는 효율을 개선하기 위해 LDO로 동작하도록 하였다. 제안하는 회로는 4bit로 파워 트랜지스터 사이즈(X1, X2, X4, X8)를 선택하였고, 저부하에서 단일 사이즈를 이용한 기존의 방식보다 최대 25%의 효율 개선을 얻을 수 있었다. 입력 전압은 5V, 출력 전압은 3.3V, 최대 부하 전류는 500mA이다.

## Abstract

In this paper, we propose a method of improving the light-load efficiency of DC-DC buck converter using 4bit SAR-ADC (Successive Approximation ADC) for a LDO or a power transistor size selection technique. The proposed circuit selects power transistor sizes depending on load current so that improves the light-load efficiency of the DC-DC buck converter. For this, we select the power transistor size with a cross point of the switching loss and the conduction loss. Also, when the IC operates in standby mode or sleep mode, a LDO mode is selected for improving the efficiency. The proposed circuit selects power transistor sizes(X1, X2, X4, X8) with 4 bits and its efficiency is higher about the maximum of 25% at the light-load than that of a single transistor size. Input voltage and output voltage are 5V and 3.3V for maximum load currents of 500mA.

**Keywords** : DC-DC Buck Converter, Power Transistor Sizes, Light-Load Efficiency

## I. 서 론

DC-DC 벅 컨버터는 전원 공급 칩 중 하나로서 배터리에서 공급되는 전원을 부하 칩에 맞는 전원 전압으로 바꾸어 출력해 준다. 이러한 벅 컨버터는 휴대용 전자 기기부터 자동차 전장부품, 로봇, 의료기기 등에 폭넓게 사용되고 있다.<sup>[1~4]</sup> 이러한 DC-DC 벅 컨버터는 인덕터 전류가 흐르는 방식에 따라서 CCM(Continuous

\* 학생회원, \*\* 정회원, 숭실대학교 전자공학과  
(Department of Electronic Engineering, Soongsil University)

Ⓢ Corresponding Author(E-mail: wjk@ssu.ac.kr)

※ 본 연구는 산업통상자원부의 산업핵심기술개발사업(10049095, “스마트 커넥티드 디바이스를 위한 융합형 전력 관리 플랫폼 및 솔루션 개발”)의 지원으로 이루어졌습니다.

Received ; December 12, 2014 Revised ; February 11, 2015

Accepted ; March 2, 2015

Current Mode)과 DCM(Discontinuous Current Mode)으로 나눌 수 있다. CCM 방식은 인덕터 전류가 연속적으로 흐르는 것을 말하며, DCM 방식은 인덕터에 역전류가 흐르면 전류 공급이 차단이 되는 것을 말한다. 이렇게 전류가 흐르는 방식에 따라서 DC-DC 벡 컨버터의 효율은 달라진다. 일반적인 DC-DC 벡 컨버터에서는 최대 부하전류에 맞추어 단일 사이즈의 파워 트랜지스터와 인덕터를 사용한다. 이러한 단일 사이즈의 설계로 인해 저부하에서는 스위칭 손실(Switching loss)과 전도 손실(Conduction loss)이 고부하에서 보다 상대적으로 커지기 때문에 손실이 많이 발생하게 되고, 효율이 낮아진다. 또한, 그림 1에서 보이듯이 CCM 방식으로 저부하에서 동작 시 인덕터에 흐르는 역전류는 모두 손실이 되기 때문에 효율이 낮아지게 되는 것이다.

이러한 저부하에서의 낮은 효율을 극복하기 위해 부하의 상태에 따라서 CCM과 DCM 방식을 함께 사용하는 방법이 나와 있다. 저부하에서 동작할 때에는 DCM 방식을 사용하여 인덕터에 역전류를 차단하여 효율을 개선하고 고부하에서는 CCM 방식을 사용한다. 하지만 DCM 방식을 사용하게 되면, 출력에서 리플 전압의 크기가 커지는 단점을 가지게 된다.<sup>[5-6]</sup>

이 방법 이외에도 LDO(Low Dropout Regulator)와 DC-DC 벡 컨버터를 함께 사용하는 방식<sup>[7]</sup>, 파워 트랜지스터의 사이즈를 조절하는 방식<sup>[8-9]</sup> 그리고 여러 개의 인덕터를 사용하여 효율을 개선하는 방식<sup>[10]</sup> 등이 있다. 파워 트랜지스터의 사이즈를 변화시키는 방식은 파

워 트랜지스터의 단위(unit) 사이즈를 정하고 최대 부하 전류에 따라 트랜지스터의 개수를 증가시킨다. 이 방식은 부하전류의 범위가 넓어지게 되면, 단위 사이즈를 키우거나 더 많은 개수의 트랜지스터를 필요로 하게 된다. 하지만 단위 사이즈를 키우게 되면 스위칭 손실과 전도 손실이 더 커질 수 있고, 이로 인해 효율의 개선이 미비할 수 있다. 여러 개의 인덕터를 사용하여 효율을 개선하는 방식은 한 개의 인덕터만 사용하던 기존의 방식보다 많은 개수의 인덕터를 사용해야 하므로, 사이즈와 비용 면에서 단점을 가지고 있다.

본 논문에서는 이와 같은 단점을 개선하기 위해 파워 트랜지스터의 사이즈를 변화시키는 방식을 바꾸었다. 가장 작은 파워 트랜지스터의 사이즈를 정하고, 나머지 트랜지스터들은 2배, 4배, 8배, ...,  $2^n$  배( $n$ =자연수)로 키워 나가는 방식이다. 이 방식은 저부하에서 기존보다 더 작은 파워 트랜지스터를 사용함으로써, 인덕터 리플 전류에 의한 손실, 스위칭 손실, 전도 손실을 줄여 효율을 개선할 수 있다. 이와 같은 방식은 부하전류의 범위가 넓어지더라도, 적은 개수의 트랜지스터만을 추가하여도 된다. 또한, 극단적인 저부하 상태(Sleep mode 또는 Standby mode)에서는 LDO를 사용하여 효율을 개선하였다. 각각의 파워 트랜지스터와 LDO의 선택은 부하 전류에 따라서 선택되어지며, 부하전류의 크기는 SENSEFET을 통해서 알 수 있고, n-bit SAR-ADC를 통해서 파워 트랜지스터들을 컨트롤하게 된다.

## II. 일반적인 DC-DC 벡 컨버터의 손실

### 1. DC-DC 벡 컨버터의 손실

DC-DC 벡 컨버터의 효율은 각각의 손실에 따라 결정이 된다. 이 손실들을 줄이는 것이 효율을 개선하는 방법이다. 손실에는 스위칭 손실, 전도 손실, 역전류 손실, 인덕터와 커패시터의 기생 저항에 의한 손실, 컨트롤 회로에 의한 손실 등이 있다.<sup>[11]</sup> 그림 2는 일반적인 DC-DC 벡 컨버터에서 발생할 수 있는 손실을 표현하였다.

스위칭 손실은 저부하에서 영향을 많이 미치는 손실 중 하나이다. 일반적인 DC-DC 벡 컨버터에서는 단일 사이즈의 파워 트랜지스터를 사용하는데, 이것은 저부하에서 큰 스위칭 손실을 발생시킨다. 스위칭 손실은 파워 트랜지스터의 사이즈가 클수록 커지고, 고부하에

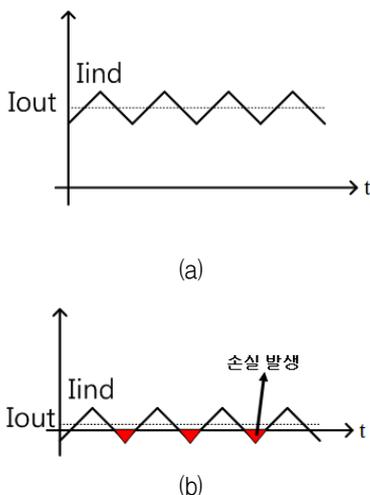


그림 1. (a) 고부하, (b) 저부하에서의 인덕터 전류  
Fig. 1. Inductor current at (a) the heavy load, (b) the light load.

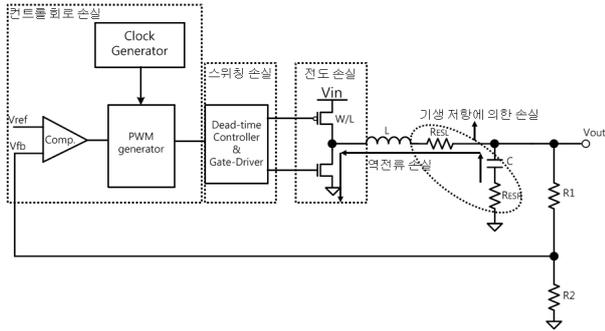


그림 2. 일반적인 DC-DC 벅 컨버터의 손실  
Fig. 2. The Loss of the conventional DC-DC buck converter.

서보다 저부하에서 상대적으로 효율에 큰 영향을 미치게 된다. 아래 수식 (1)은 스위칭 손실을 표현한 공식이다.

$$P_{switch} = \frac{V_{IN} \times I_{OUT}}{2} \times F_{SW} \times (t_{S(LH)} \times t_{S(HL)}) \quad (1)$$

여기서,

- $V_{IN}$  = Input Voltage
- $F_{SW}$  = Switching Frequency
- $t_{S(LH)}$  = Switching Time, Low - to - High
- $t_{S(HL)}$  = Switching Time, High - to - Low

전도 손실은 수식 (2)처럼 파워 트랜지스터의 ON저항에 의해서 손실되는 전력이다. 전도 손실은  $R_{ON}$ 의 특성에 따라서 사이즈가 커질수록 작아진다.

$$P_{cond} = R_{DS,ON} \times I_D^2 \quad (2)$$

$$R_{ON} = \frac{V_{DS}}{I_D} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (3)$$

그림 3은 일반적인 DC-DC 벅 컨버터에서 사용하는 단일 사이즈의 파워트랜지스터를(W=1mm, 3mm, 6mm) 사용했을 경우에 스위칭 손실과 전도 손실을 나타낸다. 사이즈가 커질수록 그리고 저부하일수록 스위칭 손실과 전도 손실의 차이가 커지는 것을 볼 수 있고, 스위칭 손실이 전도 손실보다 더 큰 비율을 차지하는 것을 볼 수 있다.

그림 2의 기생 성분에 의한 손실은 DC-DC의 파워 트랜지스터 사이즈에 의해서는 직접적으로 영향을 받지

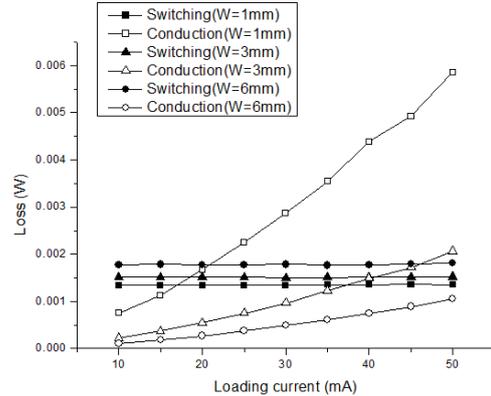


그림 3. 부하 전류에 따른 스위칭 손실과 전도 손실  
Fig. 3. The switching loss and the conduction loss according to the load current.

않고, 인덕터 및 커패시터 소자의 특성에 따라 영향을 받는다. 따라서 본 연구에서는 기생 성분에 의한 손실은 고려하지 않았다.

### III. 파워 트랜지스터 사이즈 변화 기법을 이용한 DC-DC 벅 컨버터

#### 1. 입력 전류 복사 방법

부하 전류에 따라서 파워 트랜지스터의 사이즈를 조절하기 위해서 부하 전류의 크기를 측정하는 방법이 매우 중요하다. 본 논문에서 사용한 방법은 SENSEFET을 이용하여 부하 전류의 크기를 검출하였다. 이 방법은 미러링을 이용하여 부하 전류에 따라서 입력 전류의 크기도 달라지는 점을 이용하여, 입력 전류를 SENSEFET을 통해서 복사하는 방식이다. 이를 위해 SENSEFET은 파워 트랜지스터보다 수백배에서 수천 배 낮은 사이즈를 이용하여 검출에 필요한 전류를 최소화 하였다. 일반적으로 이 방식은 대역폭의 제한과 파워 트랜지스터와 SENSEFET사이의 매칭 문제를 가지고 있다. 하지만 본 논문에서 사용한 DC-DC 벅 컨버터의 스위칭 주파수는 1MHz로 느리기 때문에 대역폭 문제는 해결이 가능하다. 매칭문제는 파워 트랜지스터와 SENSEFET의  $V_{SD}$ 를 동일하게 만드는 회로를 통해서 해결하였다.<sup>[12]</sup>

그림 4는 Voltage mirroring & Current sensing 회로 블록을 이용, 파워 트랜지스터와 SENSEFET의  $V_{SD}$ 를 동일하게 만들어주는 회로블록을 보여준다. 회로의

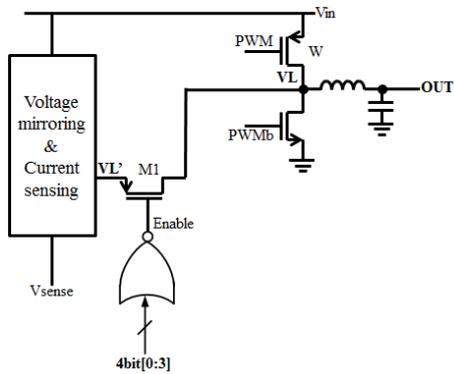


그림 4. 입력 전류 복사 회로 블록 다이어그램  
 Fig. 4. Block-diagram of the input-current sensing circuit<sup>[12]</sup>.

$V_L'$ 은 voltage mirroring 회로의 입력이 되고, 이 회로는 SENSEFET의  $V_D$  전압을  $V_L$  전압과 동일하게 만들어 준다. 4bit ADC 신호에 의해 enable 되는 소자 M1은 벡 컨버터로 동작 시에는 ON되어 있으며, LDO로 동작 시에는 OFF되어 LDO를 통해서 부하로 공급되는 전류가 인덕터를 통해서 누설되는 것을 막아준다.

그림 5는 그림 4의 회로를 통해서 파워 트랜지스터에 흐르는 입력 전류를 SENSEFET을 이용하여 복사한 전류를 보여준다. X1 사이즈만을 동작 시켰을 때의 가장 작은 SENSEFET에 흐르는 전류이며, X1 사이즈에 약 80mA가 흐를 때, SENSEFET에는 110uA가 흐른다.

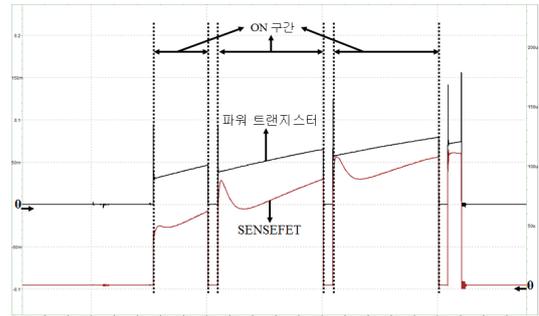


그림 5. 파워 트랜지스터와 SENSEFET에 흐르는 전류  
 Fig. 5. The current flowing through a power transistor and a SENSEFET.

2. 사이즈 자동 선택이 가능한 DC-DC 벡 컨버터

본 논문에서 제안하는 회로는 LDO, DC-DC 벡 컨버터, 4bit SAR-ADC로 구성되어 있다. 그림 6은 제안하는 회로의 블록 다이어그램이다. 제안하는 회로에서 사용한 PWM generator는 기존의 DC-DC buck converter에서 사용하는 방식이 아닌 Pseudo Relaxation Oscillating 방식을 사용하였다. 이 방식은 출력 전압을 단순히 tracking 하는 방식으로 기존의 방식에서 나타날 수 있는 undershoot/overshoot에 의한 부하 시스템의 성능 저하를 개선할 수 있다. 이를 통해 제안하는 방식에서는 파워 트랜지스터의 잦은 스위칭으로 인한 부하에서의 노이즈를 최소화할 수 있다.<sup>[13]</sup>

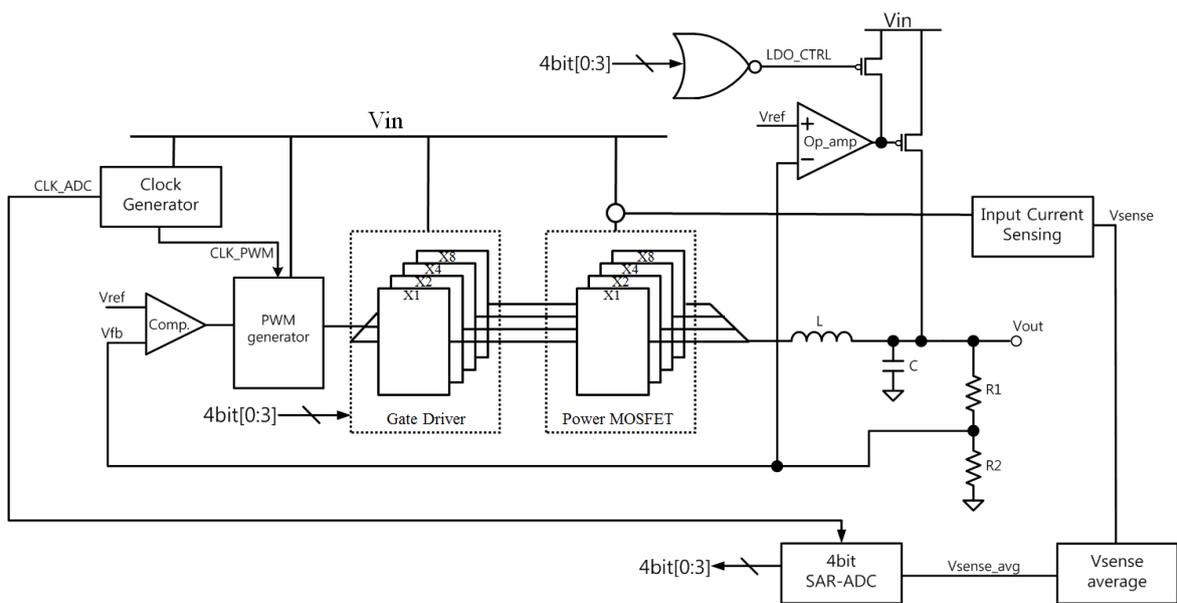


그림 6. 제안하는 회로의 블록 다이어그램  
 Fig. 6. A block-diagram of the proposed circuit.

그림 7은 제안하는 회로가 동작하는 순서를 표현하였다. 먼저 입력 전류를 통해 부하 전류의 크기를 모니터링하고, ADC는 이 크기를 4bit 디지털 신호로 변환하여 LDO로 동작할지 buck으로 동작할지 결정하게 된다. Buck으로 동작 시에는 표 1에 표현한 것과 같이 대응되는 4bit 신호에 따라 파워 트랜지스터들이 ON/OFF하게 된다. SAR-ADC를 통해서 이와 같이 컨트롤하는 방식은 단위(unit) 사이즈를 사용하여 파워 트랜지스터를 부하 전류에 따라 하나씩 더하는 방식보다 더 효율

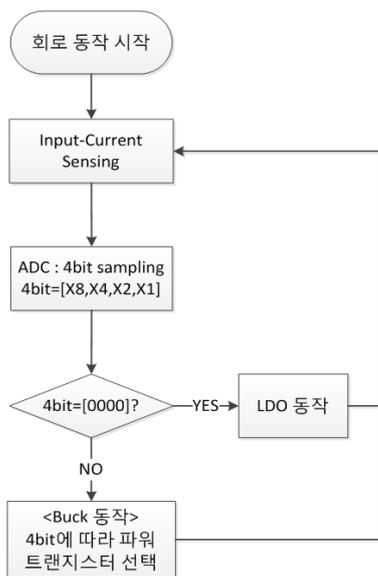


그림 7. 제안하는 회로의 동작 순서도  
Fig. 7. A flowchart of the proposed circuit.

표 1. 4bit 신호에 따른 각 파워 트랜지스터 상태  
Table 1. A state of each power transistor according to 4bit signal.

4bit 신호	X1	X2	X4	X8
0001	ON	OFF	OFF	OFF
0010	OFF	ON	OFF	OFF
0011	ON	ON	OFF	OFF
0100	OFF	OFF	ON	OFF
0101	ON	OFF	ON	OFF
0110	OFF	ON	ON	OFF
0111	ON	ON	ON	OFF
1000	OFF	OFF	OFF	ON
1001	ON	OFF	OFF	ON
1010	OFF	ON	OFF	ON
1011	ON	ON	OFF	ON
1100	OFF	OFF	ON	ON
1101	ON	OFF	ON	ON
1110	OFF	ON	ON	ON
1111	ON	ON	ON	ON

적으로 백 컨버터의 효율을 개선할 수 있다. 또한, 단위 (unit) 사이즈를 이용하는 방식은 부하 전류의 범위가 넓어지면 단위 사이즈의 크기가 커져 효율 개선이 미비하게 된다.

### III. 시뮬레이션 결과

단일 사이즈는 10.28mm, 단위(unit) 사이즈는 2.57mm를 총 4개 사용하였으며, 제안하는 방식은 X1 사이즈를 690um부터 2배씩 키워 X8사이즈는 5.52mm로 시뮬레이션을 진행하였다. 그림 8은 부하 전류를 1mA에서 200mA로 변화시켰을 때, 각 방식의 출력 리플을 나타낸 그래프이다. 제안하는 방식은 1mA에서 LDO를 사용하므로, 리플이 발생하지 않으며, 부하 전류에 따라 적절한 사이즈 선택으로 다른 방식에 비해 리플 감소 효과를 얻을 수 있었다.

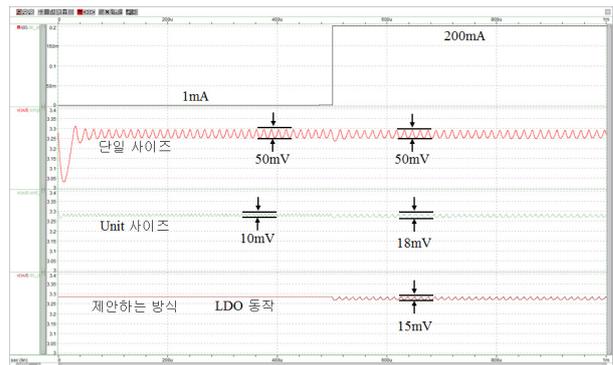


그림 8. 각 방식의 출력 리플 비교  
Fig. 8. Comparison with the output ripple voltage.

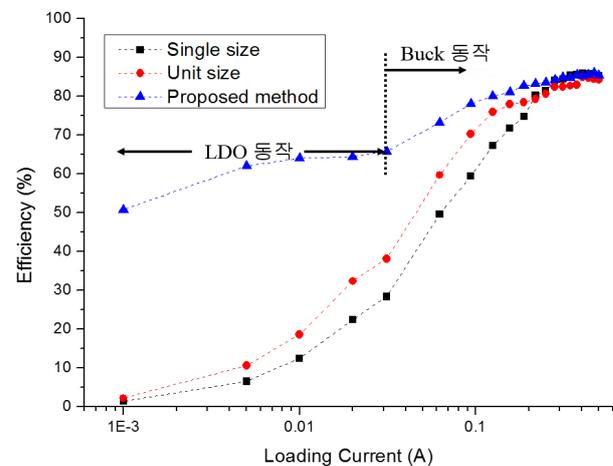


그림 9. 저부하 효율 비교  
Fig. 9. Comparison with the light-load efficiency.

그림 9는 부하 전류에 따라 각 방식의 효율을 비교한 그래프이다. 효율은 시뮬레이션과 함께 컨트롤 블록에서 소모하는 전력, 스위칭 손실, 전도 손실, 출력 전력, 역전류 손실을 이용한 아래 수식을 통해서 구하였다.

$$Eff. = \frac{P_{OUT}}{P_{control} + P_{switch} + P_{cond.} + P_{inv,current} + P_{OUT}} \quad (4)$$

여기서,  $P_{control}$ 은 컨트롤 회로에서 소모하는 전력,  $P_{switch}$ 는 스위칭 손실,  $P_{cond.}$ 은 전도 손실,  $P_{inv,current}$ 는 역전류 손실,  $P_{OUT}$ 은 부하 전력이다.

제안하는 방식은 sleep mode 또는 standby mode와 같이 극단적인 저부하 상태에서는 LDO를 사용하여 1 mA에서는 50%의 효율과 31.25mA에서는 66%의 효율을 얻을 수 있었다. 벡 컨버터의 효율이 LDO의 효율을 넘어서는 31.25mA 이후에는 제안된 벡 컨버터가 동작하며, 사용하는 전류에 따라 단위(unit) 사이즈를 사용하는 방식보다 27%의 효율 개선을 얻을 수 있었다. 최대 효율은 86%로 부하 전류가 450mA가 흐를 때이다.

표 2는 제안하는 방식과 기존의 파워 트랜지스터의 사이즈 변화를 이용한 저부하 효율을 개선한 방식들을

비교한 것이다. 파워 트랜지스터의 사이즈 변화를 이용하여 효율을 개선한 것은 동일 하지만, 사이즈를 변화시키는 방식은 모두 다르다. [8]은 단위 사이즈를 정하여, 부하 전류의 크기에 따라 하나씩 더해가는 방식이고, [9]는 부하 전류에 따라 최적의 사이즈를 수식으로 계산한 뒤 선택하는 방식을 사용하였다. [14]의 경우 본 논문과 같은 2진수 형태로 사이즈를 변화시켰다. 하지만, 파워 트랜지스터의 사이즈를 변화시키는 방식이 부하 전류의 사용량이 많아질수록 단순히  $X1+X2+\dots+X16$ 과 같이 더해가는 방식이다. 제안하는 방식은 각 사이즈의 차이는 2진수로 하였지만, 파워 트랜지스터의 사이즈 변화는 10진수가 되도록 4bit SAR-ADC를 이용하여, 더 높은 해상도로 효율을 개선할 수 있다. 제안하는 방식은 극 단적으로 낮은 저부하에서는 LDO를 사용하여 다른 방식보다 약 20%정도의 효율 개선을 얻을 수 있었다. 벡 컨버터를 사용하는 저부하에서도 [9]와 [14]보다 약 13%~20% 정도의 효율 개선을 얻었다.

#### IV. 결 론

본 논문에서는 파워 트랜지스터의 사이즈를 변화시

표 2. 기존 연구들과의 비교

Table 2. Comparison with other works.

Ref.	[7]	[8]	[9]	[14]	this work
$V_{IN}(V)$	1.2	2.7~5.5	5	2.6-5	5
$V_{OUT}(V)$	0.6~0.9	1.2	2.5	1.8	3.3
동작 주파수(MHz)	250	20	10	1.2	1
부하 전류(mA)	172	600	80	250	500
사이즈 형태	-	단위(Unit) 사이즈 ( $S_{Unit}$ )	계산을 통한 사이즈 ( $S_{Opt1} < S_{Opt2} < \dots < S_{OptN}$ )	$S_1(\times 1), S_2(\times 2), \dots, S_n(\times 2^{n-1})$	$S_1(\times 1), S_2(\times 2), \dots, S_n(\times 2^{n-1})$
사이즈 변화 형태 (부하 전류에 따라)	-	$\sum_{n=1}^k S_{Unit}$	선택	$\sum_{n=1}^K S_n$	Binary code [ $S_n, S_{n-1}, \dots, S_1$ ]
저부하 효율(%)	70(@10mA) -LDO 76(@50mA) -Buck Measured	40(@10mA) 70(@50mA) Simulation	40(@24mA) 57(@50mA) Measured	39(@10mA) 50(@50mA) Simulation	60(@10mA) -LDO 70(@50mA) -Buck Simulation

켜 DC-DC 벡 컨버터의 저부하 효율을 개선하는 방법을 제안하였다. 사이즈의 변화가 단위 사이즈를 더해가는 방식이 아닌 사이즈를 2<sup>n</sup>배로 키워 바이너리 합을 이용하는 방식을 사용하였다. 4bit SAR-ADC를 통해 파워 트랜지스터들을 자동 선택할 수 있도록 설계하였으며, 극단적인 저부하에서는 LDO를 사용하여 효율을 개선하는 방법을 제안하였다. 그러나 고부하로 갈수록 효율 개선이 낮게 나오는 것은 단일 사이즈의 전도 손실이 작은 사이즈를 합쳐 동일하게 만든 것보다 더 작기 때문에 발생한다. 또한, 제안된 회로는 LDO와 ADC 회로의 추가로 면적 측면에서 1% 정도 증가한다.

## REFERENCES

- [1] Ahn, Y.; Jeon, I.; Roh, J., "A Multiphase Buck Converter With a Rotating Phase-Shedding Scheme For Efficient Light-Load Control," Solid-State Circuits, IEEE Journal of, vol.49, no.11, pp.2673,2683, Nov. 2014.
- [2] Wei Yan; Wenhong Li; Ran Liu, "A Noise-Shaped Buck DC-DC Converter With Improved Light-Load Efficiency and Fast Transient Response," Power Electronics, IEEE Transactions on, vol.26, no.12, pp.3908,3924, Dec. 2011.
- [3] Alghamdi, M.K.; Hamoui, A.A., "A Spurious Free Switching Buck Converter Achieving Enhanced Light-Load Efficiency by Using a  $\Delta\Sigma$ -Modulator Controller With a Scalable Sampling Frequency," Solid-State Circuits, IEEE Journal of, vol.47, no.4, pp.841,851, April 2012
- [4] Gandhimathi, C., "DC-DC converter with improved light load efficiency and transient response," Communications and Signal Processing (ICCSP), 2013 International Conference on, vol., no., pp.176,180, 3-5 April 2013.
- [5] Chu-Hsiang Chia; Pui-Sun Lei; Chang, R.C.-H., "A high-efficiency PWM DC-DC buck converter with a novel DCM control under light-load," Circuits and Systems (ISCAS), 2011 IEEE International Symposium on, vol., no., pp.237,240, 15-18 May 2011.
- [6] Chu-Hsiang Chia; Pui-Sun Lei; Chang, R.C.-H., "A high-speed converter with light-load improvement circuit and transient detector," Circuits and Systems (ISCAS), 2012 IEEE International Symposium on, vol., no., pp.456,459, 20-23 May 2012.
- [7] Xiaohan Gong; Jinhua Ni; Zhiliang Hong; Liu, B., "An 80% peak efficiency, 0.84mW sleep power consumption, fully-integrated DC-DC converter with buck/LDO mode control," Custom Integrated Circuits Conference (CICC), 2011 IEEE, vol., no., pp.1,4, 19-21 Sept. 2011.
- [8] Mary, N.J.M.S.; Maity, A.; Patra, A., "Light Load Efficiency Improvement in High Frequency DC-DC Buck Converter Using Dynamic Width Segmentation of Power MOSFET," VLSI Design and 2014 13th International Conference on Embedded Systems, 2014 27th International Conference on, vol., no., pp.563,568, 5-9 Jan. 2014.
- [9] Musunuri, S.; Chapman, P.L., "Optimization of CMOS Transistors for Low Power DC-DC Converters," Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th, vol., no., pp.2151,2157, 16-16 June 2005
- [10] Baei, M.; Moschopoulos, G., "An investigation into the use of active snubbers to improve light-load converter efficiency," Telecommunications Energy Conference (INTELEC), 2011 IEEE 33rd International, vol., no., pp.1,7, 9-13 Oct. 2011.
- [11] Microchip Technology, Datasheet of AN1471, 2012.
- [12] Chi Yat Leung; Mok, P.K.T.; Ka Nang Leung; Chan, M., "An integrated CMOS current-sensing circuit for low-voltage current-mode buck regulator," Circuits and Systems II: Express Briefs, IEEE Transactions on, vol.52, no.7, pp.394,397, July 2005.
- [13] Ji-Hoon Lim, Jae-Kyung Wee, Inchaee Song "A Low Area and High Efficiency SMPS with a PWM Generator Based on a Pseudo Relaxation-Oscillating Technique," Journal of The Institute of Electronics Engineers of Korea Vol. 50, NO. 10, October 2013
- [14] Kui Ma; Fa-shun Yang; Jie-xing Lin; Xing-hua Fu, "A segmented output strategy for improving efficiency of DC-DC converter," Electronics, Communications and Control (ICECC), 2011 International Conference on, vol., no., pp.670,672, 9-11 Sept. 2011.

## 저 자 소 개



김 효 중(학생회원)  
2013년 서경대학교  
전자공학과 학사 졸업.  
2015년 숭실대학교  
전자공학과 석사 졸업.

<주관심분야 : Power IC, Safety-aware PMIC,  
EMC-aware IC>



송 인 채(정회원)  
1981년 서울대학교  
전자공학과 학사 졸업.  
1984년 U.C.L.A Electrical  
Engineering 석사 졸업.  
1991년 U.C.L.A Electrical  
Engineering 박사 졸업.

1985년~1992년 Hughes Aircraft Company,  
Staff Engineer  
1992년~현재 숭실대학교 정보통신전자공학부  
교수

<주관심분야 : 반도체 소자 Modeling, 집적회로  
설계>



위 재 경(정회원)  
1998년 연세대학교  
물리학과 학사 졸업.  
1990년 서울대학교  
물리학과 석사 졸업.  
1998년 서울대학교  
전자공학과 박사 졸업.

1990년~2002년 하이닉스 메모리연구소 근무

2002년~2004년 한림대학교 정보통신공학부  
조교수

2004년~2007년 숭실대학교 정보통신전자공학부  
조교수

2008년~현재 숭실대학교 정보통신전자공학부  
정교수

<주관심분야 : Chip-level EMC, EMC-aware IC,  
System-in-package, Safety-aware PMIC, Bio-  
sensor ROICs>