

CMOS Image Sensor (CIS) 제작기술동향

I. 서론

CMOS 이미지 센서의 원리가 고안된 것은 1960년대 후반이지만 실용화된 것은 미세 가공 기술이 첨단화된 1990년대 이후이다. 2000년대 후반 부터 Image Sensor 기술의 고해상도화가 진행됨에 따라 BSI(back side illumination) 공정 기술과 3D Stacking Sensor 제작 공정기술이 대두되고 있다.

Wafer Stacking을 통한 3D CIS(CMOS image sensor) 제작 공정은 한 Wafer에다 Pixel의 광집적 부분과 구동 회로 부분을 동시에 공정 진행하는 것과는 달리, 광 집적 부분과 구동회로 부분을 각각 다른 Wafer에 공정 진행하여, 일정 공정 후 두 Wafer를 각각 서로 Bonding한 후 후속 일정 공정을 진행하는 방식으로 이루어진다. 즉, 한 Wafer에는 광 집적 부분만을 효율적으로 공정 진행하고 또 다른 Wafer에는 광 집적 부분의 신호를 받아 이를 처리하여 출력 신호로 내보내는 구동 회로 부분만 역시 효율적으로 공정 진행 한다. 이 때 필수적으로 두 Wafer를 Bonding하기 위한 Bonding Pad를 각 Wafer에 형성하게 되고 이 Bonding Pad를 상,하 서로 포개어 접촉 시키게 된다.

PD 수광 면적이란 포토다이오드(PD)가 실질적으로 광을 받는 면적이다. 면적은 픽셀사이즈에 연관이 되며 현재는 메가단위에 이르고 있다.

CMOS 이미지 센서 메커니즘의 개략도. 착색 부분은 각 화소에 대응된다. 일반적으로 이와 같이 컬러 필터를 배치하는 것으로 사실적인 색을 구현한다. 단위 셀마다 증폭기를 가지고 있으며 광변환된 전기신호의 읽기에 의해서 전기 노이즈의 발생이 적어지는 특징이 있다. CMOS 로직 LSI 제조 프로세서의 응용으로 대량생산이 가능하기 때문에 고전



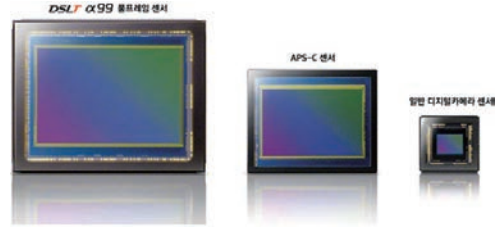
성홍석
부천대학교

압 아날로그 회로를 가지는 CCD 이미지 센서와 비교해서 제조 단가가 낮고 소자의 크기가 작아서 소비 전력이 적다는 장점이 있다. 그리고 논리 회로를 동일한 공정으로 제작해서 화상 처리 회로를 On-Chip화하여 화상 인식 장치, 인공 시각 장치에 응용 연구되어서 일부는 상용화 되었다. 이로 인해 인공 망막 칩이라고 불리는 경우도 있다.

CCD와 비교해서 여러 가지 장점이 있지만, 저조도 상황에서 소자가 쉽게 불안정해지고 촬영된 화상에 노이즈가 많이 발생하는 경향이 있다. 그리고 화소마다 고정된 증폭기를 할당되기 때문에 증폭기의 특성차에 의한 고정 패턴 노이즈를 가지는 단점이 있어서 이것을 보정하는 회로가 필요하다. 최근에는 PC의 고출력화, 저잡음화, PD에서 증폭기로 전하 전송 효율의 향상, PD의 수광 면적을 상대적으로 확대하기 위한 트랜지스터의 복수 화소 공용화같은 여러 가지 개량 수단에 의하여 신호 대 잡음비가 현격히 향상되었다.

그리고 전하화를 동시에 실시할 수 없는 구조적인 문제로 인하여 고속으로 움직이는 물체를 촬영했을 때 진행 방향으로 상이 흔들리는 단점이 있다. 이것은 한개의 CMOS를 블록화하여 극복할 수 있다. 다만 이러한 기술적 접근으로 인해 가격이 낮다는 CMOS의 장점이 상쇄되기 때문에 소형 디지털 카메라에는 CMOS가 사용되는 경우가 적다. 한편 DSLR카메라와 같이 촬상 소자의 크기가 큰 경우 CCD는 소비 전력 면에서 불리하다.

CMOS 이미지 센서는 CCD 이미지 센서보다 범용 반도체 제조 장치를 이용하여 제조가 가능해서 CCD 이미지 센서보다 가격이 저렴하다. 그렇기 때문에 저가 디지털 카메라나 디지털 비디오 카메라, 느린 프레임의 텔레비전 카메라에서 활발하게 사용되고 있다. 특히 비디오 채팅에 사용되는 웹 카메라의 대부분이 CMOS를 탑재하고 있다. 과거에는 CCD보다 화질이 많이 떨어져서 저가 제품에만 사용되었다. 하지만 최근에는 큰 크기로 설계가 가능한 점, 낮은 제조 비용, 대폭 향상된 화질로 인해 DSLR카메



〈그림 1〉 다양한 크기의 스피레이에 사용하는 CIS의 모습 (자료: alpar.sony.co.kr)

라과 같이 고화질을 요구하는 고가 제품에도 많이 사용되고 있다. 다양한 크기의 디스플레이에 사용하는 CIS의 모습이 〈그림 1〉에 도시되어 있다.

II. 본론

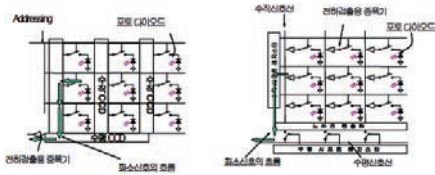
1. 기술의 개요

이미지 센서(Image Sensor)는 휴대전화 카메라나 DSC(Digital Still Camara) 등에서 영상을 생성해 내는 영상 촬상 소자 부품으로, 제작 공정과 응용방식에 따라 CCD (Charge Coupled Device) 이미지 센서와 CMOS (Complementary Metal Oxide Semiconductor) 이미지 센서로 분류할 수 있다. 제조 공정상 CCD 이미지 센서는 이미지 센서의 특성을 극대화시킬 수 있는 공정들만을 채용하는 반면, 1970년대 후반부터 우수한 집적도 경쟁력과 경제성 때문에 일반적인 반

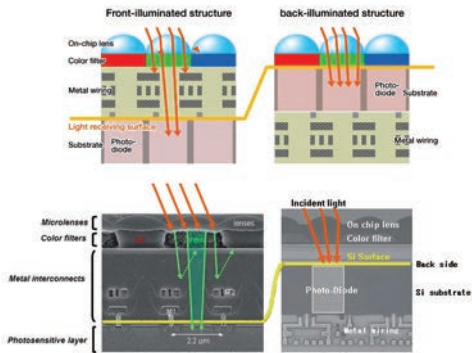
양자효율이란 포토다이오드가 수광한 광자(Photon)를 전하량으로 변환하는 효율을 뜻한다. 양자효율이 좋을수록 소자의 기능이 우월하다.

〈표 1〉 CCD와 CMOS 이미지 소자 기본 구조 비교

비교사항	CCD	CMOS
픽셀 신호 특성	아날로그 전하	아날로그 전기신호
센서 신호 특성	아날로그 전기신호	디지털 전기신호
시스템 신호 특성	디지털 전기신호	디지털 전기신호
픽셀 신호이동방법	전위차	증폭기
전기신호 출력 지점	CCD이미지센서의 출력단	각각의 픽셀
시스템 크기	상대적으로 큰 편	작음
시스템 구조의 복잡성	비교적 복잡	비교적 간단
회로 내장 부위	PCB(Printed Circuit Board)	하나의 칩 상에 내장



〈그림 2〉 CCD와 CMOS 이미지센서의 화소신호 전달 방식 개략도



〈그림 3〉 CIS 내부구조와 SEM 수직단면도
(자료: Embedded-vision.com)

도체칩 제조 공정으로 널리 자리 잡고 있던 CMOS 이미지 센서 공정은 제조 공정의 경제성과 주변 칩들과의 연결 상의 용이성을 가지고 있다. <표 1>에 CCD와 CMOS 이미지 소자 기본 구조 비교가 되어 있다.

이미지 센서는 빛을 감지해서 그 세기의 정도를 디지털 영상 데이터로 변환해 주는 부품으로 몇 번의 변환 과정을 거쳐 빛의 유입을 받아들이고 유입량에 따라 전기적인 신호의 일종인 전하량으로 변환되어 전하량은 전자 공학적으로 다루기에 보다 익숙한 단위인 전압으로 변환되게 된다. 이렇게 만들어진 아날로그 신호 형태인 전압 신호를 가공하기 쉽고, 신호로서의 안전도가 높은 디지털 데이터 신호로 최종 변환하게 된다. 이러한 변환 과정에는 항상 변환 효율이 생기게 되는데 광 신호 즉, 광자(photon)를 전하량으로 변환하는 효율을 양자 효율(quantum efficiency)이라고 하며, 그 역할은 화소(pixel)와 내부의 포토다이오드가 담당한다. 또한 포토다이오드에 만들어진 전하량을 전압변화로 바꾸는 과정의 변환 효율을 conversionefficiency(uV/e) 또는 conversiongain이라고 하며 그 역할은 화소 내부에 있는 초소형 커패시터가 담당하고 있다. CIS 내부구조와 SEM 수직단면도가 <그림 3>에 나타나 있다.

2. 동작원리

이미지센서는 광학 영상(Optical Image)을 전기적 신호로 변환시키는 반도체 모듈로서, 영상 이미지의 저장 및 전송, 디스플레이 장치에서의 광학 영상 재현을 위하여 사용하는 일종의 전자부품이라 할 수 있다. 실리콘 반도체를 기반으로 한 이미지센서에는 크게 CCD와 CMOS가 있는데, 이미지센서 각각의 특징을 살펴보면, CCD는 CMOS에 비해서 노이즈가 적고 이미지 품질이 우수한 특징을 갖고 있어서 DSC(Digital Still Camera) 제품군에 적합하다. 일반적으로 CMOS는 CCD에 비해 생산단가 및 소비전력이 낮고 주변회로를 동일한 칩에 통합하기 쉽다는 이점이 있다. 일반적인 표준 반도체 제조공정으로 생산하기 때문에 신호처리, 증폭 및 연산과 같은 주변회로와의 통합이 쉬워서 SoC(System On a Chip) 개발 방식으로 생산비용을 CCD에 비하여 크게 낮출 수 있기 때문이다. 또한 처리속도가 빠르면서도 소비전력측면에서 CCD의 1% 정도에 불과하기 때문에 CMOS는 휴대폰과 개인휴대단말기(PDA)용 카메라와 같은 소형 휴대용 단말기에 적합한데, 현재 CMOS의 화소에 있어서도 200만 화소급까지 개발되면서 CCD 시장을 위협하고 있어서 지속적으로 CMOS가 CCD를 대체하면서 시장을 확대할 것으로 전망되고 있다. 이미지센서의 기술개발 측면에서 CMOS가 CCD를 대체해 나갈 것이라는 경향은 기술개발의 방향을 가늠할 수 있는 특허출원 동향을 통해서 알 수 있다. 이미지센서 개발에 관한 세계적인 특허출원 건수를 보면, CCD의 경우 90년대 초까지 일본 주도의 기술개발이 이루어져 오다가 90년대 말부터 급속히 특허출원이 줄어들고 있는 반면에, CMOS의 경우 90년대 초부터 미국주도로 연구되어 지속적으로 특허 출원이 증가하면서



〈그림 4〉 이미지센서의 다양한 부분의 응용성



CCD에 대해서 주도적이었던 일본 역시도 CMOS 이미지 센서에 대한 연구를 활발히 진행하고 있다. 이미지센서의 응용분야는 <그림 4>에서 보여지는 바와 같이 매우 다양하며 감도 및 성능 특성에 따라서 CCD와 CMOS의 적용 분야가 구분되고 있다.

CCD와 CMOS 이미지센서는 광검출 방식에 있어서 모두 p-n 접합 포토다이오드(Photodiode)를 사용한다. 그러나 CCD와 CMOS는 포토다이오드에서 광검출을 통해 출력된 전자를 전송하는 회로에 있어서 근본적으로 전혀 다른 방식을 채택하고 있다. CCD는 개개의 MOS 캐패시터가 서로 매우 근접한 위치에 있으면서 전하 캐리어가 캐패시터에 저장되고 이송되는 방식이며, 그림 1에서 보는 바와 같이 CMOS 이미지센서는 제어회로(Control Circuit) 및 신호처리회로(Signal Processing Circuit)를 주변회로로 사용하는 CMOS 기술을 이용하여 화소(Pixel) 수만쯤 MOS 트랜지스터를 만들고 이것을 이용하여 순차적인 출력을 검출하는 스위칭 방식을 사용한다.

CCD는 1970년 미국 Bell 연구소에서 처음 개발하였다. 반도체기판의 표면 절연막에 전극을 형성시킨 구조에서 전극에 전압을 가하면 절연막과 반도체 기판 계면에 공핍층(Depletion Region)이 형성된다. 이는 소수캐리어에 대해서 에너지 준위가 낮게 형성되는데 이것을 Potential Well이라고 한다. Potential Well에 전하를 주입하면 아날로그 양으로 축적된다. 따라서 복수개의 전극을 근접 배치시키면 전극에 전압을 가함으로써 Potential Well에 저장된 아날로그 전하량을 순차적으로 전송하게 되는 방식이다.

CMOS 이미지센서는 MOS 기술의 발전이 선행된 1990년대에 들어서야 본격적으로 개발되기 시작하였는데, 이미지센서의 단위 화소(Unit Pixel)는 하나의 포토다이오드와 네 개의 MOS 트랜지스터로 구성된다. 포토다이오드에서 집속된 광전하(Photogenerated Charge)는 실리콘 기판 상의 절연막 위에 형성된 금속전극에 의해서 네 개의 MOS 트랜지스터의 제어를 받아 전송하는 방식이다. 이미지센서에서 가장 중요한 가치를 부여하는

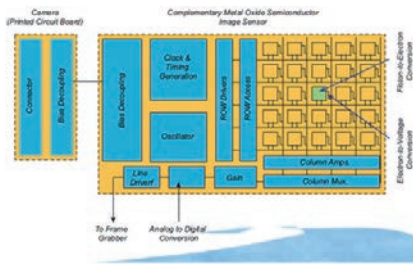
항목은 영상의 분해능(Resolution)을 높이는 것이다. 그러나 이미지센서가 단순히 고집적 픽셀 구조만을 추구한다면, 현 CMOS 일반 제조공정 기술로서도 수 천만 화소 이상의 이미지센서 개발이 가능할 것이다. 하지만 이미지센서를 이용하여 피상체를 이미지화하기 위해서는 광학렌즈와 같은 광학 시스템을 이용하여야하기 때문에 광학렌즈의 그 크기에 따라서 이미지센서의 크기는 제한된 면적 내에 집적될 수밖에 없게 된다. 예를 들어, 이미지센서가 이용되는 standard DSC의 경우, 단위 픽셀이 집적화된 이미지센서의 크기는 1/2인치 이하여야 한다.

최근에 세계적인 메이저 개발업체가 발표한 CCD타입의 800만 화소, CMOS 타입의 200만 화소 제품들은 모두 제한된 면적내에 고픽셀 구조를 실현하였기 때문에 그가치를 높이 평가받고 있는 것이다. 현재 주요 이미지센서 개발업체 라인에서 사용하고 있는 미세선폭은 주로 0.18 μm(미크론)을 사용한다. 하지만 인텔이나 삼성

CMOS (complementary MOS)는 NMOS와 PMOS가 한 셀에 동시에 형성되는 MOSFET이다. NMOS는 스위칭 역할을 하며 PMOS는 저항역할을 담당한다.

과 같은 반도체생산 메이저업체들은 현재 일부라인에서 선폭이 65nm 공정까지 가능한 것으로 알려지고 있다. 따라서 일반적으로, 현재의 최소 선폭 기술을 이미지센서 개발에 도입한다면 동일 면적대비

4배 이상의 고픽셀 구조를 갖는 이미지센서가 실현될 수 있지 않을까하는 생각을 쉽게 할 수 있을 것이다. 그러나 단위픽셀 크기를 작게 하여 제한된 면적 내에 고픽셀 구조를 실현하기 위해서는 몇 가지 해결해야할 문제점이 많다. 보통의 실리콘 반도체는 최소 수광 면적을 확보하여야만 광전변환에 의한 전기적 신호를 발생시킬 수 있다. 이미지센서의 포토다이오드에서 생성된 광전류가 임계값 이상이 되지 않으면 암전류(Dark Current)로 인식되어서 어떠한 이미지도 검출할 수 없게 된다. 즉, 하나의 단위픽셀이 받아들이는 빛의 양과 신호가 절대적으로 감소하게 되어 동작이 불가능해진다는 것을 의미한다. 특히, CMOS 이미지센서의 경우, 픽셀의 포토다이오드마다 증폭기가 배치된 구조에서는 충분한 수광면적을 확보하지 못한 포토다이오드로 인하여 광전변환된 미세 전류가 발생하였을 때에 이를 증폭시키기 위하여 주변회로가 커지



〈그림 5〉 CIS 동작에 필요한 블록도(자료: www.boannews.com)

는 현상이 나타날 수 있으므로 포토다이오드의 크기가 작아진다고 해서 쉽게 단위픽셀의 크기를 줄일 수 있는 것은 아니다. 이것은 제한된 공간내에 고픽셀 구조를 집적화 하는데 제한 요소로 작용한다. 그러므로 현 이미지센서 개발기술에서는 최대 수광면적을 확보하면서 고픽셀 구조로 집적화하기 위하여 광검출의 최적화된 범위 내에서 일종의 "Trade off"가 불가피해진다고 볼 수 있다.

CCD와는 달리 CMOS 이미지센서는 주사선 최초 행과 최후 행에서의 축적기간이 1 Frame 정도 지연되는데 이는 일반적으로 주사선이 많은 고픽셀 구조일수록 지연되는 시간이 더 증가한다. 즉, 움직이는 피사체를 왜곡 없이 촬영하는 데에는 고픽셀 구조로 갈수록 그 문제점이 심각해질 수밖에 없다. 〈그림 5〉에 동작에 필요한 블록도가 도시되어 있다.

3. 기술 개선방향

이미지센서의 기술적 한계를 극복하기 위한 연구 방향 측면을 살펴보면, CMOS 이미지센서는 포토다이오드와 함께 증폭소자가 각각의 단위픽셀에 위치하면서 전체적인 픽셀크기의 증가를 가져올 뿐만 아니라 증폭소자에 의하여 노이즈가 증가하는 특성이 있어서 이미지센서의 특성을 저하시키는 원인이 되고 있다. 또한 진성반도체 부분의 공핍 영역이 실리콘 기판쪽으로 많이 형성되어서 생기는 누설전류 성분인 암전류는 광전류의 잡음 성분으로 작용하게 되어 감도를 낮추는 특성이 나타난다. 이러한 문제는 SOI(Silicon on Insulator) 기판 또는 박막의 Active 광채널을 이용한 이미지센서를 제조함과 동시

에 광전변환의 동작원리 자체를 달리하여 높은 양자효율(Quantum Efficiency)을 얻을 수 있도록 하는 방법으로 해결할 수 있다. 기존의 CMOS 공정 방식과는 달리 SOI 기판을 사용함으로써 암전류를 낮추고 고감도 특성을 갖게 할 수 있으며, 픽셀 내의 광전류 증폭용 MOS의 중앙에 포토다이오드에서의 광전변환을 통해 남겨진 소수캐리어가 일정량 이상 축적되어지면, MOS의 Source에서 Drain 방향으로 광전변환에 의한 트랜지스터가 형성되어 구동하게 되고, 동시에 MOS 중앙의 절연막 하부에 축적되어진 소수캐리어는 기판 바이어스(Bias)역할을 하게 되면서 문턱전압을 변화시켜 트랜지스터의 신호 증폭률을 향상시키게 되는 것을 이용한다.

현 기술의 문제점을 극복하기 위한 방법으로 앞서 설명한 방식들과 전혀 다르게 나노기술을 이용하여 양자효과에 의한 광전변환 및 신호처리 기술을 이용한 이미지센서 개발 방식이 있다. 반도체 양자우물, 양자선 또는 양자

암전류는 광이 없어도 회로에 흐르는 전류이다. 암전류가 존재 시 화상이 암전류 때문에 흐려지는 경우가 발생한다.

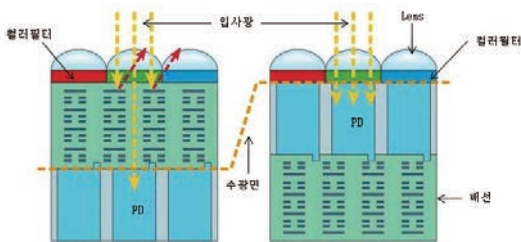
점과 같은 나노재료를 이용하여 단전자 트랜지스터(Single Electron Transistor)를 상온에서 동작시키는 연구에서부터 테라비트급 메모리에 이르기까지 나노 응용소자 연구는 세계적으로 다양한 방법으로 진행되고 있다. 나노기술을 이용한 초고감도 수광센서의 개발 역시 오래전부터 연구되고 있는 대표적인 나노기술 연구에 의한 분야이다. 이미지센서의 단위픽셀 수광부를 양자우물, 양자선 또는 양자점과 같은 나노재료를 이용함으로써 양자역학적 해석을 통한 이론적 뒷받침과 공정기술의 발달로 인한 양자소자의 실현을 통하여 조금씩 이 기술이 이미지센서에 대한 응용으로 발전할 수 있을 것이라 기대가 현실로 다가서고 있다. 또한 후면 조사 방법을 통하여 수광 능력을 향상시키는 연구가 활발히 진행되어 최신 휴대폰에 장착되기 시작했다.

4. 후면 조사형 CIS(BIS CIS)

후면조사형 이미지센서는, 전면과 후면을 갖는 기판으로 구성된다. 상기 기판 전면에 형성된 레드픽셀, 그린픽셀 및 블루픽셀을 포함하는 픽셀영역 및 상기 기판 후면

에 픽셀별로 서로 다른 두께 갖도록 형성된 반사방지막을 포함하는 후면조사형 이미지센서를 포함한다. 이 기술은 양자효율 증대 및 크로스토크 열화 문제를 해결함으로써 이미지 특성의 개선을 가져올 수 있는 효과가 있다.

CIS의 경쟁력은 많은 빛을 얼마나 제대로 받아들일 수 능력에 좌우 된다. 빛을 많이 받아들일 수 있는 방법은 간단하다. 화소 크기를 키우면 된다. 그러나 칩 면적은 한정돼 있다. 화소수를 늘리면서 크기까지 키울 순 없다. CIS 업계는 화소수를 늘리면서도 빛을 보다 많이 받아들일 수 있는 기술을 지속 개발해왔다. 소니가 첫 상용화에 성공한 BSI 방식 CIS가 대표적이다. BSI CIS는 금속배선층이 포토다이오드(PD, 빛을 검출하는 전하를 발생하는 역할 층 아래에 위치한다. BSI CIS는 PD가 금속 배선층 아래에 있는 기존 전면 조사형(FSI, Frontside illumination) 방식 대비 빛 손실이 현저하게 적다. FSI 방식은 마이크로렌즈와 적(R)록(G)청(B) 컬러필터를 거친 빛이 금속 배선층에 가려 PD에 제대로 도달하지 않는 문제가 있었는데 BSI는 이를 해결한 것이다. <그림 6>에 전면 조사형과 후면 조사형의 비교도가 도시되어 있다. 소니 이후 다양한 업체들이 BSI 방식 CIS를 출시하고 있다. 그러나, 금속 배선층을 PD층 아래로 두는 것은 제조 공정 측면에선 쉽지 않은 일이다. FSI CIS의 일반적 제조 공정 과정은 우선 실리콘 기판 위에 PD를 형성한다. 그 위로 금속 배선층을 배치해 회로를 만든다. 그 다음 배선층 위로 RGB 컬러필터와 마이크로 렌즈가 위치되면 공정이 끝난다. BSI는 이와 달리 먼저 기판 위에 PD와 배선층을 형성한 뒤 웨이퍼를 거꾸로 뒤집어 새로운 보강 기판 위로 올린다. 뒤집혀진 웨이퍼는 PD 층이 나타날 때까지 약 1 마이크로미터 두께 별도 공정을 통해 깎아낸다. 마지막으



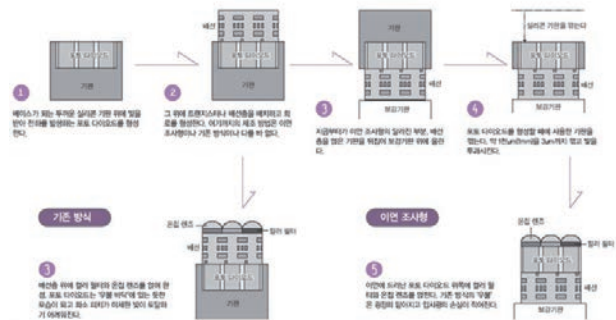
<그림 6> 전면 조사형과 후면 조사형의 비교도

로 PD 층 위로 RGB 컬러필터와 마이크로 렌즈가 위치한다. BSI 방식 CIS가 FSI 방식보다 비싸고 만들기 어려운 이유는 이처럼 공정 과정이 추가되기 때문이다.

아이소셀 CIS에는 BSI 방식에 F-DTI(Frontside-Deep Trench Isolation) 및 VTG(Vertical Transfer Gate) 기술이 접목됐다. 논문에 따르면 F-DTI는 화소와 화소 사이에 0.2마이크로미터 두께의 벽을 형성, 각각의 화소를 물리적으로 격리시킨다. 각 화소를 격리하는 이유는 간섭현상(Crosstalk)을 줄이기 위해서다. 위 왼쪽 그림에서 볼 수 있듯 BSI CIS는 빛이 컬러필터를 거쳐 PD로 이동할 때 주변 화소로 새어나가는 간섭현상이 필연적으로 발생한다. 녹색 화소로 들어갈 빛이 적색 혹은 청색 화소용 PD로 새어 들어갈 수 있다는 얘기다. 이는 곧 색의 왜곡, 노이즈, 누설전류 확대로 이어진다. 물리적으로 각각의 화소를 격리하면 빛이 적색, 녹색, 청색 화소 PD로 보다 정확하게 들어가게 된다. 기대할 수 있는 효과는 정확한 색 표현, 노이즈 감소, 전력소모량 절감이다. <그림 7>에 전면조사와 후면조사 CIS의 제조 공정 차이를 도시하고 있다.

화소 사이에 벽을 형성하면 PD의 면적이 좁아지는 단점이 있다. PD 표면적이 감소하면 담을 수 있는 빛(전하)의 양이 줄어든다. 이러한 단점을 없애기 위해 데이터를 전송하는 게이트의 구조를 수직으로 바꾸는 VTG 기술을 적용했다. PD 아래로 게이트가 위치하는 것이 VTG의 구조다. 수평 구조였던 게이트를 수직으로 바꾸면서 기존 대비 PD의 용량을 오히려 늘릴 수 있었다고 밝히고 있다.

모듈 렌즈와 CIS의 거리를 좁히는 방법으로 빛이 들어



<그림 7> 전면조사와 후면조사 CIS의 제조 공정 차이(자료: blog.naver.com)

오는 각도를 20% 확대할 수 있는 것도 아이소셀의 장점이다. 빛을 더욱 잘 받아들일 수 있게 되면, 이는 사진 결과물의 품질 향상으로 이어진다.

삼성전자는 논문에서 화소 크기가 1.12마이크로미터인 BSI 및 아이소셀 CIS의 성능비교표를 공개했다. YSNR10은 150에서 105로 낮아졌다. YSNR10은 휘도 신호(Y)의 신호대 잡음비(SNR, Signal to Noise Ratio) 수치가 10이 되는 수치를 뜻한다. 낮을 수록 어두운 환경에서도 좋은 사진 결과물을 뽑아낼 수 있다. 간섭현상(Crosstalk)은 BSI가 19%인데 반해 아이소셀은 12.5%로 낮았다. VTG 기술을 적용, 화소 사이에 물리적 벽을 형성했음에도 빛(전하)을 담을 수 있는 PD의 용량(Linear full well)은 5000e-에서 6200e-로 24% 늘어났다. 센서가 구분할 수 있는 밝기(brightness) 범위인 다이내믹 레인지 수치는 68.1dB 보다 높은 69.9dB를 기록했다. 삼성전자는 아이소셀 CIS를 양산하며 “간섭현상을 30% 줄이고 수광면적(PD 용량 확대)을 30% 증가시켰으며 20% 더 넓은 광입사각을 구현했다”라고 알리고 있다. 비교 대상 제품이 바뀐건지는 알 수 없지만, 논문에서 밝힌 내용보다 성능 향상 폭이 큰 것으로 일반에 알려지고 있다. 다만 확실한 건 아이소셀이 BSI 방식의 한계를 뛰어넘은 새로운 CIS라는 점이다.^[1]

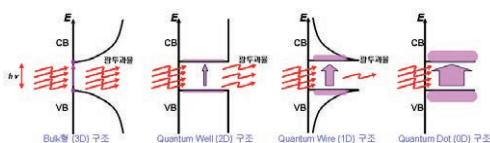
5. 나노기술을 이용한 고감도 이미지센서

최근 반도체의 다양한 분야에 적용되고 있는 나노기술은 이미지센서의 기술적 한계를 해결할 수 있는 좋은 해결방안이 될 수 있다. 나노기술이란 간단하게, 반도체의 물리적인 크기를 드브로이(de Broglie) 파장보다 작게 하였을 때 반도체 내부의 전자와 같은 캐리어(Carrier)는 공간적으로 구속을 받게 된다. 이렇게 되면 물리적으로 반도체의 물성이 변하게 되는데, 벌크형 반도체와는 달리

에너지 준위가 양자화 되면서 축퇴에 의한 에너지 준위 밀도가 증가하게 된다. 이를 이용하는 기술을 나노기술이라 한다.

차세대형 이미지센서는 이러한 나노기술을 이용하여서 고집적, 고감도, 초소형, 초절전형, 신기능 수행이라는 특징을 바탕으로 지금까지의 이미지센서와는 기능면에서 절대 우위의 기대치를 충족시킬 것으로 예상된다. 단위픽셀 크기가 작아짐에 따라 감도 특성은 매우 중요한 요소가 되는데, 빛을 받아들이는 픽셀의 집적도가 높아질수록 더욱더 그 가치는 커지게 된다. 단위면적당 픽셀의 집적도를 높이기 위해서는 단위픽셀의 크기 역시 작아져야 하는데 단위픽셀 내의 수광면적이 작아짐으로써 Fill Factor는 작아지게 된다. 따라서 픽셀의 집적도를 높이는 동시에 Fill Factor를 가능한 한 크게 만드는 기술이 이미지센서 개발에 있어서 핵심기술이라 할 수 있다. 이 기술은 나노구조를 이용한 양자효과를 통해서 고집적, 고감도의 이미지센서가 실현될 수 있을 것으로 기대한다. <그림 8>은 저차원 나노구조에서 반도체에 입사되는 단파장 빛이 저차원 양자소자가 되면서 상태밀도(Density of State)가 증가함에 따라 흡광되는 정도가 증가하는 이론적 개념을 도식화한 것이다.

한 개의 광자(Photon)가 양자점(Quantum Dot) 구조에서 한 개의 전자를 가전자대(Valence Band)에서 전도대(Conduction Band)로 전이시킬 수 있는 원리가 된다. 나노기술의 적용 예로서, 일각에서 제시하는 나노구조로는 단위픽셀을 제작함에 있어서 일반 반도체의 MOS 공정만으로 수광 부분을 나노 크기의 광검출기(Photodetector)로 구성하는 방법이 있다. 나노광검출기는 수광 면적이 적을수록 그 감도가 향상됨과 동시에 주변 신호처리 트랜지스터를 최소 사이즈로 제작할 수 있어서, 현 기술로써 극복할 수 없었던 최소사이즈의 단위픽셀을 구현하는 것이 가능하게 한다. 즉, 양자구조(양자우물, 양자선, 양자점 등)를 반도체 재료에 적극적으로 이용하면, 전도대 영역의 양자효과를 통하여 2차원 또는 1차원, 또는 0차원에 속박된 전자의 에너지로부터 발생하는 전위장벽을 임의로 형성하고 이를 제어할 수 있게 되는데, 미세한 빛이 수광부에 조사되는 것에 의하여 전류



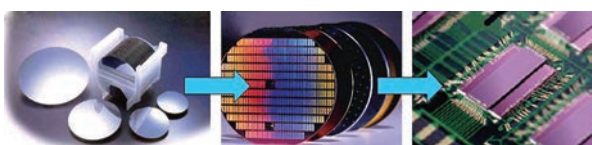
<그림 8> 저차원 양자소자의 수광 효율 개념도(CB: 전도대, Conduction Band; VB: 가전자대, Valence Band; hv: 입사 에너지)

의 흐름과 크기를 조절할 수 있는 양자형 나노 광검출기 구조를 얻을 수 있다. 이와 같은 구조는 고감도 광검출기로서의 동작을 가능하게 한다. 이는 매우 단순한 구조이기 때문에 간단히 여러 개를 직렬 또는 병렬로 연결하여 출력력을 더욱 크게 할 수 있으며 증폭회로를 일괄공정에 의해 동일 칩 상에 형성함으로써 새로운 개념의 이미지센서를 개발할 수 있는 것이다. 단전자 트랜지스터는 한 개의 전자에 대한 양자현상을 소자로 개발하려는 방식이다. 이와 유사하게 한 개의 광입자(Photon)에 의해서 여기된 전자를 이용하는 방식이 있다. 전자 하나가 갖는 전하량(Q)을 극히 작은 정전용량(C)의 축전기에 담을 수 있다면, 우리가 잘 알고 있는 $Q=CV$ 식으로부터 매우 큰 전압(V) 변화를 관찰할 수 있게 된다. 이러한 광검출 방식은 Single Photon Detector의 기본적 이론이 된다. 이러한 나노기술을 이용한 양자 수광센서는 극미량의 빛에도 신호처리가 가능하여 일반적인 아날로그 및 디지털 신호처리 기술을 이용하여 영상 이미지를 얻을 수 있게 된다. 현재의 이미지 센서가 단위픽셀 내에서 최소의 신호처리를 위하여 필요로 하는 10만개 이상의 전자를 이용하는 것과는 매우 대조적이라 할 수 있다. 이는 기존의 포토다이오드 제품대비 약 수십만 배 이상의 초고감도 특성을 나타내며 약 수십 배 이상에 달하는 광증폭률을 갖는 특성을 갖는다는 것을 의미한다.^[2]

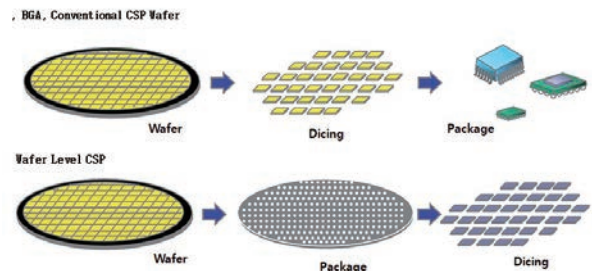
6. 이미지센서의 Wafer level package

셀 수도 없이 많은 전자기기들, 그 내부를 채우고 있는 수많은 종류의 IC(집적회로)들은 반도체 팹에서 웨이퍼 형태로 제작된 후 패키징 공정을 통해 완성된 부품으로 비로소 보드에 탑재되어 그 기능을 담당하게 된다. 일련의 과정이 <그림 9>에 있다.

반도체 패키징은 전통적으로 웨이퍼 형태의 IC를 개개의 칩(Chip) 상태로 분리한 후 여러 가지 패키지의 형태



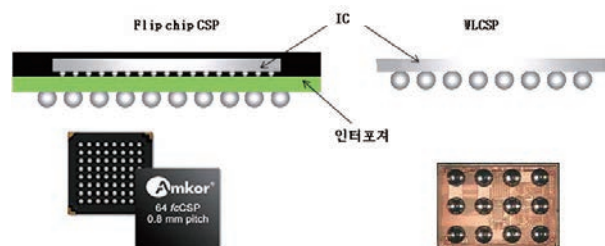
<그림 9> 소자의 제작 과정(좌: wafer, 중: 칩 제조, 우: 칩 패키지)



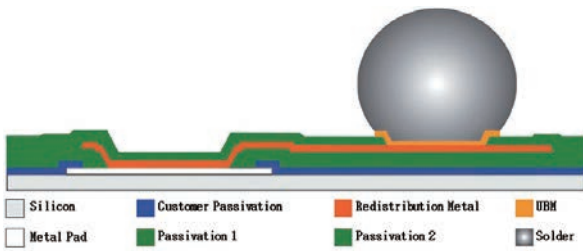
<그림 10> 형적인 CSP와 Wafer level CSP의 공정 차이점

로 완성시키며, 이 중 WLP는 패키징과 전기적 테스트 등 필요에 따라 burn-in까지 웨이퍼 상태에서 진행한 후에 마지막으로 개개의 패키지로 분리하는 공정방법을 말한다. <그림 10>에 전형적인 CSP와 Wafer level CSP의 공정 차이점을 도시하고 있다. 가장 큰 차이점은 패키지와 Dicing 공정이 서로 바뀌어서 진행 된다는 점이다.

지난 십 수년간 휴대용 디지털 가전들의 수요가 증가하면서 패키지의 크기를 줄이기 위한 요구가 대두되었고, 결국 IC와 거의 흡사한 크기의 패키지 형태인 CSP(칩 스케일 패키지)를 개발하게 되었다. 최근에는 넷북, 테블릿 PC, 스마트폰을 포함한 모바일폰이나 휴대용 게임기 등이 반도체 시장을 견인하고 있으므로, 크기는 더 작아져야 하고, 배터리 소모가 적어야 하며, 성능은 더 좋아져야 하고, 더 낮은 가격에 공급해야 하는 등 시장의 요구는 갈수록 가혹해져 간다. 이러한 요구에 따라 탄생한, IC 칩 크기와 동일한 크기의 패키지 형태인 WLCSP(웨이퍼 레벨 칩 스케일 패키지)가 환영 받고 있다. WLCSP는 서브스트레이트 등의 인터포저를 사용하지 않고 WLP 공정을 사용한다는 점에서 전통적인 CSP와는 좀 다른 면을 가지고 있다. <그림 11>에 Flip chip CSP와 WLCSP의 차이점을 보이고 있다. <그림 11>에서 보는 바와 같이



<그림 11> Flip chip CSP와 WLCSP의 차이점



〈그림 12〉 WLCSP을 위한 단위 패키징 구조

WLCSP는 중간 연결 배선인 인터포저가 필요 없다는 것이다.

WLCSP는 IC 위에 솔더볼을 형성한 단순한 구조를 갖기 때문에 풋프린트가 가장 작은 패키지 형태이고, 인터포저를 사용하지 않기 때문에 전기선로의 길이가 짧아 전기적 성능에서 유리하다. 뿐만 아니라 웨이퍼 레벨로 패키징 공정이 진행되므로 IC의 크기가 작은 경우 공정비용이 저렴하다는 장점이 있는데, IC의 크기가 작을수록 한 장의 웨이퍼당 더 많은 수의 패키지가 생산되기 때문이다. 〈그림 12〉에 WLCSP을 위한 단위 패키징 구조가 나타나 있다.

CMOS 이미지센서의 WLCSP 적용이 현재 주류를 이루고 있다. 요즘에는 DSLR카메라를 가진 사람들이 많지만, 모바일폰에 장착되어 있는 카메라의 성능도 꽤 좋아졌다. 실제로 행사 때 스마트폰으로 사진촬영을 하는 사람들도 심심찮게 보인다. VGA에서 3M 픽셀의 low-end 이미지센서 시장에서 수익을 내는 비즈니스를 찾기가 어렵다고들 한다. 치열한 가격경쟁 속에서 이윤을 유지하기 위해 WLC(웨이퍼 레벨 카메라)가 고려되고 있으며, 모바일폰이나 보안용 카메라 등에 적용하고



〈그림 13〉 WLCSP로 제작된 카메라 모듈

있다. 한편, 인도에서는 값비싼 디지털카메라나 비디오 카메라를 구매하는 대신에 카메라 기능이 있는 모바일폰을 저렴하게 구매하려는 수요가 증가했다고 한다. 〈그림 13〉에 WLCSP로 제작된 카메라 모듈을 볼 수 있다.

지금까지 WLCSP 시장은 작고 간단한 기능을 가진 RF, Power management, 플래시 메모리, 이미지센서 IC들이나 수동소자들에 국한되었으나, 점점 크고 복잡한 기능을 가진 ASIC나 마이크로프로세서 IC들에도 WLCSP의 적용이 요구되고 있다.

랩 기술의 발달로 칩의 크기는 점점 줄어들고 성능의 향상을 위해 입출력 패드 수는 점점 늘어나고 있기 때문에, 칩 내부에만 솔더볼을 형성시키는 기존의 WLCSP 형태의 적용이 어려워지고 있다. 현재는 칩의 영역을 실리

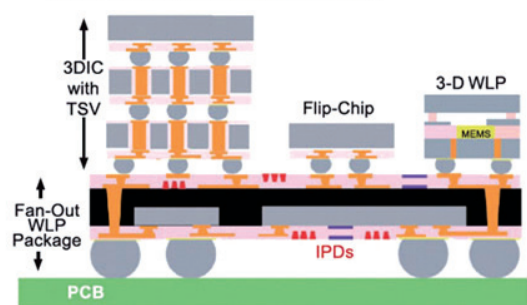
카메라 모듈은 렌즈와 CMOS 이미지센서로 구성된다. 렌즈의 구성물질은 플라스틱 재질로 변환되어 가고 있다.

콘 칩 바깥쪽까지 배치를 시킨다고 해서 ‘fan-in 형태’라고 칭했다면, 새로 소개가 되고 있는 형태의 WLCSP는 솔더볼이 실리

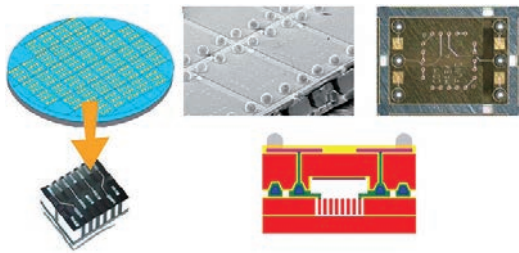
콘 칩 바깥쪽까지 배치를 시킨다고 해서 ‘fan-out 형태’라고 불리고 있다. 웨이퍼 상태의 칩들을 분리하여 일정 거리만큼 칩 사이를 떨어뜨려 재배치한 후, 몰드 수지를 통해 웨이퍼 형태(reconstituted wafer)로 만든 후에 WLP공정을 진행한다. 엄밀히 말하자면 WLCSP라고 부를 수는 없지만, WLP공정을 모두 이용하므로 기존 WLP기술의 확장으로 보고 있다. 〈그림

ADVANCED PACKAGING

Embedded Wafer-Level-Packages
Fan-out WLP / Chip Embedding in Substrate



〈그림 14〉 신개념 WLCSP 개념도



〈그림 15〉 MEMS 소자에 적용된 WLCSP

14)에 신개념 WLCSP 개념도가 도시되었다.

또한 WLCSP는 MEMS 소자에도 유용하게 사용되는데 최신 스마트폰에는 충격 감지, 기울어짐 감지, 회전 감지 등이 가능하도록 센서들이 내장되어 있어서 여러 가지 어플리케이션들을 제공한다. 이것이 가능하게 하기 위해 MEMS 디바이스가 사용되고 있는데, 3축 가속센서가 주로 사용된다. 이것 역시 스마트폰이나 게임기에 들어가기 위해 디바이스의 크기, 소비 전력, 그리고 가격 등에 유리한 WLCSP가 적당하다. 이 밖에도 자이로스코프 센서, frequency source, RF 모듈, 마이크로폰 등 수많은 MEMS 디바이스 중 모바일 기기에 사용되는 경우 WLCSP 형태로 고려되곤 한다. 〈그림 15〉에 MEMS 소자에 적용된 WLCSP의 모습을 도시하였다.

7. CMOS 이미지센서의 미래

Image Sensor는 빛을 전기적 신호로 바꿔주는 반도체로 휴대폰 카메라나 디지털 카메라 등의 주요 부품이라고 할 수 있으며, 카메라 모듈 과정을 통해 카메라 분야의 최종 수요 시장으로 공급된다.

Image Sensor 적용 시장은 주요 핵심 시장인 휴대폰, 디지털 카메라는 물론 방송용 장비와 바코드 리더기, CCTV 카메라 등에도 적용되고 있으며, 자동차 전후방 카메라나 로봇, 홍채인식 장치, 태블릿 PC, 자동차, 스마트 TV 등의 새로운 시장에도 적용되고 있는 추세이다. Image Sensor는 화소 설계 기술이나 아날로그 회로 설계 기술, 디지털 회로 설계 기술, 소자 공정 기술 등의 다양한 기술을 필요로 해 기술적 진입 장벽이 높은 편에 속하며, 개발비용과 시간이 막대하지만 휴대폰 등의 전방산업의 모델 교체 주기가 빨라지고 있어 Life cycle 영향

으로 인해 시장 출시의 적시성이 기술과 가격 이외의 경쟁 요소로 자리 잡고 있다.

디지털카메라를 기본으로 채택하는 ‘카메라폰’의 폭발적인 수요증가에 따라 CMOS 이미지센서는 성장해 왔으며, 초기 카메라폰에는 CCD 이미지 센서가 채택 되는 경우도 많았으나, CMOS 이미지센서의 가격적 우위, 저전력 소모, 고집적화등의 이점을 가지고 상대적으로 약점으로 꼽히던 Noize 등의 기술적인 문제가 해결 되면서 대부분의 카메라폰에 CMOS 이미지센서가 채택되게 되었다. 이미지 센서 시장은 휴대전화 시장이 디지털 변환화 됨에 따라 2003년부터 꾸준히 성장을 거듭해왔다. 이런 시장을 선점하고 경쟁력이 있으려면 저비용 소형 모듈이 화두이다. 앞서 언급되지는 않았지만 컬러필터와 렌즈 부분, 즉 광학적 손실을 유발하는 잠재적 요소를 가진 부분의 기술개발이 꾸준히 이루어져야 경쟁력을 강화 할 수 있으리라 판단된다.

CMOS 이미지 센서의 영상 품질 저하의 원인은 대체로 두 가지로 분류할 수 있다. 픽셀 내부 구조에서의 광학적인 손실과 내부 회로에서의 전기적인 손실이 그것이다.^[3-8] 전기적인 손실은 CMOS 이미지 센서의 동작원리에 의해 발생하는 손실로서 꾸준히 그 해결책이 제안되고 있다. 최근에 제작되고 있는 CMOS 이미지 센서의 경우, 입사 광량이 충분한 환경에서는 CCD 이미지 센서에 필적하는 영상을 출력하기도 한다. 광학적인 손실은 초기 CMOS 이미지 센서에서도 발생하였으나 전기적인 손실에 의한 문제가 더 심각하여크게 부각되지는 않았었다. 회로 공정이 어느 정도 안정화된 2000년도 이후 컬러 영상 출력을 위한 컬러 필터가 채용된 CMOS 이미지 센서가 제작되었다. 컬러 필터는 각 픽셀마다 다른 파장의 빛이 들어가게 하는 역할을 하는데, 픽셀 크기가 점점 작게 설계됨에 따라서, 인접 픽셀 사이에서 빛이 서로 투과하여 색 섞임 현상도 문제가 되고 있다.^[8]

III. 맺음말

지금까지 기존의 이미지센서의 구조적인 특징 및 원리를 기술하면서 서로 어떠한 장단점이 있는지 비교 분석하

였고, 이미지센서 기술개발에 있어서 고집적화를 위해 선행되어야 할 극복 문제에 대하여 언급하였다. 또한 CMOS 이미지센서의 구동원리 개선책에 대하여 알아보았다. 더 나아가 현재 기술의 기술적 한계를 해결하고자 제시한 연구방향과 나노기술(NT)을 이용한 신개념의 이미지센서 연구방향을 소개하였다.

이미지센서 개발기술은 이미 외국의 선진기업들이 개발해 놓은 완성된 기술이 아니며 국내 기술과의 기술격차가 있는 것도 아니다. 오히려 우리가 신개념의 나노 이미지센서 개발을 주도해 나갈수 있는 미개척 분야의 연구개발분야로 판단된다. 이미지센서는 나날이 발전하며 세대가 높은 High End 쪽으로 진화하고 있다. 이미지센서 개발에 필요한 주변기술의 발전과 더불어 기술적, 사회적, 문화적 요구는 가속화된다. 현재 우리나라가 가지고 있는 세계 최고의 디스플레이 기술과 시장점유 경쟁력을 지키려면 부단히 연구하고, 진화된 신기술 개발에 박차를 가해야 한다고 생각되는 바이다.

참고 문헌

- [1] 한주엽 기자, 디지털데일리(1204, 11, 5)
- [2] 김훈, 물리학과 첨단기술, pp. 46-47, November, 2005.
- [3] E. R. Fossum, "MOS Image Sensors: Electronic Camera-On-A-Chip," IEEE transaction on electron devices, vol. 44, no. 10, pp. 1689-1698, 1997.
- [4] M. Bigas, E. Cabruja, J. Forest, and J. Salvi, "review of CMOS image sensors," Microelectronics Journal, vol. 37, pp. 433-451, 2006.
- [5] H. Rhodes, G. Agranov, C. Hong, U. Boettiger, R. Mauritzson, J. Ladd, I. Karasev, J. McKee, E. Jenkins, W. Quinlin, I. Patrick, J. Li, X. Fan, R. Panicacci, S. Smith, C. Mouli, and J. Bruce, "MOS Imager Technology Shrinks and Image Performance," 2004 IEEE Workshop on Microelectronics and Electron Devices, pp. 7-18, 2004.
- [6] Y. Chae, K. Choe, B. Kim, and G. Han, "ensitivity Controllable CMOS Image Sensor Pixel Using Control Gate Overlaid on Photodiode," Electron Device Letters, IEEE, vol. 28, Issue 6, pp. 495-498, 2007.
- [7] C. H. Koo, H. K. Kim, K. H. Paik, D. C. Park, K. H. Lee, Y. K. Park, C. R. Moon, S. H. Lee, S. H. Hwang, D. H. Lee, and J. T. Kong, "mprovement of Crosstalk on 5M CMOS Image Sensor with 1.7×1.7 μm² pixels," xProc. of SPIE, vol. 6471, pp. 647115-1-5, 2007.
- [8] G. Agranov, V. Berezin, and R. H. Tsai, "rosstalk and Microlens Study in a Color CMOS Image Sensor," IEEE transaction on electron devices, vol. 50, no. 1, pp. 4-11, 2003.



성홍석

- 1986년 2월 서강대학교 전자공학과 학사
- 1988년 2월 서강대학교 전자공학과 석사
- 1997년 2월 서강대학교 전자공학과 박사
- 1988년 2월~2000년 2월 한국전자통신연구원
 선임연구원
- 2000년 3월~현재 부천대학교 부교수

〈관심분야〉
반도체 장비, 자동화 설비 제어