

논문 2015-52-2-13

# 저전압 기준전압 발생기를 위한 시동회로

( Robust Start-up Circuit for Low Supply-voltage Reference Generator )

임 새 민\*, 박 상 규\*\*

( Saemin Im and Sang-gyu Park<sup>Ⓢ</sup> )

## 요 약

일반적으로 기준전압 생성기는 쌍안정성을 가지므로 이를 올바른 상태에서 동작시키기 위해서는 적절한 시동회로가 필요하다. 본 논문에서는 저전압 기준전압 발생기를 위한 새로운 시동회로를 제안한다. 제안한 시동회로는 기준전압발생기의 상태를 결정하기 위하여 기준전압 발생기의 BJT에 흐르는 전류를 측정한다. 기준전압발생기가 올바른 상태에 있을 때 이 전류가 가지는 값은 잘 정의되므로 이를 통하여 회로의 상태를 신뢰성 있게 결정할 수 있다. 전류는 내부에 오프셋 전압을 갖는 비교기를 이용하여 측정하였다. 130nm CMOS 공정을 이용하여 설계를 하였으며, 레이아웃에서 추출한 기생 성분을 포함하는 Monte-Carlo 시뮬레이션을 통해 회로의 성능을 검증 하였다. 제안된 시동회로를 사용하는 기준전압발생기에 850mV 이상의 전원 전압이 가해질 경우, 소자에 미스매치가 있더라도 안정적으로 기준전압 생성기가 시동하는 것을 확인하였다.

## Abstract

Since most reference voltage generator circuits have bi-stable characteristics, it is important to employ a proper start-up circuit to operate a reference generator in the desired state. In this paper, we propose a start-up circuit for a low voltage reference generator. This start-up circuit determines the state of the circuit reliably by measuring the current drawn by BJTs in the circuit, which is well-defined in the desired state. To measure the current using CMOS-compatible devices only, a comparator with an internal offset voltage is used. The reliability of the proposed circuit is confirmed by Monte-Carlo simulations of the start-up operation, which show that, with the proposed start-up circuit, the low voltage reference generator starts reliably with supply voltages over 850mV even in the presence of device mismatches.

**Keywords** : Bandgap reference, reference voltage generator, start-up circuit, comparator

## I. 서 론

많은 반도체 집적회로, 특히 LDO에서는 온도의 변화와 무관한 기준전압을 필요로 한다<sup>[1~2]</sup>. 이를 위해서는

BJT를 이용하여 밴드갭 전압과 비슷한 1.2V정도의 기준전압을 생성하는 밴드갭 기준전압 생성기가 많이 사용된다<sup>[3]</sup>.

[3]의 기준전압 생성기는 양의 온도 계수를 갖는 전압과 음의 온도 계수를 갖는 전압에 적절한 계수를 곱하여 더하는 방식으로 기준전압을 생성한다. 하지만 전원 전압이 밴드갭 전압보다 낮아지면 이와 같은 방식의 밴드갭 기준전압 생성기를 동작시키는 것이 어려워진다. 이러한 문제를 해결하기 위하여 다양한 구조의 기준전압 생성기가 제안되었으며, 그 중 대표적인 것이 [4~8]의 구조이다. [4~8]의 경우 기존의 밴드갭 기준전압 생성기에서 전압을 이용하는 것과 달리 전류를 이용하여 기준전압을 생성한다. 즉, 양의 온도 계수를 가

\* 학생회원, \*\* 정회원, 한양대학교 전자컴퓨터통신공학부

(Dep. of Electronic and Computer Engineering, Hanyang University)

Ⓢ Corresponding Author(E-mail: sanggyu@hanyang.ac.kr)

※ 본 연구는 서울시 산학연 협력사업의 지원을 통해 개발된 결과임을 밝힙니다.

(SS100022, 보급형 보청기용 SoC개발)

※ 본 연구에 사용된 CAD 툴은 IDEC의 지원을 받았습니다.

접수일자: 2014년10월14일, 수정일자: 2015년01월08일

게재확정: 2015년02월02일

지는 전류와 음의 온도 계수를 가지는 전류에 적절한 상수를 곱하여 더하는 방식으로 온도와 관계없는 전류를 만들어 낸다. 이 전류를 저항에 흘려주면 온도와 상관없는 기준전압을 만들 수 있다.

[3~7]을 포함한 대부분의 기준전압 생성기는 쌍안정성을 가진다. 하나의 안정적인 상태는 올바른 기준전압을 생성하는 상태(ON상태)이며, 다른 하나의 상태는 0 이나 혹은 그 근방의 원하지 않는 기준전압을 만드는 상태(OFF상태)이다. 따라서 기준전압 생성기를 올바른 기준전압을 생성하는 상태에서 동작을 시키기 위해서는 시동회로가 필요하다.

그림 1은 이러한 시동동작을 표현하는 그림이다. 기준전압 발생기의 상태를 나타내는 신호를 생성한 후, 이를 사용하여  $M_5$ 를 켜으로써 기준전압 발생기를 시동시키고 시동이 완료되면  $M_5$ 를 꺼준다. 신뢰성 있는 시동동작을 위해서는 기준전압 생성기가 어떠한 상태에서 동작을 하고 있는지 정확히 판단하는 것이 중요하다.

[9]의 경우 그림1의  $Q_1$  및  $Q_2$ 에 npn BJT를 사용하여 기준전압 생성기를 만들었는데, 이 경우 전류거울을 구성하여 BJT 흐르는 전류를 직접적으로 판단하여 기준전압생성기의 상태를 파악할 수 있다. 하지만 일반적인 CMOS 공정에서는 npn BJT를 제공하지 않으므로 기준전압 발생기의 상태를 BJT 전류거울을 이용하여 직접적으로 판단을 하는 것은 어렵다.

일반적인 CMOS 공정을 사용한 예를 살펴보면, [7, 8]의 경우 피드백 루프의 에러 검출에 사용되는 연산증폭기의 출력전압 (그림 1의  $V_A$ )를 이용하여 기준전압기의 상태를 파악하였다. [10]은 연산증폭기의 입력 전압 (그림 1의  $V_X$  혹은  $V_Y$ )를 이용하였으며, [11]은 기준전압 생성기의 출력전압 (그림 1의  $V_{OUT}$ )으로 기준전압

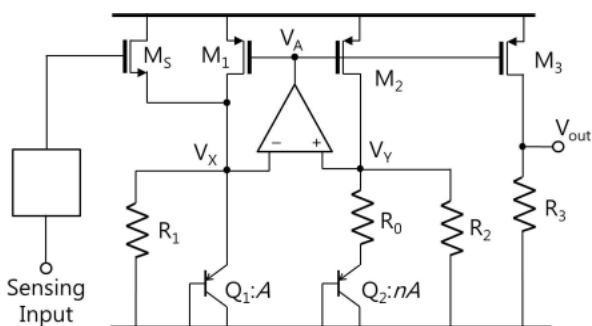


그림 1. 기준전압 생성기를 위한 시동회로의 개념도  
Fig. 1. Conceptual diagram of a start-up circuit for a reference generator.

생성기의 동작상태를 파악하였다. 하지만 저항이나 BJT 등의 소자에 미스매치가 존재하는 경우 BJT  $Q_1$ ,  $Q_2$ 가 켜지지 않더라도 저항  $R_1$ 과  $R_2$ 를 통해 전류가 흐를 수 있다. 따라서 기준전압 생성기가 제대로 동작하지 않는 경우에도  $M_1 \sim M_3$ 에는 전류가 흐르게 되는데, 이 경우  $V_X$ ,  $V_Y$  및  $V_{OUT}$ 은 0에 가깝지 않게 될 수 있으며 또한  $V_A$ 도  $V_{DD}$ 에서 상당히 내려온 값을 가질 수 있다. 즉 [7, 8, 10, 11]과 같이 연산증폭기의 입력전압, 연산 증폭기의 출력전압 그리고 기준전압 생성기의 출력전압을 이용해서는 기준전압 생성기의 상태를 신뢰성 있게 파악할 수 없다.

본 논문에서는 낮은 전원전압에서 동작하는 [6]의 기준전압 생성기를 위한 새로운 시동회로를 제안하였다. 본 논문에서 제안한 시동회로는 기준전압 생성기의 상태를 정확히 판단하기 위하여 BJT에 흐르는 전류를 직접적으로 파악하는 방법을 이용하였는데, 이를 위하여 BJT와 직렬로 연결된 저항에 발생하는 전압을 측정하는 방법을 사용하였다. 기준전압 생성기에 사용된 소자들에 미스매치가 있더라도 제안한 시동회로는 정확히 BJT의 동작상태를 파악할 수 있으므로 신뢰성 있게 시동동작을 하게 된다. 제안된 회로의 동작을 포스트 레이아웃 파라미터 추출이 반영된 Monte-Carlo 시뮬레이션으로 검증하였으며, 그 결과 회로를 구성하는 소자들의 미스매치가 존재할 때에도 기준전압 생성기가 항상 정상적으로 동작하는 것을 확인하였다.

## II. 본 론

### 1. 제안한 시동회로

그림 2는 본 논문에서 제안한 시동회로를 장착한 기준전압발생기의 회로도이다. 제안한 회로는 기준전압 발생기, 시동회로, 그리고 바이어스 전류를 공급해주는 바이어스 회로로 구성되어 있다. 기준전압 발생기에 사용된 연산 증폭기  $A_5$ 와 시동회로에 사용된 비교기  $A_1$ 은 그림 3과 같은 7개의 트랜지스터로 이루어져 있는 단순한 연산증폭기를 이용하였다. 본 논문에서 사용한 기준전압발생기의 출력 전압은 그림 2의  $R_1 = R_2$  일 때

$$V_{out} = I_{D3} * R_3 = (V_T \ln N / R_0 + V_X / R_1) * R_3 \quad (1)$$

$$= V_T (R_3 / R_0) \ln N + V_X (R_3 / R_1)$$

와 같이 나타나게 된다<sup>[6]</sup>. 본 연구에서 제안한 기준전압

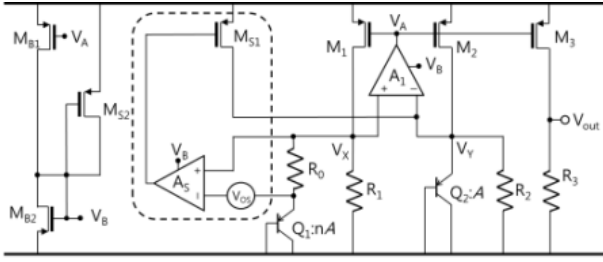


그림 2. 본 논문에서 제안한 시동회로를 장착한 기준전압 발생기의 회로도  
Fig. 2. Schematic diagram of the reference generator with proposed start-up circuit.

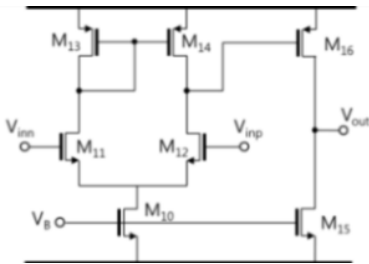


그림 3. 본 논문에서 사용한 연산증폭기  
Fig. 3. Schematic diagram of the op-amp.

발생기의 경우  $N=24$ 를 사용하였다.

기준전압 발생기가 제대로 켜져 있을 때  $Q_1$  및  $Q_2$ 에는

$$I_Q = V_T \ln N / R_0 \quad (2)$$

로 주어지는 전류가 흐른다. 이러한 BJT에 흐르는 전류를 확인할 수 있다면 기준전압 발생기의 동작 상태를 정확하게 판단할 수 있다. BJT에 흐르는 전류는 pnp BJT에 직렬로 연결되는 저항  $R_0$ 에 걸리는 전압  $V_{R0}$ 를 이용하여 직접적으로 확인할 수 있다. 본 논문에서는 저항  $R_0$ 에 걸리는 전압  $V_{R0}$ 를 비교기  $A_5$ 를 사용하여 측정함으로써 정확하게 기준전압 발생기의 ON/OFF 여부를 확인하였다. 만약  $V_{R0}$ 이 0이거나 매우 작을 때에는 기준전압발생기가 OFF 상태인 것으로 판정하여  $A_5$ 는 낮은 전압( $\approx 0V$ )을 발생시킨다. 이 때  $M_5$ 가 켜져서  $V_X$ 에 전류가 주입된다.  $V_{R0}$ 이 클 때에는 기준전압발생기가 ON 상태인 것으로 판정하고  $A_5$ 는 높은 전압( $\approx V_{DD}$ )을 발생시키는데 이 때  $M_5$ 가 꺼지고 전류주입이 중단된다.

최적의 동작을 위하여 비교기  $A_5$ 는 입력 오프셋 전압을 갖도록 설계되며 그 값은 다음과 같이 정해진다. 기준전압발생기가 ON 일 때  $V_{R0}$ 의 값은  $V_T \ln(N)$ 이 된

다.  $T=300K(27^\circ C)$ 에서,  $N=8$ 일 때  $V_{R0}=54mV$ 이고  $N=24$ 일 때  $V_{R0}=83mV$ 이다. 따라서 비교기  $A_2$ 의 입력 오프셋 전압은 이 값의 절반 정도가 되게 설계하는 것이 최적 이 됨을 알 수 있다.

한편, 비교기의 오프셋 전압의 오차가 시동회로의 신뢰성 있는 동작에 결정적인 영향을 끼치게 됨을 예측할 수 있다. 본 연구의 경우와 같이  $N=24$ 인 경우, 온도에 따라 다르지만 마진이 수십 mV에 이므로 오프셋의 오차의 크기가 10mV 이내 정도로 제한되는 한에 있어서는 회로의 동작에 문제가 발생하지 않을 것을 예상할 수 있으며 이는 뒤에 제시할 Monte-Carlo 시뮬레이션으로 검증되었다.

바이어스 회로는 추가적인 Constant-Gm과 같은 회로를 사용하지 않고 기준전압 발생기의 출력 전류를 복사하여 사용하는 자기 참조 바이어스(Self reference bias) 기술을 사용하였다.  $M_{B2}$ 과  $M_{B2}$ 는 기준전압 발생기의 출력 전류를 복사하는 전류 거울로 사용하였으며, 회로의 동작을 시작하는 순간 바이어스 전류가 켜지는 것을 돕기 위하여 게이트와 소스가 연결된  $M_{S2}$ 를 이용하였다<sup>[12]</sup>.

### 2. 비교기

비교기의 오프셋 전압은 입력단 트랜지스터  $M_{11}$ 와  $M_{12}$ 의 크기를 다르게 해서 얻었다( $M_{11}:M_{12}=5:2$ ). 입력단 트랜지스터의 비를  $K$ , 비교기의 바이어스 전류를  $I_B$ 라고 할 경우 비교기의 오프셋 전압은

$$V_{OS} = V_{GS11} - V_{GS12} = (1 - \frac{1}{\sqrt{K}}) \sqrt{\frac{I_B}{\mu_n C_{ox} (\frac{W}{L})_{11}}} \quad (3)$$

가 된다. 식 (3)에서 온도의 영향을 받는 항은 바이어스 전류  $I_B$ 와 모빌리티  $\mu_n$ 가 있는데, 본 회로의 바이어스 전류  $I_B$ 는 온도의 영향을 많이 받지 않는데 비해  $\mu_n$ 은 온도가 증가할수록 값이 작아진다. 따라서 비교기의 오프셋 전압  $V_{OS}$ 는 온도가 증가할수록 커지게 된다.

그림 4는 본 논문에서 제안한 비교기의 오프셋 전압을 여러 온도에서 Monte-Carlo 시뮬레이션을 한 결과이다. 시뮬레이션 결과 오프셋 전압은  $20^\circ C$ 에서 38mV였으며,  $\pm 3mV$ 의 오차를 보였다. 또한 식 (3)의 결과와 같이 온도가  $-20^\circ C$ 에서  $100^\circ C$ 까지 증가하는 동안  $0.2mV / ^\circ C$ 의 비율로 오프셋 전압이 증가하는 것을 확인할 수

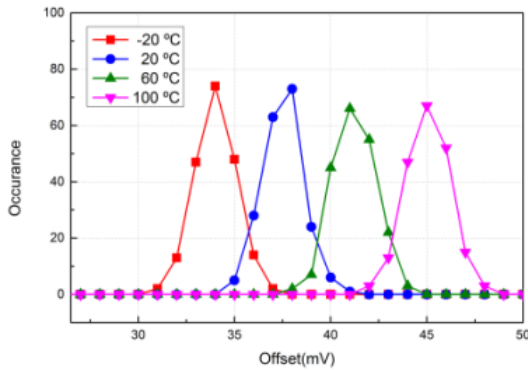


그림 4. 비교기의 온도에 따른 오프셋 전압의 Monte-Carlo 시뮬레이션 결과

Fig. 4. Monte-Carlo simulation result of the comparator with different temperature

표 1. 본 논문에서 사용된 소자 크기

Table 1. Size of transistors and resistors.

$M_{1,2,3,B1}$	$4x(20\mu m/20\mu m)$	$M_{12}$	$5x(2\mu m/10\mu m)$
$M_{S1}$	$2x(5\mu m/5\mu m)$	$M_{13,14}$	$4x(2\mu m/5\mu m)$
$M_{B2}$	$2x(5\mu m/20\mu m)$	$M_{16}$	$8x(2\mu m/5\mu m)$
$M_{S2}$	$0.5\mu m/20\mu m$	$R_0$	$160k\Omega$
$M_{10,15}$	$2x(2\mu m/20\mu m)$	$R_{1,2}$	$1.18M\Omega$
$M_{11}$	$10x(2\mu m/10\mu m)$	$R_3$	$565k\Omega$

있었다.  $V_{R0} = (T/q)\log N$ 로부터  $V_{R0}$ 이 온도에 따라 증가하는 특성을 가지는 것을 알 수 있으며, 특히  $N=24$ 인 경우 그 증가율은  $0.27mV/^\circ C$ 가 된다. 따라서 본 연구에서 사용된 비교기의 오프셋 전압이 온도에 따라 증가하는 것은 기준전압 생성기가 안정적으로 동작하는데 도움이 된다.

표 1은 본 논문에서 제안한 기준전압 발생기에 사용된 트랜지스터와 저항의 크기이다.

### III. 실험

본 논문에서 제안한 시동회로를 장착한 기준전압 발생기는  $0.13\mu m$  CMOS 공정을 사용하여 구현하였으며 그림 5는 구현된 회로의 레이아웃 그림을 보여준다. 그림 5에서 하얀색 네모로 표시된 부분이 비교기를 포함한 전체 시동회로 부분이며 나머지 부분이 기준전압 발생기이다. 전체 기준전압 발생기의 면적은  $0.083mm^2$ 이며 그중 시동회로가 차지하는 부분은  $0.0048mm^2$ 로 제안한 시동회로는 면적에 큰 영향을 미치지 않는다. 본 논문에서 제안한 시동회로가 소자의 mismatch가 존재할 때

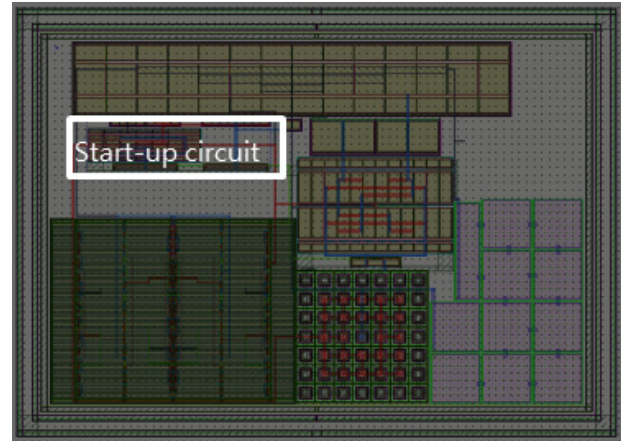


그림 5. 본 논문에서 제안한 시동회로를 장착한 기준전압 생성기의 레이아웃

Fig. 5. Layout of reference generator with proposed start-up circuit.

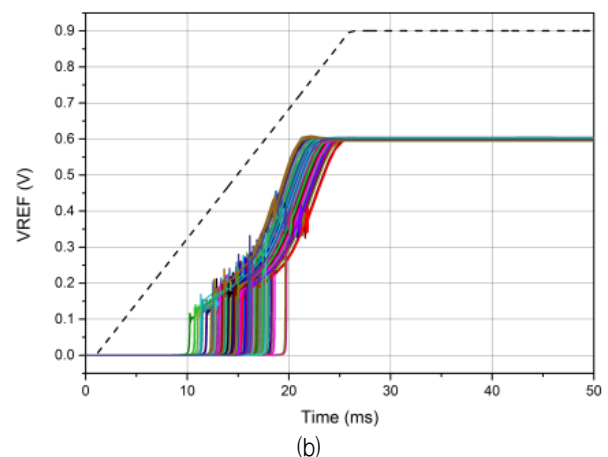
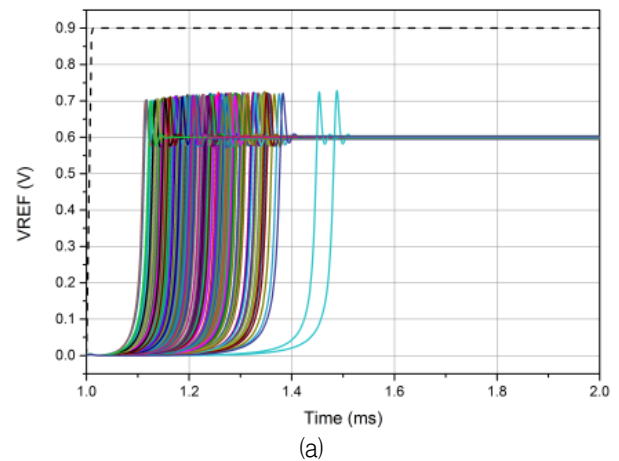


그림 6. 전원 전압의 상승시간이 (a) $10\mu s$ 일 때와, (b) $25ms$ 일 때 기준전압 발생기의 Monte-carlo 과도 응답 시뮬레이션

Fig. 6. Monte-carlo transient simulation result of the reference generator with (a) $10\mu s$  and (b) $25ms$  of supply voltage rising time.

에도 안정적으로 시동 동작을 하는 것을 검증하기 위하여 레이아웃에서 기생성분을 추출하여 포스트 레이아웃 시뮬레이션을 진행 하였다.

그림 6은 회로의 시동 동작을 Monte-Carlo 시뮬레이션을 한 결과를 나타낸다(200회 반복). 그림 6의 (a)는 전원전압의 상승시간이 10 $\mu$ s인 경우이며 그림 6의 (b)는 전원전압의 상승시간이 25ms인 경우이다. 점선은 전원전압이 0에서 0.9V로 상승하는 것을 나타낸다. 전원전압이 인가되어 증가하면서 기준전압 발생기가 시동되는 초기 부분에는 기준전압의 상승 속도에 차이가 나타나지만, 시간이 지남에 따라 0.6V의 기준전압이 안정적으로 생성되는 것을 확인할 수 있다. 시뮬레이션 시간이 이보다 길어지거나 짧아질 때에도 시동동작에 문제가 없는 것을 시뮬레이션을 통해 확인하였다.

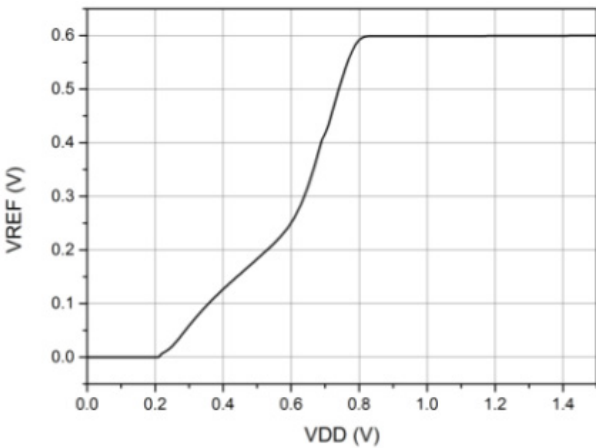


그림 7. 기준전압 발생기의 DC 시뮬레이션  
Fig. 7. DC simulation result of the reference generator.

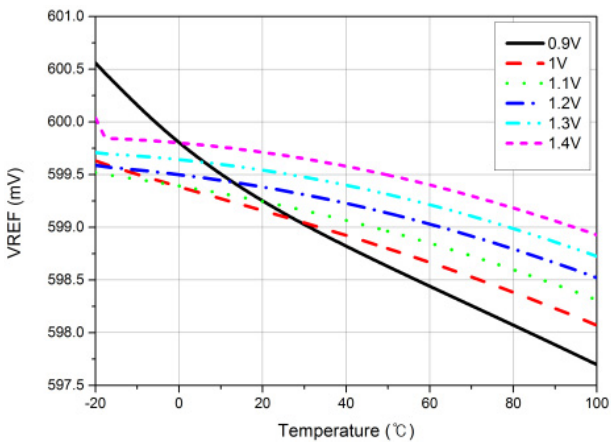


그림 8. 온도 변화에 따른 기준전압 발생기의 출력전압  
Fig. 8. Output voltage of reference voltage generator with temperature variation(Vdd : 0.9V~1.4V).

표 2. 제안한 기준전압 발생기의 사양 정리  
Table 2. Summary.

항목	본 논문	[13]	[14]
공정	130nm CMOS	160nm CMOS	28nm CMOS
동작 전압	0.85V ~ 1.5V	>1.1V	>1.1V
출력 전압	0.6V	944mV	0.5V
전력 소모	전체 (@ 0.85V VDD) 7 $\mu$ W (@ 1.5V VDD)	1.54 $\mu$ W	500 $\mu$ W
	시동 회로 (@ 0.85 VDD) 1.6 $\mu$ W (@ 1.5V VDD)	-	-
면적	0.083mm <sup>2</sup>	0.0025mm <sup>2</sup>	0.09mm <sup>2</sup>

그림 7은 전원전압에 대한 기준전압의 DC 시뮬레이션 결과이다. 시뮬레이션 결과 전원전압이 1.5V까지 증가하더라도 시동동작을 잘 하는 것을 시뮬레이션을 통하여 확인하였다. 그림 8은 온도변화에 따른 기준전압 발생기의 출력을 시뮬레이션 한 결과이다. 모든 동작 가능한 전원 전압에서 온도를 -20 $^{\circ}$ C부터 100 $^{\circ}$ C 까지 변화시키면서 시뮬레이션 하였을 때 2.5mV이하의 오차를 가지며 안정적으로 기준전압을 생성하는 것을 확인할 수 있었다. 표 2는 본 논문에서 설계한 기준전압 발생기의 시뮬레이션 결과를 정리하여 보여주고 있다. 제안한 시동회로를 사용한 경우에도 정상상태의 동작은 다른 기준전압 발생기와 성능에서 큰 차이가 없는 것을 확인할 수 있다.

#### IV. 결 론

본 논문에서는 저 전압 기준전압 발생기를 안정적으로 동작시키기 위한 시동회로를 제안하였다. 본 논문에서 제안한 시동회로에서는 기존의 시동회로가 가지는 문제점을 해결하기 위하여 오프셋 전압을 가지는 비교기를 사용하여 BJT에 흐르는 전류를 직접적으로 측정하여 기준전압 발생기의 상태를 결정하였다. 설계된 회로의 lay-out에서 기생성분을 추출하여 진행한 Monte-Carlo 시뮬레이션을 통해 회로를 검증하였으며, 시뮬레이션 결과 소자에 mismatch가 있을 때에도 제안한 시동회로는 안정적으로 기준전압 발생기를 시동시키는 것을 확인할 수 있었으며 850mV 이상의 전원 전

압에서 기준전압 생성기가 안정적으로 0.6V의 기준전압을 생성하는 것을 확인하였다.

## REFERENCES

- [1] Won Kyeong Park, Su Jin Lee, Yong Su Park, and Han Jung Song, "Design of a Low Drop-out Regulator with a UVLO Protection Function", IEEK, vol. 50, no. 10, pp. 2691-2696, October 2013.
- [2] Jin-Woo Kim and Shin-Il Lim, "A Design of High PSRR LDO over Wide Frequency Range without External Capacitor", IEEK, vol. 50, no. 12, pp. 3001-3008, December 2013.
- [3] Kujik, "A Precision reference voltage source", IEEE J. Solid State Circuits, vol. 8, no. 3, pp. 222-226, June 1973.
- [4] Da-In Han, Hyeong-Soon Kim, Yeong-Seuk Kim, "Design of A 0.5V CMOS Bandgap Voltage Reference:" IEEK Fall Conference, 2012.
- [5] Yoon-Jae Shin, Jun-Youn Lim, Kae-Dal Kwack, "A CMOS Bandgap Reference Voltage Generator Circuit with Sub-1.1-V Operation", IEEK CEIC, 2014.
- [6] Banba, H., Shiga, H., Umezawa, A., Miyaba, T., Tanzawa, T., Atsumi, S., and Sakui, K.: "A CMOS bandgap reference circuit with sub-1-V operation", IEEE J. Solid State Circuits, 1999, vol. 34, no. 5, pp. 670-674, May 1999.
- [7] Ka Nang Leung, Philip K. T. Mok, "A Sub-1-V 15-ppm/ C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device", IEEE J. Solid State Circuits, vol. 37, no. 4, pp. 526-530, April 2002.
- [8] Lee, S., Lee, H., Woo, J.-K., Kim, S. "Low-voltage bandgap reference with output-regulated current mirror in 90 nm CMOS", IET Electron. Lett., vol. 46, no. 14, pp. 976-977, July 2010.
- [9] Malcovati, P., Maloberti, F., Fiocchi, C., and Pruzzi, M. "Curvature-compensated BiCMOS bandgap with 1-V supply voltage", IEEE J. Solid State Circuits, vol. 36, no. 7, pp. 1076-1081, July 2001.
- [10] Boni, A. "Op-amps and startup circuits for CMOS bandgap references with near 1-V supply", IEEE J. Solid State Circuits, vol. 37, no. 10, pp. 1339-1343, Oct. 2002.
- [11] Dehghani, R., Atarodi, S. M., "A new low voltage precision CMOS current reference with no external components", IEEE Tran. Circuits and Systems-II, vol. 50, no. 12, pp. 928-932, Dec. 2003.
- [12] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, 2001.
- [13] Annema, A.J. 'A 0.0025 mm<sup>2</sup> bandgap voltage reference for 1.1 V supply in standard 0.16 μm CMOS'. IEEE Int. Solid-State Circuits Conf. (ISSCC), San Francisco, USA, 19 - 23 February 2012, pp. 364 - 366
- [14] D.F. Bowers, E.J. Modica, "Curvature-corrected low-noise sub-bandgap reference in 28 nm CMOS technology", IET Electronics letter, Vol. 50, No. 5, pp. 396-398, Feb. 2014.

### 저 자 소 개



임 새 민 (학생회원)  
2010년 한양대학교 전자통신컴퓨터공학부 학사 졸업.  
2013년 한양대학교 전자컴퓨터통신공학부 석사  
2013년 ~ 한양대학교 전자컴퓨터통신공학부 박사과정

<주관심분야 : Low-Voltage, Low-power circuits, Mixed-Signal CMOS Integrated circuits>



박 상 규 (정회원)  
1990년 서울대학교 전자공학과 공학사 졸업.  
1992년 서울대학교 대학원 전자공학과 공학석사  
1998년 Purdue Univ., School of Electrical and Computer Eng., Ph.D.

1998년 ~ 2000년 AT&T Labs-Research, Senior Technical Staff Member  
2000년 ~ 현재 한양대학교 융합전자공학부 교수  
<주관심분야 : Mixed-Signal CMOS integrated circuits, CMOS sensor circuits, Optical fiber transmission systems>