

# 아날로그 회로를 이용한 3상 PWM 출력 전압 측정

## Sensing of Three Phase PWM Voltages Using Analog Circuits

주 성 탁\* · 이 교 범\*  
(Sung-Tak Jou · Kyo-Beum Lee)

**Abstract** - This paper intends to suggest a sensing circuit of PWM voltage for a motor emulator operated in the inverter. In the emulation of the motor using a power converter, it is necessary to measure instantaneous voltage at the PWM voltage loaded from the inverter. Using a filter can generate instantaneous voltage, while it is difficult to follow the rapidly changing inverter voltage caused by the propagation delay and signal attenuation. The method of measuring the duty of PWM using FPGA can generate output voltage from the one-cycle delay of PWM, while the cost of hardware is increasing in order to acquire high precision. This paper suggests a PWM voltage sensing circuit using the analogue system that shows high precision, one-cycle delay of PWM and low-cost hardware. The PWM voltage sensing circuit works in the process of integrating input voltage for valid time by comparing levels of three-phase PWM input voltage, and produce the output value integrated at zero vector. As a result of PSIM simulation and the experiment with the produced hardware, it was verified that the suggested circuit in this paper is valid.

**Key Words** : Power hardware in the loop(PHIL), PWM Voltage sensing, Motor emulator

### 1. 서 론

지금까지 전력전자 분야에서 컴퓨터를 이용한 시뮬레이션이 동작을 이해하고 설계하고 검증하기 위한 도구로서 도움을 주고 있다. 또한 시뮬레이션 뿐 만 아니라 테스트베드를 제작하여 실제 전력을 입출력하여 모든 요소에서 시스템이 의도한 대로 동작하는 것을 확인하고 보완한다. 테스트베드에 계통 시뮬레이터, 배터리 에뮬레이터, 전자 부하 등의 Power hardware-in-the-loop (PHIL)가 적용된 장비를 이용하는 것은 전력 시스템의 개발 및 생산 단계에서 많은 편의성을 제공한다[1].

모터 에뮬레이터를 이용하면 모터의 파라미터를 변경하면서 인버터 개발을 수행 할 수 있다. 다양한 부하상황을 모의할 수 있기 때문에 개발을 검증하는 단계에서 필요한 시험을 계획하여 바로 시험이 가능하다. 생산 단계에서는 모델에 따라 다양한 모터를 구비하지 않고도 모터 에뮬레이터의 파라미터 값을 변경하여 다양한 모터 부하를 구현하여 시험을 할 수 있다. 또한, 모터-다이나모로 이루어진 기계적 시스템에 비해 소음 및 진동이 없고, 소형으로 효율이 높으며 에너지를 회생함으로써 테스트하는 용량보다 적은 전원 용량으로 시험이 가능하다[2].

다른 시뮬레이션 프로그램 및 실험 보조 장비들과 마찬가지로 모터 에뮬레이터는 자체적으로 꼭 필요한 장비는 아니지만, 다양한 파라미터를 조합할 수 있는 자유도가 높은 툴로서 사용자의 의도에 따라 다양한 방법으로 사용되어 개발 및 시험 프로세스를 단축시키는데 도움을 준다. 이를 위해 개발의 필요성을 타진하여 몇몇 업체에서 전원-인버터-부하로 연결되는 시험장비 전체를 구비해 나가고 있다.

모터 에뮬레이터를 연구 및 생산 단계에 적용하여 시간 및 비용을 절약하기 위해서는 실제 부하와 같은 특성을 가진다는 것을 보장해야한다. 선형 및 비선형 모델을 적용하고 이산시스템으로 연속 시스템에 가까운 변수들을 출력하기 위해 연산 및 출력 시간은 최소한이 되어야 한다[3, 4].

VSI (Voltage Source Inverter)의 부하는 인버터로부터 전압이 인가되면 부하에 걸린 전압과 부하의 모델에 따라 부하에 흐르는 전류가 결정된다. 모터 에뮬레이터의 동작은 인버터로부터 PWM 형태로 전압을 입력받고 부하 모델에 따라 흘러야하는 전류를 계산하여 출력함으로 이루어진다. 이때 PWM 형태로 인가되는 전압으로부터 부하에 인가되는 순시전압을 계산하는 과정이 필요하다[5, 6].

입력 전압에 대해 부하의 반응이 즉각적으로 이루어지기 위해서는 최대한 지연이 없는 순시전압을 얻어내야 한다. 필터를 이용한 방법은 간단한 회로로 PWM 전압으로부터 평균전압을 얻을 수 있지만, 필터의 지연이 발생한다. CPLD에 의해 고속의 카운트를 이용하여 PWM 신호의 듀티비를 얻어내는 방법은 PWM 한주기로 순시전압을 얻을 수 있지만 높은 정밀도를 얻기 위해서는 하드웨어 비용이 높아지게 된다[7, 8]. CPLD와 카운터를 이

\* Corresponding Author : Dept. of Electrical and Computer Engineering, Ajou University, Korea

E-mail : kyl@ajou.ac.kr

\* Dept. of Electrical and Computer Engineering, Ajou University, Korea

Received : August 25, 2015; Accepted : October 21, 2015

용하여 측정된 PWM의 듀티는 카운트의 주파수를 PWM의 주파수로 나눈 값으로 측정 분해능을 가진다. 예를 들어 20kHz의 PWM신호를 10MHz의 카운트를 이용하여 측정하면 측정 분해능은 1/500이 된다. 측정 정밀도를 높이기 위해서는 더 높은 주파수로 동작하는 CPLD가 요구된다.

본 논문은 높은 측정 정밀도와 PWM 1주기 지연을 가지며 하드웨어 비용이 낮은 아날로그 방식의 PWM 전압 검출 회로를 제안한다. PWM 전압 검출 회로는 3상 PWM 입력전압의 크기를 비교하여 유효벡터가 인가되는 시간동안 입력전압을 적분하고 영벡터에서 적분된 값을 출력하는 방식으로 동작한다. 그림 2와 같이 전류원과 캐패시터를 이용하여 적분회로를 구성하고 다이오드를 이용하여 전류의 경로를 단속하므로 연속적인 아날로그 신호를 출력한다. 출력의 정밀도에 영향을 미치는 요소는 비교기와 아날로그 스위치의 지연과 전류원과 캐패시터, 연산증폭기의 오차이다.

2장에서 제안하는 PWM 측정 회로를 설명하고, 3장에서 PSIM을 이용한 시뮬레이션을 진행하며, 4장에서 제작된 센서 보드를 이용한 실험결과를 나타낸다. 시뮬레이션 및 실험결과는 인버터로부터 PWM 신호를 입력받아 유효벡터 구간동안 적분하고 PWM 한 주기 안에 평균 전압을 측정하는 것을 보여준다.

## 2. PWM 전압 측정

PWM 인버터의 출력 전압을 측정하기 위한 기본적인 알고리즘은 전압이 인가되는 시간동안 일정한 전류를 캐패시터에 흘리고 전압이 0V로 떨어지는 시점에 캐패시터의 전압을 측정함으로써 PWM 전압을 측정하는 것이다. 그림 1과 같은 전압 파형이 입력될 때 PWM 전압은 식 (1)과 같이 한주기 평균값으로 계산한다. PWM ON 구간 동안 캐패시터(C)에 전류(I<sub>c</sub>)를 흘리면 그림 1과 같이 캐패시터 전압(V<sub>c</sub>)이 변하고 식 (2)와 같이 PWM 전압을 측정할 수 있다.

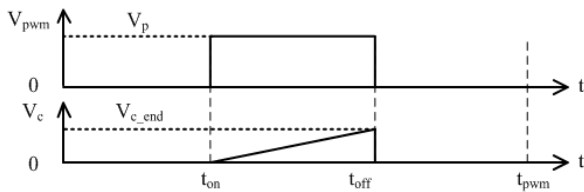


그림 1 PWM 전압 파형과 캐패시터 전압 파형

Fig. 1 Waveform of PWM and Capacitor Voltage

$$\overline{V_{pwm}} = \frac{1}{t_{pwm}} \int_{t_{on}}^{t_{off}} V_p dt \quad (1)$$

$$\overline{V_{pwm}} = k V_{c\_end} = \frac{k}{C} \int_{t_{on}}^{t_{off}} I_c dt, \quad k = \frac{V_p}{t_{pwm}} \frac{C}{I_c} \quad (2)$$

그림 2는 a상과 b상의 선간전압을 측정하는 회로의 구성도이다. 출력 전압 측정 회로는 크게 세 가지 회로로 구성되어 있다.

입력 전압을 비교하여 전압의 크기가 양(+), 음(-), 또는 같음(=)을 판별하는 비교회로와 전류원을 단속하여 캐패시터에 전압을 충전 및 방전시키는 적분회로, 영벡터가 인가될 때 충전된 캐패시터 전압을 읽어오고 초기화 시키는 검출회로이다.

비교회로는 a상 전압이 b상 전압보다 큰 경우에 양(+의 값을 출력하며, 반대의 경우에 음(-)의 값을 출력한다. 두 상전압이 한계값( $V_{th}$ ) 이내로 동일한 값을 갖는 경우는 고 임피던스 상태를 출력한다. a상 PWM 전압과 b상 PWM 전압은 비교기를 통해 전압의 크기를 비교한다. 두개의 상전압이 동일한 값을 가질 때에는 비교기의 입력 오프셋 값에 따라 임의의 값을 비교기의 출력으로 가질 수 있다. 이를 방지하기 위해 입력전압의 차이가 일정 값 이하일 경우 같은 전압으로 판별하는 회로가 추가된다. 비교기와 AND 게이트를 이용하여 식 (3)의 범위 안에 있을 때는 같은 전압으로 판단하여 AND 게이트의 출력( $V_{A=B}$ )을 1로 만든다. AND 게이트의 출력신호는 아날로그 스위치를 단속하여 두 상전압이 같은 값을 가질 때 아날로그 스위치의 출력을 양(+과 음(-)이 아닌 고 임피던스 상태로 만든다.

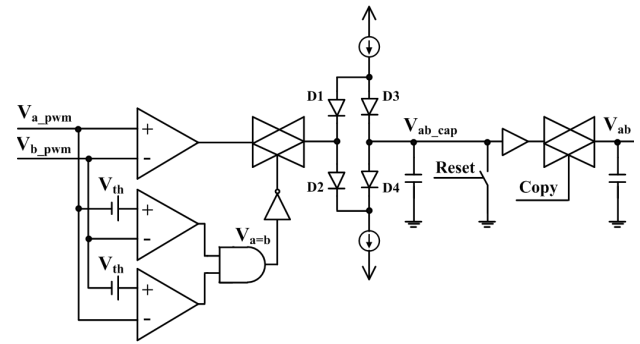


그림 2 PWM 전압 측정 회로 구성도

Fig. 2 Block Diagram of PWM Voltage Sensing Circuit

$$V_b - V_{th} < V_a < V_b + V_{th} \quad (3)$$

적분회로는 비교회로를 통해 출력된 전압의 상태에 따라 다이오드를 스위칭하여 전류원으로부터 흐르는 전류의 경로를 바꾸어 캐패시터(V<sub>cap</sub>)를 충전, 방전, 또는 유지한다.

그림 3은 적분회로의 세 가지 동작 상태를 나타낸다. 그림 3(a)와 같이 입력으로 양(+의 값이 입력되면 캐패시터 전압보다 입력전압이 높으므로 D1이 꺼지고 D2가 켜진다. 또한 D3이 켜지고 D4가 꺼진다. 그러므로 입력 전압은 -V<sub>max</sub> 쪽으로 흐르며, +V<sub>max</sub> 쪽 전류원에 의해 캐패시터가 충전된다. 입력 전압이 -V<sub>max</sub>일 경우 그림 3(b)와 같이 D2와 D3이 꺼지고 D1과 D4가 켜지기 때문에 상단 전류원의 전류는 입력 쪽으로 빠져나가고 하단 전류원의 전류에 의해 캐패시터는 방전된다. 결과적으로 비교된 두 상전압의 차이가 양의 값을 가질 경우 캐패시터의 전압이 충전되고 두 상전압의 차이가 음의 값을 가질 경우 캐패시터의 전압이 방전하게 된다. 이때 다이오드에 의한 스위칭 동작이 정상적으로 이루어지려면 캐패시터가 충전 또는 방전 되면서 가지

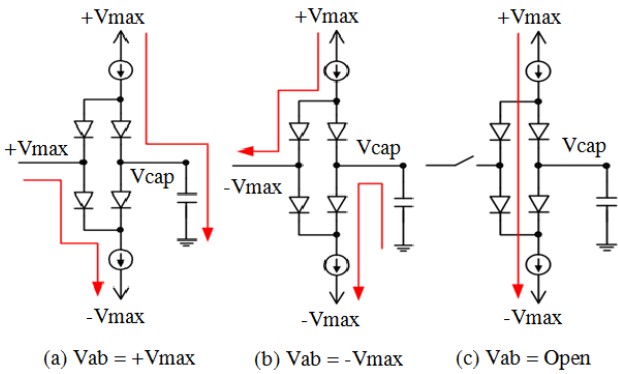


그림 3 전류원과 캐패시터 사이의 전류 경로  
 Fig. 3 Current Paths between Current Generator and Capacitor

게 되는 전압의 범위는  $-V_{max}$ 에서  $+V_{max}$  사이가 되어야 한다. 그림 3(c)는 a상 전압과 b상 전압이 동일할 때, 입력이 고 임피던스 상태이다. 입력이 고 임피던스 상태이므로 모든 다이오드가 켜지고 입력전압은 캐패시터의 전압 값과 같아진다. 이때 상단 전류원에서 나온 전류는 모두 하단 전류원으로 흐르고 캐패시터로 흐르는 전류는 0이므로 캐패시터 전압은 변하지 않는다.

비교회로와 적분회로에 의해 두 상전압의 차이가 양(+)의 값을 가질 경우에 캐패시터의 전압이 상승하고 두 상전압의 차이가 음(-)의 값을 가질 경우에 캐패시터의 전압이 감소한다. 두 상전압이 같은 전압을 가질 경우에는 캐패시터 전압이 유지된다.

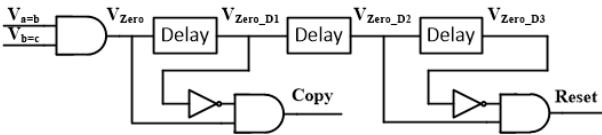


그림 4 영벡터 검출 및 Copy/Reset 신호 발생 회로  
 Fig. 4 Circuit of Zero Vector Detection and Copy/Reset Signal Generation

다음으로 검출회로는 Copy 신호에 동기하여 캐패시터에 충전된 전압을 검출하며 Reset 신호에 의해서 충전된 전압을 0V로 초기화하는 동작을 한다. 그림 4는 Copy 신호와, Reset 신호가 발생하는 원리를 나타낸다. Copy 신호와 Reset 신호는 3상의 PWM 전압이 같은 값을 가지는 영벡터 구간에 발생한다. 영벡터 구간이 되면 Copy 신호를 발생해 전압을 검출하고 검출이 완료 되면 Reset 신호를 발생시켜 다음 주기에 측정이 가능하도록 한다. 영벡터 구간의 검출은 a상, b상, c상이 같은 전압이 되는 것을 검출함으로써 이루어진다. 그림 2와 같은 회로로 b상과 c상의 전압을 비교하고  $V_{a=b}$  신호와  $V_{b=c}$  신호가 모두 1이 되는 순간을 검출한다. 영벡터가 되는 순간 RC 지연 회로를 이용하여 지연을 발생시켜서 일정한 펄스폭을 가지는 Copy 신호와 Reset 신호를 순차적으로 발생시킨다.

그림 5는 제안하는 PWM 인버터 전압 측정과정을 8단계로 나

타낸다.

(1) 모드 1 ( $t_0 < t < t_1$ )

a상 전압과 b상 전압이 동일한 경우로, 캐패시터 전압은 변하지 않는다. 이때 전류의 흐름은 그림 3(c)와 같다.

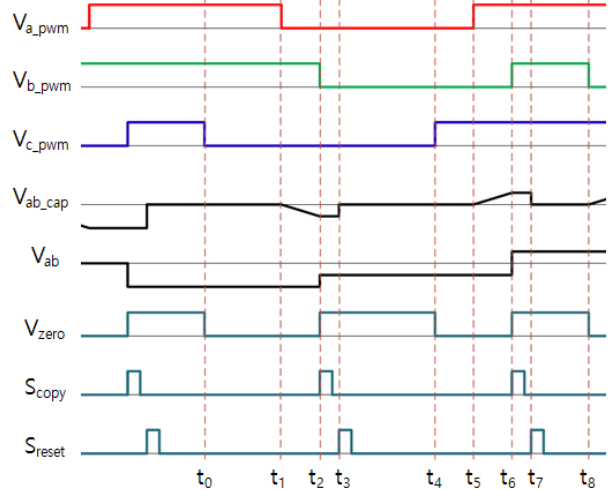


그림 5 PWM 측정 회로의 각부 파형

Fig. 5 The wave forms of proposed circuit

(2) 모드 2 ( $t_1 < t < t_2$ )

a상 전압이 b상 전압보다 더 작은 경우로, 캐패시터의 전압은 일정 기울기로 감소하며 이때 전류의 흐름은 그림 3(b)와 같다.

(3) 모드 3 ( $t_2 < t < t_3$ )

a상전압과 b상전압이 서로 동일한 값을 갖고 있어, 캐패시터 전압은 변하지 않는다. 이때 전류의 흐름은 그림 3(c)와 같다. a상, b상, c상 전압이 모두 동일한 값을 갖기 때문에 영벡터가 검출된다. 영벡터 인가에 맞춰 캐패시터 전압 측정 신호인 Copy 신호가 발생하고 Vab 측정값으로 캐패시터의 전압을 출력한다.

(4) 모드 4 ( $t_3 < t < t_4$ )

Copy 신호가 해제되고 Reset 신호가 발생하여 캐패시터의 전압을 0V로 초기화한다.

(5) 모드 5 ( $t_4 < t < t_5$ )

a상 전압과 b상 전압이 동일한 경우로, a상 전압과 b상 전압이 서로 동일한 값을 갖고 있어 회로의 동작은 모드 1과 동일하다.

(6) 모드 6 ( $t_5 < t < t_6$ )

a상 전압이 b상 전압보다 더 큰 경우로, 캐패시터 전압이 양의 방향으로 일정 기울기로 증가한다. 이때 전류의 흐름은 그림 3(b)와 같다.

(7) 모드 7 ( $t_6 < t < t_7$ )

a상, b상, c상전압이 모두 동일한 값을 갖는 상태로 회로의 동작은 모드 3과 동일하다.

(8) 모드 8 ( $t_7 < t < t_8$ )

Copy 신호가 해제되고 Reset 신호가 발생하는 구간으로 회로의 동작은 모드 4와 동일하다.

### 3. 시뮬레이션

Psim 시뮬레이션을 통해 제안한 방법을 검증하였다. 그림 6은 Psim을 사용하여 PWM 전압 검출 회로를 구성한 것으로 전압에 따른 전류원과 캐패시터 적분회로, 검출회로로 이루어진다. 입력 전압은 SVPWM 방식의 인버터를 이용하여 DC 600V의 전압을 스위칭하여 360V의 정현파를 출력하여 사용하였다.

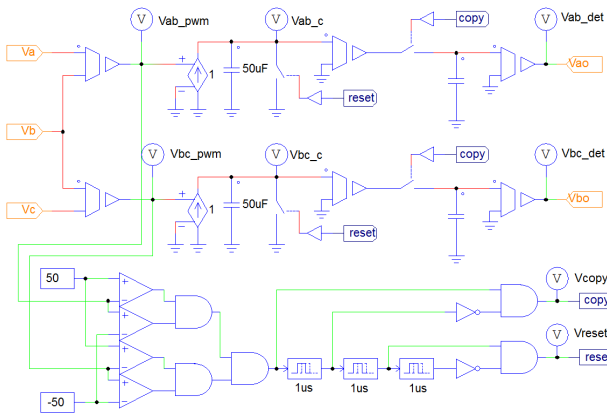


그림 6 PSIM 시뮬레이션을 위한 PWM 전압 검출 회로  
Fig. 6 PWM Voltage Sensing Circuit for PSIM Simulation

전압 검출의 지연시간을 확인하기 위해 0.01초를 지나서 입력 전압의 위상각을 급변하였다. 그림 7의 (하)는 3kHz의 컷오프 주파수를 가지는 2차 저역 통과 필터를 이용하여 PWM 전압을 측

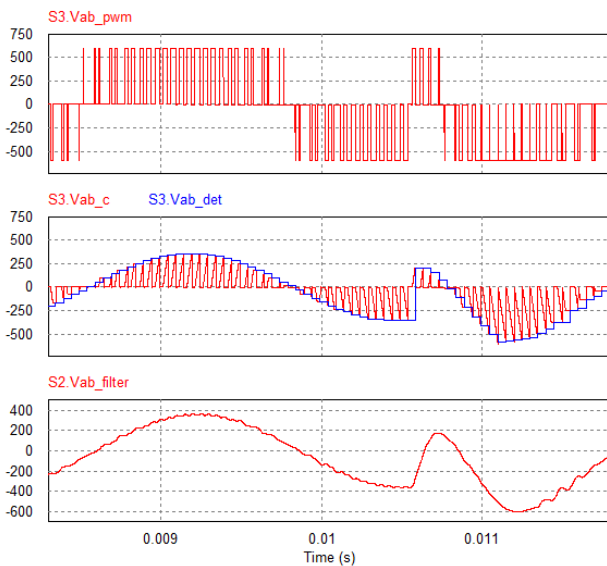


그림 7 인버터 PWM 전압(상)과 캐패시터 전압 및 PWM 측정 전압(중), 2차 저역통과 필터의 전압(하)  
Fig. 7 Inverter PWM Voltage (upper) and Voltage of Capacitor and Measured PWM Voltage (mid), Second Order Low Pass Filter Voltage(bottom)

정한 것이다. 약 150us 지연이 발생한다. 반면에 그림 7의 (중)은 PWM 전압 검출 회로의 출력으로 PWM 1주기 내에 PWM 전압을 측정한다.

그림 8은 PWM 전압 검출 회로의 세부 동작을 나타낸다. 유효 벡터시간 동안 캐패시터의 전압을 변화시키고, 영벡터가 인가 되면 Copy 신호와 Reset 신호를 차례로 발생시켜 캐패시터의 전압을 출력하고 다음 측정을 위해 캐패시터의 전압을 0V로 만든다.

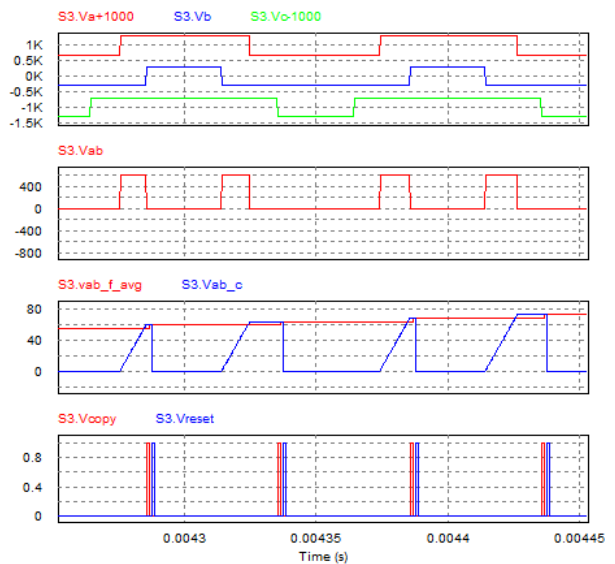


그림 8 PWM 입력 전압과 캐패시터 전압 및 측정 전압  
Fig. 8 PWM Input Voltage, Capacitor Voltage and Measured Voltage

### 4. 실험

그림 9는 주요 PWM 전압 측정 회로를 나타낸다. 양전원 5V에서 1V 낮은 레퍼런스 전압과 음전원 -5V에서 1V 높은 레퍼런스 전압으로부터 양(+) 전류원과 음(-) 전류원을 생성한다. 두 입력 상전압은 저항으로 분압되어 비교기로 입력되고 비교기의 출력에 따라 다이오드가 도통되어 전류원의 전류가 캐패시터를 충전 또는 방전시킨다. 캐패시터의 전압은 아날로그 스위치를 통하여 출력으로 전달되고, MOSFET스위치를 통해 0V로 초기화 된다. 그림 9의 회로는 두 입력 상전압이 입력전압이 한계값( $V_{th}$ )보다 작을 경우 같은 전압으로 판별하고 다이오드의 입력부를 오픈상태로 하기 위한 회로가 추가되어 있다. 입력전압에 한계값( $V_{th}$ )이 더해진 전압을 저항 분압회로에 5V 쪽으로 저항분기를 추가하여 구현하였다.

회로도에 따라 제작된 측정 보드를 그림 10에 나타내었다. 적분용 캐패시터는 50V 내압을 가지며 0.1uF 용량의 MLCC 캐패시터를 사용하였다. 온도계수를 작게 하기 위해서는 적층 필름 캐패시터를 이용하는 것이 좋다. 회로를 최적화 하여 전류원의

크기를 줄이면 온도계수가 작고 용량이 작은 캐패시터를 쉽게 이용할 수 있다.

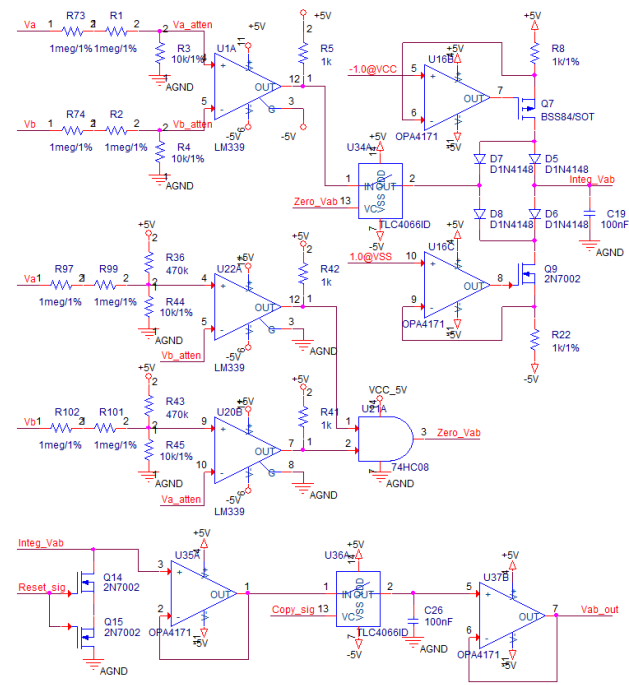


그림 9 PWM 전압 측정 회로도  
Fig. 9 Schematic of PWM Voltage Sensing Board

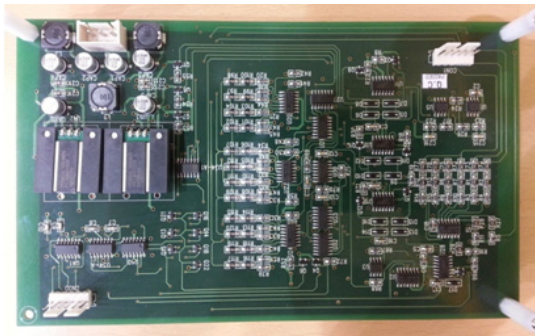
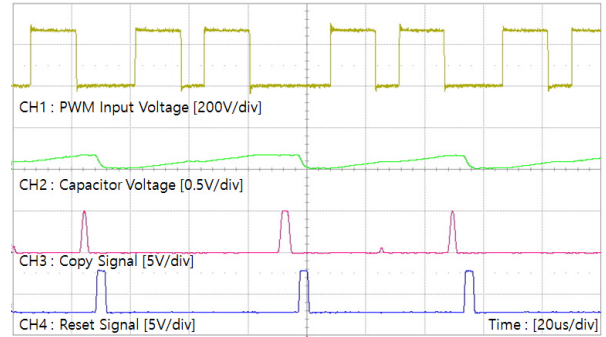


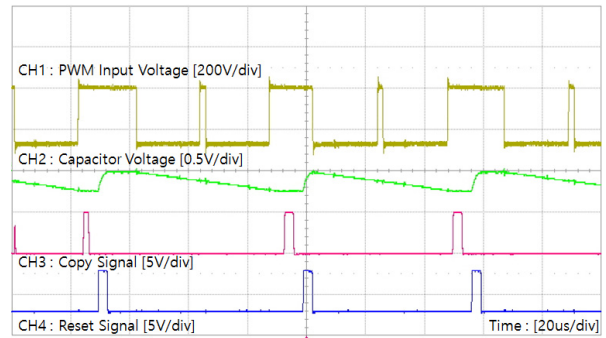
그림 10 제작된 PWM 전압 측정 보드  
Fig. 10 Manufactured PWM Voltage Sensing Board

측정 보드를 이용한 실험 결과를 그림 11과 그림 12에 나타낸다. 시뮬레이션에서 검증한 것과 같은 결과를 나타낸다. 그림 11(a)에서 캐패시터 전압은 입력 순간전압이 양(+)인 경우에 일정한 기울기로 증가하며 순간전압이 0V일 경우 유지된다. 그림 11(b)에서는 순간전압이 음(-)일 경우 캐패시터 전압이 일정 기울기로 감소한다. 영벡터 구간에서 Copy 신호가 발생하고 이어서 Reset 신호가 발생하여 캐패시터 전압은 0V로 초기화된다. 영벡터를 만날 때 마다 Copy 신호와 Reset 신호가 발생해야 하지만 그림 4와 같이 시간 지연을 이용하여 Copy 신호와 Reset 신호를

발생시키기 때문에 영벡터 구간이 충분히 크지 않을 때는 해당 신호가 발생하지 않는다. 그림 11은 영벡터 구간이 작을 때는 Copy 신호와 Reset 신호가 발생하지 않고 충분히 큰 영벡터를 만났을 때만 발생하고 있다.



(a)



(b)

그림 11 제작된 측정 보드의 각부 파형 - (a)입력 전압이 양(+)일 경우, (b)입력전압이 음(-)일 경우

Fig. 11 Waveform of PWM Voltage Sensing Board - (a) Positive input Voltage, (b) Negative input Voltage

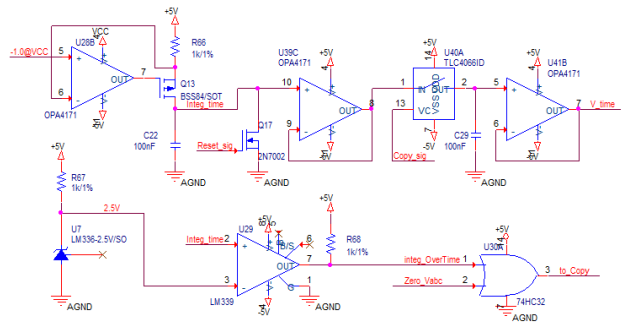


그림 12 적분 시간을 측정하고 적분 값을 초기화 하는 회로  
Fig. 12 Circuits of Generating Integrated Period and Resetting Integrated Voltage

영벡터 구간이 충분히 크지 않거나 과변조기법이 사용되어 영벡터 구간이 존재하지 않으면 Copy 신호와 Reset 신호가 발생하

지 않는다[9, 10]. 이와 같은 경우에는 캐패시터 전압이 초기화 되지 않고 계속 증가하는 문제점이 있다. 이런 현상을 방지하기

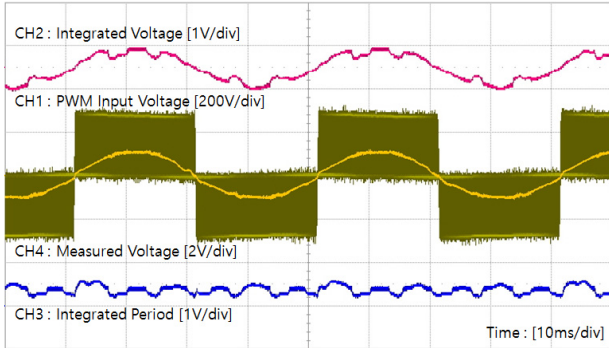


그림 13 PWM 입력 전압과 전압 적분 값, 적분 시간 출력 및 계산된 출력 전압

Fig. 13 PWM Input Voltage and Integrated Voltage, Integrated Period, Calculated Measured Voltage

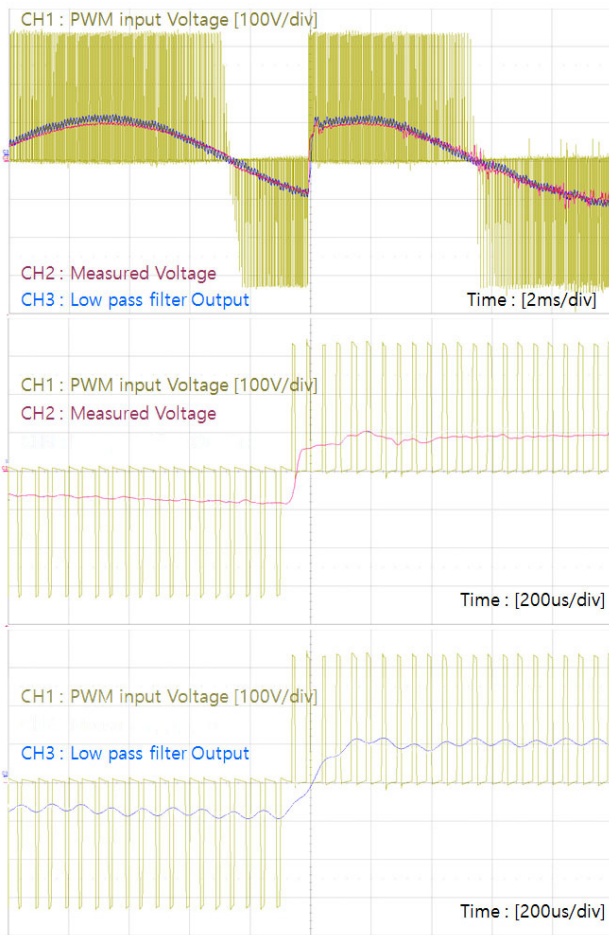


그림 14 PWM 전압검출 회로와 2차 저역통과 필터의 출력파형  
Fig. 14 Output Voltages by Second Order Low Pass Filter and PWM Voltage Measuring Circuit

위해 일정 시간 후에도 영벡터가 검출되지 않으면 Copy 신호와 Reset 신호를 발생해야 한다. 그림 12는 영벡터 시간을 측정하고 일정시간 이상일 경우 Copy 신호와 Reset 신호에 트리거를 발생시키는 회로이다.

산업용 인버터를 이용하여 30Hz의 주파수 지령을 주고 모터를 구동하여 인버터의 PWM 출력 전압을 측정 보드에 입력하였다. 그림 13에 측정된 파형을 나타내었다. CH1은 입력 PWM 전압을 나타내며, CH2와 CH3은 각각 선간전압의 적분 값과 적분 시간을 나타낸다. 적분 시간으로 선간전압의 적분 값을 나누면 한 주기 동안 입력 PWM 전압의 평균값을 구할 수 있다. F1은 CH2를 CH3으로 나눈 것으로 PWM 전압의 측정값을 나타낸다. 측정된 전압은 사인파 모양을 이루고 있다.

그림 14는 PWM 출력이 급변할 때의 측정된 전압과 2차 저역 통과 필터를 통과한 전압 파형을 나타낸다. 2차 저역 통과 필터의 차단 주파수는 3kHz이고 이득이 0.01이 되도록 수동 소자로 구성하였다. 2차 저역 통과 필터의 출력은 리플이 완전히 제거되지 않으며, 약 150us의 지연이 발생한다. 반면에 전압검출회로는 50us안에 PWM 전압을 추종하여 측정된 PWM 전압을 출력한다.

## 5. 결 론

전력 반도체를 이용하려 부하를 모의하는 PHIL 시스템의 경우 부하에 PWM 방식으로 인가되는 전압을 측정해야한다. 아날로그 필터는 측정 지연을 피할 수 없고, 카운터를 이용하여 펄스 폭을 측정하는 경우 분해능이 높아질수록 하드웨어 비용이 올라간다. 본 논문은 아날로그 회로로 구성되기 때문에 높은 측정 정밀도를 가지며, PWM 한주기 안에 3상 PWM 전압을 측정하는 회로를 제안하고 시뮬레이션과 실험을 통하여 제안한 회로의 동작을 검증하였다. 영벡터 구간이 존재하지 않는 PWM 방식에서 적분시간 항목을 추가하여 적분된 전압에서 유효한 측정값을 얻을 수 있었다. 아날로그 회로는 연속된 측정 정밀도를 가지지만 소자의 오차에 의해 측정값에 오차가 발생하는 단점이 있다. 전류원과 캐패시터 값의 오차는 출력신호의 이득에 영향을 주며, 비교기와 아날로그 스위치의 지연시간은 오프셋 오차를 발생시킨다. 그러므로 측정된 출력 신호는 이득과 오프셋 오차를 보정하여 사용해야 한다. 또한 측정된 전압값은 아날로그 디지털 컨버터(ADC)에 의해 디지털 값으로 변환되어 DSP 등에서 제어 입력으로 이용되므로 높은 정밀도와 빠른 변환속도를 가지는 ADC가 요구된다.

## References

- [1] O. Vodyakho, M. Steurer, C. S. Edrington, and F. Fleming, "An induction machine emulator for high-power applications utilizing advanced simulation tools with graphical user interfaces," IEEE Transactions on Energy Conversion, Vol. 27, No. 1, pp. 160-172, Mar. 2012.
- [2] M. Kesler, E. Ozdemir, M. C. Esacikoglu, and L. M.

Tolbert, "Power converter-based three-phase nonlinear load emulator for a hardware testbed system," IEEE Transactions on Power Electronics, Vol. 29, No. 11, pp. 5806-5812, Nov. 2014.

- [3] R. Wei, M. Steurer, and T. L. Baldwin, "Improve the stability and the accuracy of power hardware-in-the-loop simulation by selecting appropriate interface algorithms," IEEE Transactions on Industry Applications, Vol. 44, No. 4, pp. 1286-1294, Jul. 2008.
- [4] E. M. Adzic, M. S. Adzic, V. A. Katic, D. P. Marcetic, and N. L. Celanovic, "Development of high-reliability EV and HEV IM propulsion drive with ultra-low latency HIL environment," IEEE Transactions on Industrial Informatics, Vol. 9, No. 2, pp. 630-639, May. 2013.
- [5] Y. S. Rao, and M. C. Chandorkar, "Real-time electrical load emulator using optimal feedback control technique," IEEE Transactions on Industrial Electronics, Vol. 57, No. 4, pp. 1217-1225, Apr. 2010.
- [6] R. Bojoi, E. Mando, S. G. Rosu, S. Vaschetto, and P. Soccio, "Virtual load with common mode active filtering for power hardware-in-the-loop testing of power electronic converters," Industrial Electronics Society, IECON 2014 - 40th Annual Conference of the IEEE, pp. 1875-1881, Oct. 2014.
- [7] S. Lentijo, S. D'Arco, and A. Monti, "Comparing the dynamic performances of power hardware-in-the-loop interfaces," IEEE Transactions on Industrial Electronics, Vol. 57, No. 4, pp. 1195-1207, Apr. 2010.
- [8] F. Lehfuss, G. Lauss, P. Kotsampopoulos, N. Hatzargyriou, P. Crolla, and A. Roscoe, "Comparison of multiple power amplification types for power hardware-in-the-loop applications," In proceedings of Complexity in Engineering (COMPENG), pp. 1-6, Jun. 2012.
- [9] J. H. Park, H. G. Jeong, and K. B. Lee, "An improved DPWM method for reduction of resonant problem in the inverter," In proceedings of Energy Conversion Congress and Exposition (ECCE), pp. 1528-1533, Sep. 2014.
- [10] S. J. Lee, J. S. Lee, and K. B. Lee, "A new switching method for reducing switch loss of single-phase three-level NPC inverter," The transactions of the Korean Institute of Electrical Engineers, Vol. 64, No. 2, pp. 268-275, Feb. 2015.

## 저 자 소 개



### 주 성 탁 (Sung-Tak Jou)

2005년 아주대 전자공학과 졸업. 현재 아주대 전자공학과 석박사 통합과정.

E-mail : jst@ajou.ac.kr



### 이 교 범 (Kyo-Beum Lee)

1997년 아주대 공대 전자공학부 졸업. 1999년 동 대학원 제어계측공학과 졸업 (석사). 2003년 고려대 전기공학과 졸업 (공학). 2003년~2006년, Aalborg 대학교 에너지기술학과(덴마크). 2006년~2007년 전북대 전기공학과 조교수. 2007년~현재 아주대 전자공학과 교수.

E-mail : kyl@ajou.ac.kr