

3차원 순차적 집적회로에서 계면 포획 전하 밀도 분포와 그 영향

안태준¹ · 이시현² · 유윤섭^{3*}

Interface trap density distribution in 3D sequential Integrated-Circuit and Its effect

TaeJun Ahn¹ · Si Hyun Lee² · YunSeop Yu^{3*}

¹Department of Electronic Engineering, Hankyong National University, Anseong 456-749, Korea

²Department of Information and Communication, Dong-Seoul University, Seongnam 461-714, Korea

^{3*}Department of Electrical, Electronic and Control Engineering, Hankyong National University, Anseong 456-749, Korea

요 약

3차원 순차적 집적회로에서 열에 의한 손상으로 생성되는 계면 포획 전하가 트랜지스터의 드레인 전류-게이트 전압 특성에 미치는 영향을 소개한다. 2차원 소자 시뮬레이터를 이용해서 산화막 층에 계면 포획 전자 분포를 추출한 결과를 설명한다. 이 계면 포획 전자분포를 고려한 3차원 순차적 집적회로에서 Inter Layer Dielectric (ILD)의 길이에 따른 하층 트랜지스터의 게이트 전압의 변화에 따라서 상층 트랜지스터의 문턱전압 V_{th} 의 변화량에 대해서 소개한다. 상대적으로 더 늦은 공정인 상층 HfO₂층 보다 하층 HfO₂층과 양쪽 SiO₂층이 열에 의한 영향을 더 많이 받았다. 계면 포획 전하 밀도 분포를 사용하지 않았을 때 보다 사용 했을 때 V_{th} 변화량이 더 적게 변하는 것을 확인 했다. 3차원 순차적 인버터에서 ILD의 길이가 50nm이하로 짧아질수록 점점 더 V_{th} 변화량이 급격히 증가하였다.

ABSTRACT

This paper introduces about the effect on $I_{DS}-V_{GS}$ characteristic of transistor that interface trap charge is created by damage due to heat in a 3D sequential inverter. A interface trap charge distribution in oxide layer in a 3D sequential inverter is extracted using two-dimensional device simulator. The variation of threshold voltage of top transistor according to the gate voltage variation of bottom transistor is also described in terms of Inter Layer Dielectric (ILD) length of 3D sequential inverter, considering the extracted interface trap charge distribution. The extracted interface trap density distribution shows that the bottom HfO₂ layer and both the bottom and top SiO₂ layer were relatively more affected by heat than the top HfO₂ layer with latest process. The threshold voltage variations of the shorter length of ILD in 3D sequential inverter under 50nm is higher than those over 50nm. The V_{th} variation considering the interface trap charge distribution changes less than that excluding it.

키워드 : 3차원 순차적 집적회로, 계면 포획 전하 밀도 분포, 3차원 순차적 인버터, 문턱전압

Key word : 3D sequential integration, Interface trap charge density distribution, 3D sequential inverter, threshold voltage

Received 25 August 2015, Revised 17 September 2015, Accepted 05 October 2015

* Corresponding Author YunSeop Yu(E-mail:ysyu@hknu.ac.kr, Tel:+82-31-670-5293)

Department of Electrical, Electronic and Control Engineering, Hankyong National University, Anseong, 456-749, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2015.19.12.2899>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

금속-산화막 반도체 전계효과 트랜지스터(MOSFET)의 개발로부터 반도체 집적 회로의 발전의 핵심은 무어의 법칙(Moore's Law)처럼 많은 트랜지스터를 한정된 공간에 집적하기 위함이었다. 그래서 트랜지스터의 크기를 줄임으로써 집적 효율을 증가시켜왔다. 하지만 트랜지스터의 크기를 줄이는 것은 분명히 물리적 한계가 있고 이와 같은 문제에서 탈피하기 위해 3D 구조에 관심을 가지게 되었다[1].

3D 구조에서 먼저 시도한 것은 parallel integration 구조이다. 하지만 parallel 구조는 층과 층사이의 간격이 매우 크고 수 마이크로미터 크기 이상의 via가 요구되고 집적화 하는데 큰 한계점이 있다. 반면에 3D sequential integration은 트랜지스터 위에 트랜지스터를 바로 쌓아 올리는 공정으로, parallel 구조에 비해 정렬(alignment) 성능도 뛰어나고 수십 나노미터 크기 이하의 via가 요구되고 집적도도 훨씬 좋다. 하지만 3D sequential integration에도 해결해야 할 과제는 다음과 같다[2]. 하나의 웨이퍼에 순차적으로 공정하기 때문에 bottom 트랜지스터의 성능 보호를 위해 650°C 이하에서 top 트랜지스터의 공정이 이루어져야 하는 것이다[3, 4]. 그럼에도 불구하고 공정 시 bottom 트랜지스터는 열에 의한 손상을 받는다. 참고 문헌 [5]의 Fig. 1에서 실제 트랜지스터의 드레인 전류-게이트 전압($I_{DS}-V_{GS}$) 특성을 보면, Subthreshold Swing(SS)이 bottom 트랜지스터는 약 120 mV/Dec이고 top 트랜지스터는 약 160 mV/Dec로 이상적인 60 mV/Dec 보다 상당히 크게 나타났다. 이것으로 보아 계면 포획 전하(Interface Trap Charge)가 생성됐을 것으로 예측된다. 계면 포획 전하의 생성은 $I_{DS}-V_{GS}$ 특성에 영향을 미칠 것으로 추측되므로 계면 포획 전하의 밀도 분포를 찾아내고 이것이 실제 회로 및 소자 설계 시 어떤 영향을 주는 지 알아 볼 필요가 있다. 특히, Bottom 트랜지스터와 top 트랜지스터 사이에 전기적 영향(electrical coupling) 중 하나인 Inter Layer Dielectric (ILD) 길이 변화에 따른 문턱 전압 V_{th} 의 변화를 확인해 보면 계면 포획 전하 밀도 분포를 고려하지 않은 V_{th} 의 변화는 알려진 바가 있다[6]. 하지만 계면 포획 전하 밀도 분포를 고려한 V_{th} 의 변화는 아직 알려진 바가 없다. 따라서 계면 포획 전하 밀도 분포를 추출하고 V_{th} 의 변화에 어떤 영향을 주는 지 알아볼 필요가 있다.

본 논문에서는 시뮬레이션에 사용한 구조를 설명하고 시뮬레이션 모델을 설명한다. 그리고 계면 포획 전하 밀도 분포의 추출과 그 영향에 대한 시뮬레이션 결과 및 전기적 특성을 살펴본다. 시뮬레이션 결과에 대해 설명하고 결론을 도출한다.

II. 3D sequential 트랜지스터의 구조

2.1. 구조

그림 1은 PMOS 위에 저온 공정으로 PMOS를 쌓아 올린 참고 문헌 [5]의 Fig. 2 구조를 ATLAS로 재현한 적층 트랜지스터 구조를 나타낸다. 트랜지스터 구조에서 채널 부분은 Si를 사용하였고 게이트와 소스, 드레인 부분은 NiSi를 사용하였다. 측벽(side wall) 부분은 Si_3N_4 를 사용하였고 게이트 산화막 부분은 HfO_2 , 나머지 산화막 부분은 SiO_2 를 사용하였다. 트랜지스터 구조의 세부 파라미터로 게이트의 길이는 $L_G = 50 \text{ nm}$, ILD의 두께는 $T_{ILD} = 23 \text{ nm}$, 게이트 산화막의 두께는 $T_{HfO_2} = 2.5 \text{ nm}$, bottom FET의 실리콘 두께는 $T_{Si_bot} = 10 \text{ nm}$, top FET의 실리콘 두께는 $T_{Si_top} = 20 \text{ nm}$ 이다.

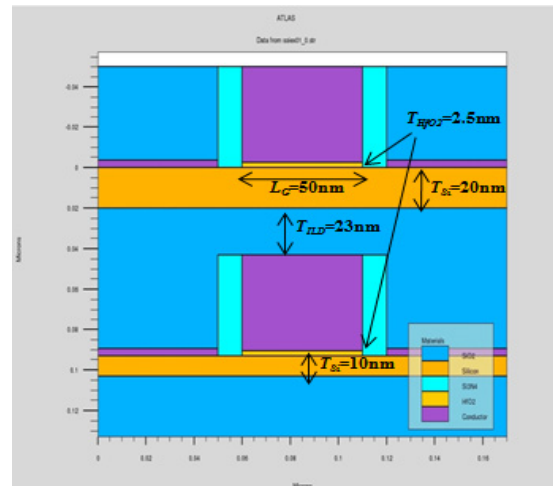


Fig. 1 3D sequential transistor structure reproduced for ATLAS

2.2. 시뮬레이션 모델

시뮬레이션에 사용한 이동도 모델은 Lombardi CVT model, 재결합 모델은 AUGER model과 SRH model, 캐

리어 특성 모델은 FERMI model이 사용되었다[7]. 온도는 300K이다. 시간에 따른 도너 트랩 반응식은 ATLAS의 다음 식과 같이 표현된다[7].

$$\frac{dN^{+id}}{dt} = DENSITY v_p [SIGP(p(1 - F_{tD}) - F_{tD} n_i DEGEN.FAC \exp\frac{E_i - E_t}{kT}) - v_n SIGN(n F_{tD} - \frac{(1 - F_{tD}) n_i \exp\frac{E_t - E_i}{kT}}{DEGEN.FAC})]$$
(1)

여기서 DENSITY는 트랩 밀도를 나타내고 F_{tD} 는 이온화 확률을 나타낸다. SIGN과 SIGP는 전자와 홀의 단면 포획을 나타내고 통상적인 값인 10^{-16} 과 10^{-17}cm^2 으로 설정했다. v_n 과 v_p 는 전자와 홀의 열에 의한 속도를 나타내고 유효질량을 고려해서 2.69×10^{14} 과 $3.09 \times 10^{14} \text{m/s}$ 으로 설정했다. E_i 는 고유 페르미 에너지 준위를 나타내고, E_t 는 트랩 에너지 준위를 나타내고 0eV부터 0.5eV까지 0.025eV 간격으로 설정해주었다. DEGEN.FAC는 트랩 중앙의 degeneracy 요인을 나타내고 1로 설정했다. 각각의 E_t 에 DENSITY를 변화시켜가면서 시뮬레이션을 진행했다.

III. 시뮬레이션 결과 및 전기적 특성

3.1. 계면 포획 전하 밀도 분포 추출

그림 2와 3은 계면 포획 전하 분포를 추출하기 위해 실제 논문 데이터[5]와 맞춘 시뮬레이션 결과 값이고 그림 4와 5는 그림 2와 3로부터 추출한 계면 포획 전하의 분포를 나타낸다.

그림 2은 bottom 트랜지스터에서 두 가지 드레인 전압 $V_{DS} = 0.1$ 과 1V의 $I_{DS}-V_{GS}$ 특성 곡선이다. 검정과 빨강의 비어있는 기호는 참고 논문의 실제 실험 데이터이다. 드레인 전압이 0.1V일 때의 최대 전류는 $53 \mu\text{A}/\mu\text{m}$ 이고 SS는 121 mV/Dec이다. 드레인 전압이 1V일 때의 최대 전류는 $311 \mu\text{A}/\mu\text{m}$ 이고 SS는 124 mV/Dec이다. 자주색과 하늘색 채워진 기호는 계면 포획 전하 분포를 사용하지 않았을 때의 결과이다. 드레인 전압이 0.1V일 때의 최대 전류는 $303 \mu\text{A}/\mu\text{m}$ 이고 SS는 85 mV/Dec

이다. 드레인 전압이 1V일 때의 최대 전류는 $1390 \mu\text{A}/\mu\text{m}$ 이고 SS는 95 mV/Dec이다. 두 결과는 전류 레벨이나 SS에 서로 상당한 차이가 존재하나 실선인 계면 포획 전하를 고려한 결과는 실제 실험 데이터와 거의 비슷하다. 드레인 전압이 0.1V일 때의 최대 전류는 $59 \mu\text{A}/\mu\text{m}$ 이고 SS는 113 mV/Dec이다. 드레인 전압이 1V일 때의 최대 전류는 $220 \mu\text{A}/\mu\text{m}$ 이고 SS는 120 mV/Dec이다. 전류 레벨은 줄어들고 SS는 증가 하였다.

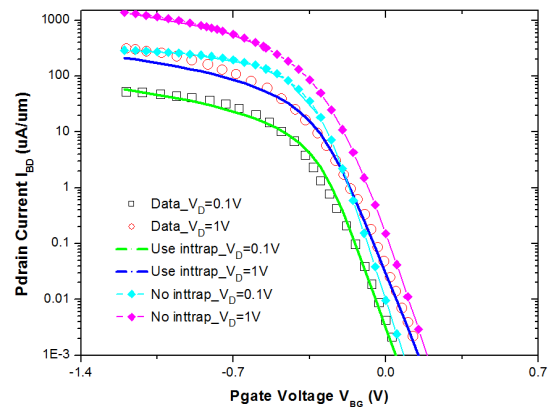


Fig. 2 $I_{DS}-V_{GS}$ characteristic curve of bottom transistor

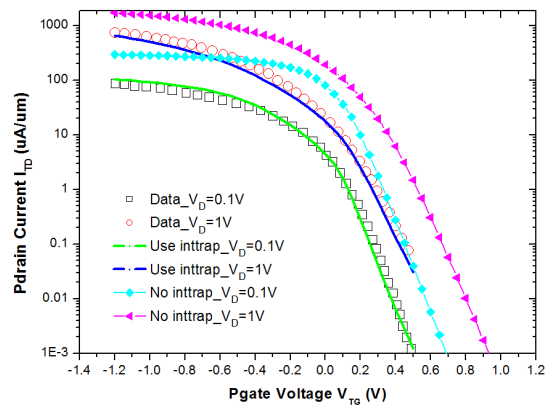


Fig. 3 $I_{DS}-V_{GS}$ characteristic curve of top transistor

그림 3은 top 트랜지스터의 $I_{DS}-V_{GS}$ 특성 곡선이다. 검정과 빨강의 비어있는 기호는 참고 논문의 실제 실험 데이터이다. 드레인 전압이 0.1V일 때의 최대 전류는 $81 \mu\text{A}/\mu\text{m}$ 이고 SS는 149 mV/Dec이다. 드레인 전압이 1V일 때의 최대 전류는 $743 \mu\text{A}/\mu\text{m}$ 이고 SS는 168

mV/Dec이다. 자주색과 하늘색 채워진 기호는 계면 포획 전하 분포를 사용하지 않았을 때의 결과이다. 드레인 전압이 0.1 V일 때의 최대 전류는 300 $\mu\text{A}/\mu\text{m}$ 이고 SS는 120 mV/Dec이다. 드레인 전압이 1V일 때의 최대 전류는 1740 $\mu\text{A}/\mu\text{m}$ 이고 SS는 142 mV/Dec이다. 두 결과는 전류 레벨이나 SS에 서로 상당한 차이가 존재하나 실선인 계면 포획 전하를 고려한 결과는 실제 실험 데이터와 거의 비슷하다. 드레인 전압이 0.1V일 때의 최대 전류는 100 $\mu\text{A}/\mu\text{m}$ 이고 SS는 129 mV/Dec이다. 드레인 전압이 1 V일 때의 최대 전류는 640 $\mu\text{A}/\mu\text{m}$ 이고 SS는 159 mV/Dec이다. 전류 레벨은 줄어들고 SS는 증가하였다.

그림 4는 bottom과 top 트랜지스터 HfO₂층의 계면 포획 전하 밀도 (interface trap density) D_{it} 분포를 나타내고 있다. 참고문헌 [8]의 Fig. 6 (c)와 전체적인 그래프 개형과 D_{it} 의 크기가 크게 차이를 보이지 않는다. 그림 5는 top 트랜지스터의 SiO₂층 D_{it} 분포를 나타내고 있다. 참고문헌 [9]의 Fig. 5 (a)와 D_{it} 가 10배 차이가 나지만 그래프 개형은 비슷하다. Top 트랜지스터를 제작하는 공정 온도가 650°C이하이지만 그 온도 역시 상당히 높아 산화막에 계면 포획 전하 밀도가 증가한 것으로 보인다[8].

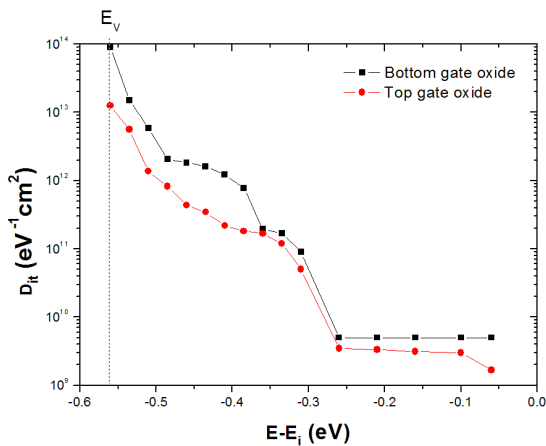


Fig. 4 HfO₂ layer D_{it} distribution of top and bottom transistor

3.2. 추출한 계면 포획 전하 밀도 분포가 주는 영향

그림 6은 추출한 계면 포획 전하 밀도 분포를 사용하였을 때와 사용하지 않았을 때의 bottom 트랜지스터의 두 가지 게이트 전압(0 V와 -1 V)과 ILD 길이에 따른 top

트랜지스터의 V_{th} 변화량을 나타낸다. V_{th} 변화량은 bottom 게이트의 전압이 0 V와 -1 V일 때의 V_{th} 의 차이를 드레인-소스 전압이 0.1 V와 1 V일 때를 나타낸 것이다.

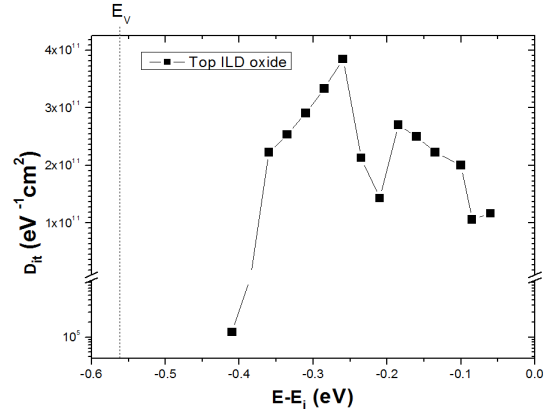


Fig. 5 SiO₂ layer (ILD layer) D_{it} distribution of top transistor

검정색 결과는 계면 포획 전하 밀도 분포를 사용하지 않은 결과이고 빨간색 결과는 계면 포획 전하 밀도 분포를 사용한 결과이다. 그리고 비어 있는 기호는 드레인-소스 전압이 0.1 V 일 때를 나타내고 채워진 기호는 드레인-소스 전압이 1 V 일 때를 나타낸다. ILD의 길이가 50 nm 이상에서는 변화량이 100 mV 이하로 bottom 게이트의 영향을 거의 받지 않고, 50 nm 미만에서는 변화량이 100 mV 이상으로 bottom 게이트의 영향을 크게 받는다.

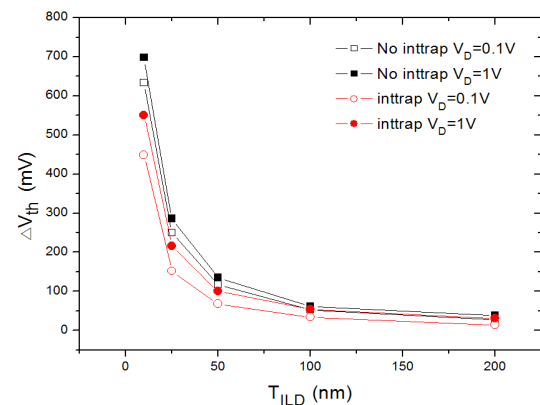


Fig. 6 V_{th} variation of top transistor in accordance with the gate voltage(0V and -1V) for the bottom transistor and the length of ILD

IV. 결과 및 논의

그림 2 와 3의 결과처럼 계면 포획 전하 밀도 분포를 적용해 전류 레벨과 SS 를 변화시켜 실험 데이터 $I_{DS}-V_{GS}$ 특성 곡선과 거의 비슷한 시뮬레이션 데이터를 얻어 내었다. 이때의 HfO_2 층과 SiO_2 층의 계면 포획 전하 밀도 D_{it} 를 추출하였다. bottom 트랜지스터의 HfO_2 층 D_{it} 가 좀 더 높게 추출되었다.

ILD에 따른 V_{th} 의 변화는 100 nm와 200 nm에서는 거의 영향을 받지 않았고, ILD가 50 nm이하로 작아질 때 계면 포획 전하 밀도 분포를 사용 하지 않았을 때는 V_{th} 가 100 mV에서 많게는 700 mV까지 변한다. 계면 포획 전하 밀도 분포를 사용 하였을 때는 V_{th} 가 80 mV에서 많게는 550 mV까지 변한다. 계면 포획 전하 밀도 분포를 사용 했을 때 보다 사용하지 않았을 때가 약 1.3배 정도 변화가 크다. 그리고 V_{DS} 가 0.1 V일 때 보다 1V일 때 V_{th} 가 평균 1.25배 더 많이 변화하는 것을 확인했다.

V. 결론

본 논문은 3차원 순차적 집적회로에서 산화막 층에 계면 포획 전하 분포를 Silvaco사의 2차원 소자 시뮬레이터인 ATLAS를 이용해서 추출한 결과를 설명했다. bottom 트랜지스터의 HfO_2 층 D_{it} 가 top 트랜지스터의 HfO_2 층보다 높게 나타나는 것으로 보아 열에 의한 영향을 더 많이 받은 것을 알 수 있다. SiO_2 층은 bottom과 top 둘 다 비슷한 영향을 받았다. 그러므로 순차적으로 집적하는 과정에서 후 공정인 top HfO_2 층은 열에 의한 손상을 적게 받았고, 그 외에 bottom HfO_2 층과 양쪽 SiO_2 층은 열에 의한 손상을 많이 받은 것을 확인 하였다. 추출한 계면 포획 전하 분포를 이용해서 3차원 순차적 인버터의 ILD의 길이와 bottom 트랜지스터의 게이트 전압의 변화에 따른 top 트랜지스터의 문턱전압 V_{th} 의 변화량에 대해서 설명했다. 계면 포획 전하 밀도 분포를 사용하지 않았을 때 보다 사용 했을 때 V_{th} 변화량이 더 적게 변하는 것을 확인 했다. ILD 길이가 50 nm 이하로 작아질 때 V_{th} 변화량이 100mV 이상 변화해서 bottom 트랜지스터에서 top 트랜지스터에 전기적 영향이 커짐을 보였다. 따라서 실제 회로 설계용 V_{th} 추출에 계면 포획 전하 밀도 분포를 고려해야 할 필요가 있다.

ACKNOWLEDGMENTS

This work was supported by a research grant from Hankyong National University for a academic exchange program in 2013.

REFERENCES

- [1] L. Clavelier, C. Deguet, L. Di Cioccio, E. Augendre, A. Brugere, P. Gueguen, Y. Le Tiec, H. Moriceau, M. Rabarot, T. Signamarcheix, J. Widiez, O. Faynot, F. Andrieu, O. Weber, C. Le Royer, P. Batude, L. Hutin, J-F. Damlencourt, S. Deleonibus, E. Defay, "Engineered substrates for Future More Moore and More Than Moore Integrated Devices," in *Proceeding of 2010 IEEE International Electron Devices Meeting (IEDM)*, San Francisco: pp. 2.6.1-2.6.4, 2010.
- [2] M. Vinet, P. Batude, C. Tabone, B. Previtali, C. LeRoyer, A. Pouydebasque, L. Clavelier, A. Valentian, O. Thomas, S. Michaud, L. Sanchez, L. Baud, A. Roman, V. Carron, F. Nemouchi, V. Mazzocchi, H. Grampeix, A. Amara, S. Deleonibus, O. Faynot, "3D monolithic integration: Technological challenges and electrical results," *Micro-electronic Engineering*, Vol. 88, pp. 331-335, 2011.
- [3] P. Batude, B. Sklenard, C. Xu, B. Previtali, B. De Salvo, M. Vinet, "Low temperature FDSOI devices, a key enabling technology for 3D sequential integration," in *Proceeding of International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA)*, pp. 1-4, 2013.
- [4] O. Billoint, H. Sarhan, I. Rayane, M. Vinet, P. Batude, C. Fenouillet-Beranger, O. Rozeau, G. Cibrario, F. Deprat, O. Turkyilmaz, S. Thuries, F. Clermidy, "From 2D to Monolithic 3D: Design Possibilities, Expectations and Challenges," in *Proceeding of the 2015 Symposium on International Symposium on Physical Design (ISPD '15)*, New York: pp. 127-127, 2015.
- [5] P. Batude, M. Vinet, C. Xu, B. Previtali, C. Tabone, C. Le Royer, L. Sanchez, L. Baud, L. Brunet, A. Toffoli, F. Allain, D. Lafond, F. Aussenac, O. Thomas, T. Poiroux and O. Faynot, "Demonstration of low temperature 3D sequential FDSOI integration down to 50 nm gate length," in *Proceeding of 2011 Symposium on VLSI Technology*, Kyoto:

- pp. 158-159, 2011.
- [6] P. Batude, M.-A. Jaud, O. Thomas, L. Clavelier, A. Pouydebasque, M. Vinet, S. Deleonibus, A. Amara, "3D CMOS Integration : Introduction of Dynamic coupling and Application to Compact and Robust 4T SRAM," in *Proceeding of 2008 IEEE International conference on Integrated Circuit Design and Technology*, Grenoble: pp. 281-284, 2008.
- [7] Atlas User's Manual, *DEVICE SIMULATION SOFTWARE*, Silaco. Inc, November 7, 2014.
- [8] M. Casse, X. Garros, O. Weber, F. Andrieu, G. Reibold, F. Boulanger, "A study of N-induced traps due to a nitrated gate in high-k/metal gate nMOSFETs and their impact on electron mobility," *Solid-State Electronics*, Vol. 65-66, pp.139-145, 2011.
- [9] T. Liao, X. Ji, Y. Hu, F. Yan, Y. Shi, G. Zhang and Q. Guo, "The Effect of Nitrogen on the Energy Distribution of Hole Traps Generated under Negative Bias Temperature Stress," *ECS Trans*, Vol. 44, Issue 1, pp. 1131-1135, 2012.



안태준(TaeJun Ahn)

2010년 2월 ~ 현재 : 한경대학교 전자공학과 학부
※ 관심분야 : 반도체 소자 및 회로 설계



이시현(Si Hyun Lee)

1999년 3월 건국대학교 대학원 전자공학과(공학박사)
1991년 1월 ~ 1995년 12월 (주)현대전자(현재: SK hynix), 산업전자연구소, 정보통신연구소 주임연구원
2014년 8월 ~ 2015년 7월 Visiting Scholar(Georgia Institute of Technology)
1998년 3월 ~ 현재 동서대학교 정보통신과 재직 중
※ 관심분야 : Low-Power & High Speed SoC Design, 3D IC Modeling, Embedded System Design



유윤섭(YunSeop Yu)

1995년 8월 고려대학교 전자공학과 (공학사)
1997년 8월 고려대학교 일반대학원 전자공학과 (공학석사)
2001년 8월 고려대학교 일반대학원 전자공학과 (공학박사)
2001년 9월 ~ 2002년 9월 미국 NIST 초청연구원
2014년 1월 ~ 2015년 7월 Georgia Institute of Technology Visiting Scholar
2002년 10월 ~ 현재 한경대학교 전기전자제어공학과 교수
※ 관심분야 : 반도체 소자 및 회로 설계, 고령친화 IT 기술