

## 고속 고성능 시그마-델타 ADC를 위한 최소왜곡 데시메이션 필터의 설계 및 분석

강호진 · 김형원\*

### Design and Analysis of Decimation Filters with Minimal Distortion for a High Speed High Performance Sigma-Delta ADC

Ho-jin Kang · Hyung-won Kim \*

Department of Electronic Engineering, Chungbuk National University, Cheongju 28644, Korea

#### 요 약

오버샘플링 방식을 기본으로 하는 시그마-델타 ADC는 고해상도를 구현할 수 있는 반면 고속 동작 시에는 높은 Signal to Noise and Distortion Ratio (SNDR) 성능을 달성하기 어려운 특성이 있다. 본 논문에서는 고속 동작 시에도 시그마-델타 ADC의 높은 SNDR 제공을 위한 데시메이션 필터의 설계 및 구현을 보인다. 이 데시메이션 필터는 통과 대역 내에서 신호의 왜곡을 최소화하기 위해 Butterworth 구조로 구성 하였다. 성능을 검증하기 위해 1-bit, 3차, OSR=64인 시그마-델타 모듈레이터에 제안된 데시메이션 필터를 적용하여 실험을 하였다. 시뮬레이션 실험을 통해 기존에 널리 쓰이던 CIC(cascaded integrator-comb) 방식의 데시메이션 필터 대비 제안된 Butterworth 구조의 데시메이션 필터가 매우 낮은 통과대역 왜곡을 가지며 따라서 높은 SNDR을 제공한다는 결과를 보인다.

#### ABSTRACT

While the oversampling sigma-delta ADCs are known to have high resolution, they often suffer from SNDR losses when operated at a very high data clock. This paper presents a design and implementation of a decimation filter that provides minimum distortion at passband for high-speed sigma-delta ADC. The proposed digital decimation filter employs a butterworth structure. To evaluate the performance of the proposed decimation filter, we implemented a 1-bit, third-order, OSR=64 sigma-delta modulator followed by the proposed decimation filter. Using the simulation and measurement, we compared the performance of the proposed decimation filter with a conventional CIC(cascaded integrator comb) decimation filter, which is commonly used in most sigma-delta ADCs. The measurement results show that the proposed decimation filter presents substantially lower distortion at passband and thus can provide must higher SNDR.

**키워드** : 시그마-델타 아날로그 디지털 변환기, 데시메이션 필터, CIC 필터, 버터워스 필터

**Key word** : Sigma-Delta ADC, Decimation Filter, CIC Filter, Butterworth Filter

Received 02 October 2015, Revised 30 October 2015, Accepted 09 November 2015

\* Corresponding Author Hyung-won Kim(E-mail:hwkim@cbnu.ac.kr, Tel:+82-43-261-2399)  
Department of Electronic Engineering, Chungbuk National University, Cheongju 28644, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2015.19.11.2649>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

현재 시그마-델타 ADC는 고해상도를 필요로 하는 기기에 널리 쓰이고 있다. 하지만 오버샘플링 방식을 기반으로 하기 때문에 고속 동작을 필요로 하는 기기에 사용하기에는 여러 제한적인 요소들을 가지고 있다. 본 논문은 그 중 고속의 시그마 델타 ADC가 가지는 넓은 신호 대역폭 내에서 데시메이션 필터에 의해 발생하는 신호의 왜곡을 최소화 하는 방법을 제시한다. 기존에 제안되어있는 데시메이션 필터 구조로는 대표적으로 Hogenauer가 제안한 CIC(cascaded integrator comb) 필터가 있다[1]. 이 필터는 곱셈기와 계수를 저장할 ROM 없이 효율적으로 샘플링 주파수를 큰 폭으로 낮출 수 있어 널리 쓰이고 있지만 통과대역에서 신호의 왜곡이 큰 단점을 가지고 있다. 본 논문에서는 통과 대역의 평탄화 수준이 가장 뛰어나다고 알려진 Butterworth 필터를 설계하여 두 필터의 성능을 비교 분석하였다.

본 논문은 다음과 같이 구성된다. II장에서 시그마-델타 ADC의 구조에 대해 논하고 III장에서는 II장에서 논의된 필터 구조를 설계하는 과정을 기술한다. IV장에서는 데시메이션 필터를 최적화하여 구현하는 내용을 다루고 V장에서는 구현한 데시메이션 필터의 측정 결과를 비교하였다. 그리고 마지막으로 VI장에서 본 논문에 대한 결론과 향후 적용 방향을 제시하면서 끝을 맺는다.

## II. 시그마-델타 ADC의 구조

시그마-델타 ADC는 아날로그 신호영역인 시그마-델타 모듈레이터 단과 디지털 신호영역인 데시메이션 필터 단으로 구성되어 있다. 본 논문에서 제안하는 데시메이션 필터는 163.84MHz의 샘플링 주파수에서 동작하는 1-bit, 3차, OSR=64인 시그마-델타 모듈레이터를 대상으로 설계되었다.

Fig. 1은 본 논문에서 사용된 단일 비트 출력의 3차 시그마-델타 모듈레이터의 구조를 나타낸다. 그리고 Fig. 2는 Fig. 1에서 나타난 모듈레이터를 switched-capacitor 방식으로 구현한 아날로그 회로도를 보여주고 있다. 모듈레이터는 총 3개의 적분기로 구성되어 있으며 비 중복 클럭에 의해 동작한다. 적분기는 이상적

인 소자로 구성하고 시뮬레이션을 통하여 루프필터의 각 계수의 값을 결정하였다[2].

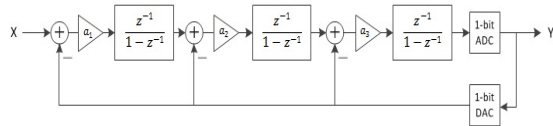


Fig. 1 Structure of third order sigma-delta ADC modulator

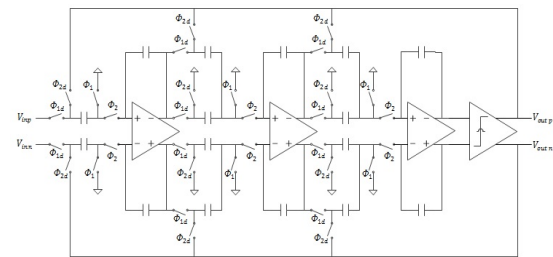


Fig. 2 Analog schematic of sigma-delta modulator

Fig. 3은 Hogenauer CIC 필터의 구조를 나타낸다. 이 구조는 연속으로 배치된 적분기와 미분기 파트로 구성되어 있다. CIC 필터는 곱셈기와 계수 없이도 Sinc 필터와 유사한 기능으로 구현 가능하여 시그마-델타 모듈레이터의 양자화 잡음을 효율적으로 없앨 수 있다는 장점을 가지고 있다. 이때 양자화 잡음을 충분히 제거하기 위해서는 CIC 필터의 차수가 시그마-델타 모듈레이터의 차수보다 한 차수 높아야 한다[3]. 따라서 본 논문에서는 3차 시그마-델타 모듈레이터를 대상으로 하여 CIC 필터는 4차 구조를 사용하였다.

Fig. 4는 제안하는 데시메이션 필터에 사용되는 Butterworth 필터의 구조를 보여준다. Fig. 4의 하단에 보이는 그림은 Section 하나의 내부 구조를 나타낸다. 그림에 보이는 것과 같이 한 Section의 차수는 2차수로 구성되어 있다. 제안하는 Butterworth 필터는 같은 구조지만 각기 다른 계수 값을 가지는 Section들을 순서대로 10개 사용하여 총 20차수로 설계되었다. Butterworth 필터는 통과 대역이 가장 평탄한 필터로 알려져 있으며 전이 대역에서는 극점 당 20dB/decade의 기울기를 갖는다. 따라서 차수가 높을수록 좁은 전이대역을 가질 수 있지만 필터의 파워 소모와 회로의 크기 제약사항을 고려하여 20차수로 설계하였다.

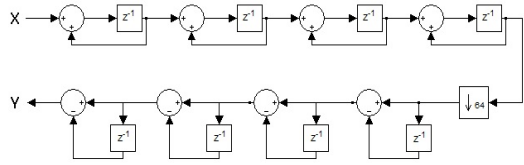


Fig. 3 Structure of CIC decimation filter

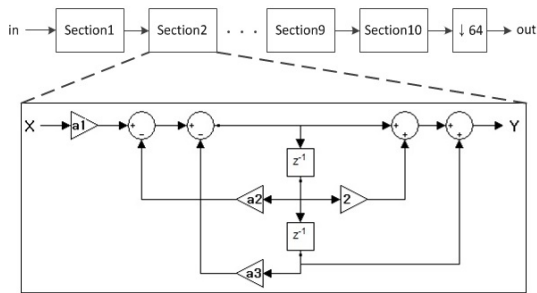


Fig. 4 Structure of Butterworth decimation filter

### III. 데시메이션 필터의 설계

본 논문에서는 Fig. 3에 나타난 CIC 필터와 Fig. 4의 Butterworth 필터 두 가지 데시메이션 필터를 설계하였다. 본 논문의 4차 CIC 필터는 높은 입력 주파수에서 동작하는 4개의 디지털 적분기와 입력 주파수보다 64배 만큼 낮은 주파수에서 동작하는 4개의 콤브 필터 단으로 구성되어 있다. 하나의 적분기에 대한 전달 함수는 식 (1)과 같다.

$$H_I(z) = \left( \frac{1}{1 - z^{-1}} \right) \quad (1)$$

다운샘플링의 비가 R, 콤브 필터의 각 단에서의 지연 개수를 D라고 했을 때 한 콤브 필터 단의 전달 함수는 식 (2)와 같다.

$$H_C(z) = (1 - z^{-RD}) \quad (2)$$

식 (1), (2)를 이용해 L차수의 CIC 필터의 전달 함수를 구하면 식 (3)과 같다.

$$H(z) = \frac{(1 - z^{-RD})^L}{(1 - z^{-1})^L} = \left[ \sum_{k=0}^{RD-1} z^{-k} \right]^L \quad (3)$$

식(3)을 통해 CIC 필터는 RD개의 레지스터를 가진 FIR 필터와 특성이 같은 것을 알 수 있고 주파수 응답으로 보면 저역통과 필터의 특성을 가지는 것을 알 수 있다. 본 설계에서는 3차 구조의 시그마 델타 모듈레이터를 대상으로 하였으므로 CIC 필터의 차수는 4차로 정했으며 콤브 필터에서 사용되는 지연 값은 1로 정하였다. Fig. 5는 설계된 CIC 필터의 크기 응답곡선을 보이고 있다.

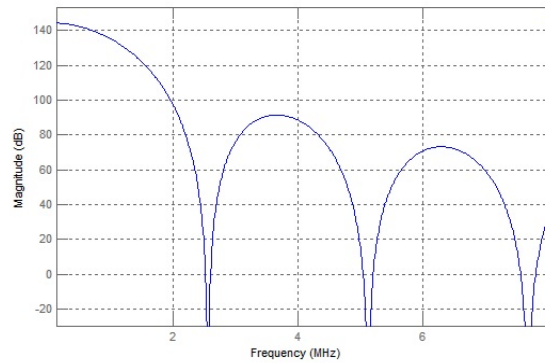


Fig. 5 Magnitude response of CIC filter

Butterworth 필터는 통과 대역에서 리플을 발생시키지 않는 평탄화 성능이 가장 우수한 필터로 알려져 있다[4]. 이 특성을 활용하여 넓은 범위의 입력 주파수를 사용하는 고속 시그마-델타 ADC의 경우에도 입력 신호의 왜곡을 최소화 할 수 있어서 Signal to Noise and Distortion Ratio (SNDR)을 높게 유지할 수 있게 된다. Butterworth 필터의 크기에 대한 전달 함수는 식 (4)와 같다.

$$|H(j\omega)| = \frac{1}{\sqrt{1 + \left(\frac{\omega}{\omega_0}\right)^{2n}}} \quad (4)$$

식(4)에서  $\omega$ 는 주파수 입력이며  $\omega_0$ 는 컷오프 주파수,  $n$ 은 필터의 차수이다. 본 논문에서는 이러한 특성을 가

지는 Butterworth 필터를 Fig. 4와 같은 구조의 디지털 필터로 설계하였다. 이때 2차수로 구성된 한 Section의 전달 함수는 식 (5)와 같이 나타낼 수 있다[5].

$$H(z) = \frac{b_0 + b_1z^{-1} + b_2z^{-2}}{1 + a_1z^{-1} + a_2z^{-2}} \quad (5)$$

식(5)에서  $a$ 와  $b$ 는 Section의 계수 값에 해당한다. 이 계수 값이 각기 다른 Section들을 Fig. 4와 같이 다단으로 연결하여 Butterworth 필터를 구성했을 때 필터의 전체 전달 함수는 식 (6)과 같다[5].

$$H(z) = G \prod_{k=1}^N \frac{b_{k0} + b_{k1}z^{-1} + b_{k2}z^{-2}}{1 + a_{k1}z^{-1} + a_{k2}z^{-2}} \quad (6)$$

식 (6)에서  $G$ 는 필터 시스템의 이득을 나타내고  $k$ 는 Butterworth 필터를 구성하는 Section의 총 개수이다.

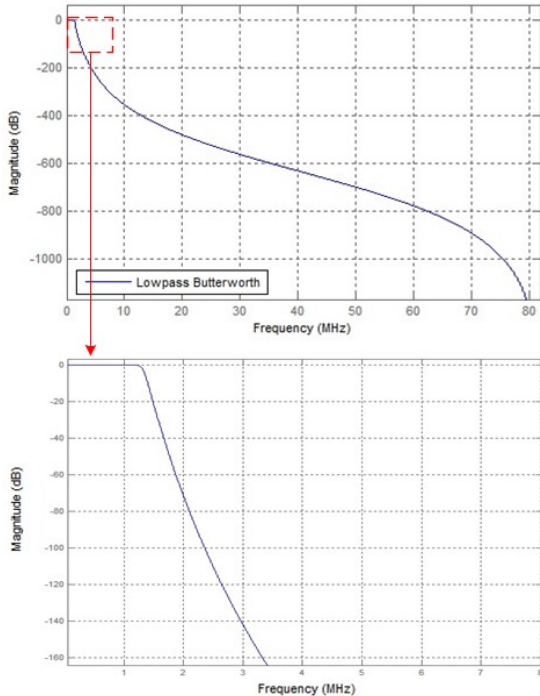


Fig. 6 Magnitude response of Butterworth filter

#### IV. 데시메이션 필터 구현의 최적화

Butterworth 필터의 차수와 계수의 설정은 MATLAB의 시뮬레이션을 통하여 결정하였으며 하드웨어의 복잡성과 면적을 줄이기 위해 계수의 곱셈연산을 일반 곱셈기 대신 시프트와 덧셈기를 사용하여 처리하였다. 이와 같은 연산을 위해 계수는 2의 보수 형태로 표현하였고 필터의 연산량을 줄이기 위해 계수에서 0이 아닌 값들을 줄여주는 CSD(Canonical Signed Digit) 표현법을 적용하였다[6]. 설계된 20차수 Butterworth 필터의 크기 응답 곡선은 Fig. 6에 나타나 있다.

Butterworth 필터의 성능 및 하드웨어 면적 분석을 위해 실제로 구현한 20차수의 Butterworth 필터 구현의 예를 아래에 보인다.

Table. 1 Coefficients of Butterworth filter

Section	Real coefficients from MATLAB	Binary coefficients selected by CSD method
1	1.9894860499492 0.9920589310272	10.0000001011010010 1.0000001000001001
2	1.9740033470568 0.9765562052985	10.0000101010101000 1.0000101000000001

Table. 1은 일부 Section의 계수를 CSD표현법을 적용한 2진수로 나타낸 것을 보여주고 있다. 2진수는 소수점 아래 16번째 자리까지만 사용하였다. 0은 연산이 필요없는 bit를 나타낸다. 1은 해당 지수만큼 입력 값을 left-shift 후 결과를 누적하는 bit를 나타낸다.  $\bar{1}$ 은 2의 보수를 취한 후 해당 지수만큼 입력 값을 시프트 후 누적하는 bit를 나타낸다.

이해를 돕기 위해 Fig. 4의 Butterworth 필터 내부 Section 2의 계수  $a_3$ 에 CSD표현법을 적용한 회로를 Fig. 7에 예로 들었다. 이러한 과정을 통해 Table. 1에 나타난 두 Section을 합하여 기존 2진수로 표현했을 때 0이 아닌 값의 개수가 총 50개였던 것에 비해 CSD표현법을 적용 후 그 개수가 19개로 줄어 연산량이 크게 감소하는 것을 알 수 있다. 또한 Fig. 7에 보이는 것처럼 기존의 일반 곱셈기 사용 대비 시프트와 덧셈기의 사용 개수가 크게 줄어 회로 크기 면에서도 overhead가 매우 낮다.

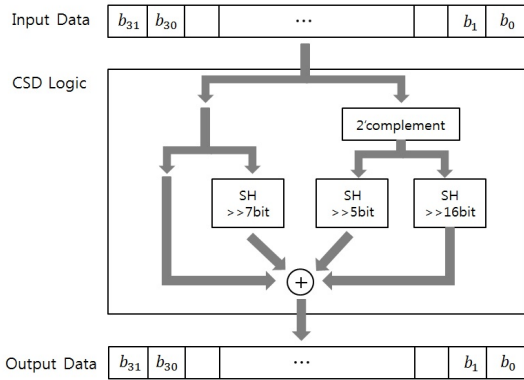


Fig. 7 Butterworth 필터의 CSD Logic 설계의 예 (계수 a3 = 1.0000101000000001)

### V. 측정 결과

제안된 데시메이션 필터의 성능 검증을 위해 샘플링 주파수 163.84MHz의 시그마-델타 ADC를 설계하였다. 이 ADC는 단일 비트 3차, OSR이 64인 시그마-델타 모듈레이터 설계를 포함한다. 데시메이션 필터는 모듈레이터의 고주파 노이즈를 제거하고, 출력 주파수를 OSR 배수만큼 데이터 샘플 속도를 변환시켜서 목표신호의 Nyquist 주파수로 낮추는 역할을 한다. Butterworth 데시메이션 필터의 통과 대역은 1.28MHz로 설계되었다. 데시메이션 필터의 성능비교를 위해 통과 대역 내에서 입력 신호의 주파수 변화에 따른 CIC 필터와 Butterworth 필터의 신호 왜곡 크기를 측정하였다.

CIC 필터의 경우 Fig. 5의 크기 응답곡선을 통해 목표 신호대역의 최고치인 1.28MHz의 주파수를 가지는 신호를 인가했을 때 출력되는 신호의 크기가 약 6배 만큼 감소되어 나타나는 것을 확인 할 수 있다. 반면 평탄한 통과 대역을 가지는 Butterworth 필터의 경우 통과 대역 내의 어떠한 신호를 인가하더라도 출력되는 신호의 크기 왜곡은 거의 나타나지 않는 것을 Fig. 6을 통해 확인 할 수 있다.

상기 2가지 데시메이션 필터들이 ADC 성능에 주는 영향을 분석하기 위해 SNDR와 Effective Number of Bits (ENOB)을 측정하였다. 여기서 주파수 영역변환을 위해 64K-point FFT(Fast Fourier Transform)를 이용하

였다.

1.28MHz의 입력 신호에 대해 Fig. 8은 3차 시그마-델타 모듈레이터의 출력 스펙트럼을 나타내고 Fig. 9는 CIC 데시메이션 필터 단의 출력 스펙트럼, 그리고 Fig. 10은 Butterworth 데시메이션 필터를 사용했을 때 최종 출력의 스펙트럼을 나타낸다.

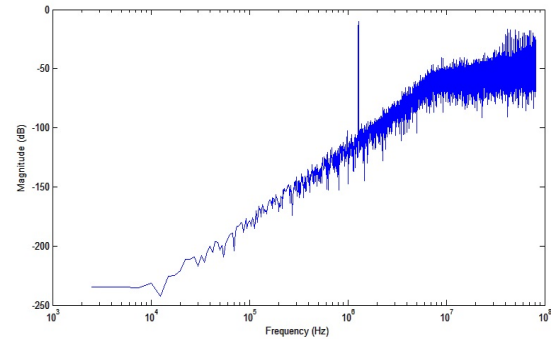


Fig. 8 Power spectrum of sigma-delta modulator

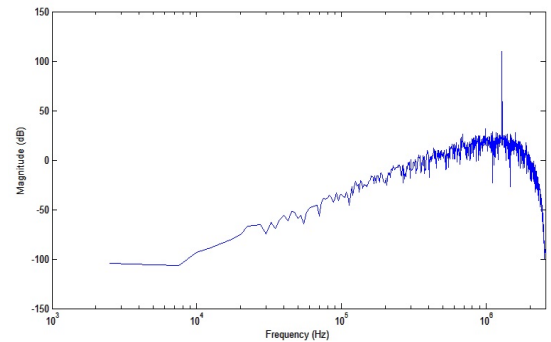


Fig. 9 Power spectrum of CIC filter

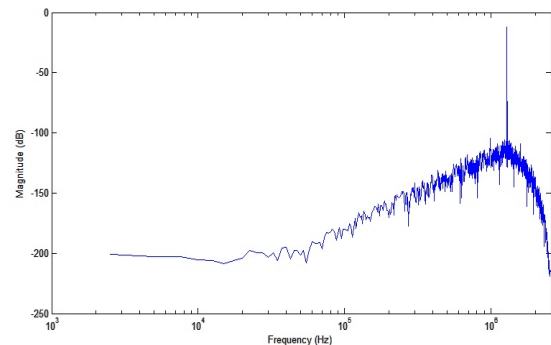


Fig. 10 Power spectrum of Butterworth filter

**Table. 2** Performance of sigma-delta ADC

	Modulator	CIC	Butterworth
SNDR(dB)	82.16	67.07	81.57
ENOB(bit)	13.35	10.84	13.25

Table. 2는 상기 1.28MHz의 입력 신호에 대한 ADC의 최종출력인 데시메이션 필터 각 출력에서의 SNDR과 ENOB를 나타낸다.

본 논문에서 제안된 Butterworth 구조의 데시메이션 필터가 일반적인 CIC필터 대비 14.5 dB의 SNDR 향상, 2.41 bit의 ENOB 성능향상을 제공하는 결과를 확인 할 수 있다. 본 실험을 위해 구현한 Butterworth filter는 계수 곱셈기를 adder와 shifter만으로 변환하여 구현하여 회로 크기 면에서도 overhead가 매우 낮음을 확인하였다.

## VI. 결 론

본 논문은 통과 대역이 평탄하고 transition 대역이 가파른 Butterworth 필터의 장점을 이용한 데시메이션 필터 설계를 소개하였다. 또한 이를 고속 광대역의 시그마-델타 ADC에 적용하여 성능분석을 하였다. 기존 CIC 필터와 성능비교 결과, 제안된 데시메이션 필터는 통과대역에서 신호크기 왜곡을 크게 줄일 수 있으며 14.5 dB의 SNDR 성능개선을 제공함을 보였다. 제안된 데시메이션 필터를 사용한 시그마-델타 ADC는 FDSC (Frequency Division Concurrent Sensing) 방식[7]의 터치스크린 컨트롤러 SoC설계에 적용되었으며 현재 CMOS 65nm 공정으로 칩 제작 중이다.

## ACKNOWLEDGMENTS

This work was supported by the Center for Integrated Smart Sensors funded by the Ministry of Science, ICT & Future Planning as Global Frontier Project.

## REFERENCES

- [1] E. B. Hogenauer, "An Economical class of Digital Filters for Decimation and Interpolation," *IEEE Trans., Acoustic, Speech and Signal Processing*, vol. ASSP -29, No. 2, pp. 155-162, April. 1981.
- [2] Jose M. de la Rosa, Rocio del Rio, "CMOS Sigma-Delta Converters," Wiley - IEEE Press, pp. 334-354, 2013.
- [3] J. Candy, "Decimation for sigma delta modulation," *IEEE Trans. Commun.*, vol. COM-34, pp. 72-76, January 1986.
- [4] Erer, K. S., "Adaptive Usage of the Butterworth Digital Filter," *Journal of Biomechanics*, Vol. 40, No. 13, pp. 2937 - 2943, April. 2007.
- [5] A. V. Oppenheim and R. W. Schaffer, "Digital Signal Processing", PrenticeHall, 1975.
- [6] R. M. Hewlett, E. S. Swartzlander Jr., "Canonical signed digit representation for digital filters", *IEEE Workshop on Signal Processing Systems, SiPS 2000*, pp.416-426, Oct. 2000.
- [7] Un-yong Jang, HyungWon Kim, "Frequency Division Concurrent Sensing Method for High-Speed Detection of Large Touch Screens," *Journal of KIICE*, Vol19, No. 4, pp. 895-902, April. 2015.



**강호진(Ho-Jin Kang)**

2015년 충북대학교 전자공학부 학사  
 2015년 ~ 현재 충북대학교 전자공학전공 석사과정  
 ※관심분야 : TSP controller, DAC/ADC, Mixed signal SoC



**김형원(Hyung-Won Kim)**

1991, B.S degree in Electrical Engineering, KAIST  
1993, M.S degree in Electrical Engineering, KAIST  
1999, Ph.D degree in Electrical Engineering, University of Michigan, Ann Arbor  
1998 ~ 1998, Intel, Hillsboro, Oregon, US  
1999 ~ 2000, Synopsys, Mountain View, California, US  
2001 ~ 2005, Broadcom, San Jose, California, US  
2005 ~ 2013, Founder & CEO, Xronet, Korea  
2013 ~ current, Assistant Professor, Chungbuk National University  
※ 관심분야 : Wireless sensor networks, Wireless vehicular communications, Mixed signal SoC designs for low power sensors and bio-medical sensors