

## 비대칭 DG MOSFET의 도핑분포함수에 따른 DIBL

정학기\*

### Drain Induced Barrier Lowering of Asymmetric Double Gate MOSFET for Channel Doping Profile

Hakkee Jung\*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

#### 요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 채널 내 도핑농도분포에 대한 드레인유도장벽감소(Drain Induced Barrier Lowering; DIBL)에 대하여 분석하고자한다. DIBL은 드레인 전압에 의하여 소스 측 전위장벽이 낮아지는 효과로서 중요한 단채널 효과이다. 이를 분석하기 위하여 포아송방정식을 이용하여 해석학적 전위분포를 구하였으며 전위분포에 영향을 미치는 채널도핑농도의 분포함수변화에 대하여 DIBL을 관찰하였다. 채널길이, 채널두께, 상하단 게이트 산화막 두께, 하단 게이트 전압 등을 파라미터로 하여 DIBL을 관찰하였다. 결과적으로 DIBL은 채널도핑농도분포함수의 변수인 이온주입범위 및 분포편차에 변화를 나타냈다. 특히 두 변수에 대한 DIBL의 변화는 최대채널도핑농도가  $10^{18}/\text{cm}^3$  정도로 고도핑 되었을 경우 더욱 현저히 나타나고 있었다. 채널길이가 감소할수록 그리고 채널두께가 증가할수록 DIBL은 증가하였으며 하단 게이트 전압과 상하단게이트 산화막 두께가 증가할수록 DIBL은 증가하였다.

#### ABSTRACT

This paper analyzes the phenomenon of drain induced barrier lowering(DIBL) for doping profiles in channel of asymmetric double gate(DG) MOSFET. The DIBL, the important short channel effect, is described as lowering of source barrier height by drain voltage. The analytical potential distribution is derived from Poisson's equation to analyze the DIBL, and the DIBL is observed according to the change of doping profile to influence on potential distribution. As a results, the DIBL is significantly influenced by projected range and standard projected deviation, the variables of channel doping profiles. The change of DIBL shows greatly in the range of high doping concentration such as  $10^{18}/\text{cm}^3$ . The DIBL increases with decrease of channel length and increase of channel thickness, and with increase of bottom gate voltage and top/bottom gate oxide film thickness.

**키워드** : 비대칭 이중게이트, 드레인 유도 장벽 감소, 포아송방정식, 채널도핑분포

**Key word** : asymmetric double gate, drain induced barrier lowering, Poisson equation, channel doping profile

Received 02 October 2015, Revised 30 October 2015, Accepted 09 November 2015

\* Corresponding Author Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)  
Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2015.19.11.2643>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

모바일폰, 테블릿PC, 스마트 워치 등 모바일 기기의 급속한 확산은 기기의 소형화 및 경량화 그리고 박막화를 가속시키고 있다. 대형 모바일 기기 생산업체에서도 기기의 휴대성을 제고하기 위한 노력이 결국 기기의 경쟁력과 관계있다고 판단하고 이에 대한 연구를 진행 중에 있다. 모바일 기기의 경량화는 모바일 기기를 구성하고 있는 부품의 경량화가 필연적이며 부품의 경량화에 일익을 담당하는 것이 부품을 구성하고 있는 트랜지스터의 초소형화가 핵심 연구주제가 되고 있다. 특히 가벼우면서 대용량 메모리 및 초고속 동작의 CPU 등을 소비자들은 원하고 있다. 그러므로 기기 생산 업체에서는 한계에 다다른 기존의 CMOSFET를 대체하기 위한 소자에 대한 연구가 진행 중이며 초소형화 하였을 때 발생할 수 있는 단채널 효과를 감소시키면서 고성능을 유지할 수 있는 소자로 다중 게이트 MOSFET가 각광을 받고 있다[1-3].

다중게이트 MOSFET 소자는 채널 주변에 채널 내 전하흐름을 제어할 수 있는 게이트 단자를 2개 이상 제작하는 기술로서 FinFET[4], 이중게이트(Double Gate; DG) MOSFET 등 다양한 형태로 발전, 개발되고 있다. 그 중에서 DG MOSFET는 구조가 간단하고 이론적 해석이 용이하므로 많은 연구가 진행 중에 있다. DG MOSFET는 크게 대칭형과 비대칭형으로 구분할 수 있다. 상단과 하단의 게이트 구조를 동일하게 제작하는 대칭형과 달리 비대칭형 DG MOSFET는 상단 및 하단의 게이트 구조를 달리 제작하여 상하단 게이트 산화막 두께 및 게이트 전압을 달리 인가할 수 있어 채널 내 전하를 제어할 수 있는 요소가 증가할 수 있는 장점을 가지고 있다. 본 연구에서는 비대칭 DG MOSFET의 단채널효과 중 드레인유도장벽감소(Drain Induced Barrier Lowering; DIBL) 현상에 대하여 채널크기 및 채널도핑농도 그리고 산화막 두께 변화 등을 파라미터로 분석하고자 한다. 이를 위하여 Ding 등이 사용한 급수형태의 전위분포를 구할 것이다[5].

그러나 Ding 등의 모델과 달리 가우스분포함수를 전하분포로 이용하여 포아송방정식을 풀 것이며 가우스 분포함수의 변수인 이온주입범위 및 분포편차에 따라 드레인유도장벽감소를 분석할 것이다. 드레인유도장벽 감소 현상은 단채널일 때 발생하는 현상이므로 채널이

짧기 때문 드레인전압이 소스 측 전위장벽에 영향을 미쳐 결국 장벽감소 현상을 발생시키며 이는 문턱전압 감소 현상으로 이어지는 현상이다. 즉, 드레인 전압이 증가하면 문턱전압이 감소하는 경향을 수치화한 값이 DIBL이다. 본 연구에서는 드레인 전압이 0 V와 1 V일 때의 문턱전압이동값을 계산하여 DIBL 값을 분석할 것이다. 특히 가우스분포함수의 변수인 이온주입범위 및 분포편차에 따라 채널크기 및 최대 도핑농도 등을 파라미터로 하여 DIBL의 변화를 고찰할 것이다.

## II. 비대칭 DG MOSFET의 드레인 유도 장벽 감소 모델

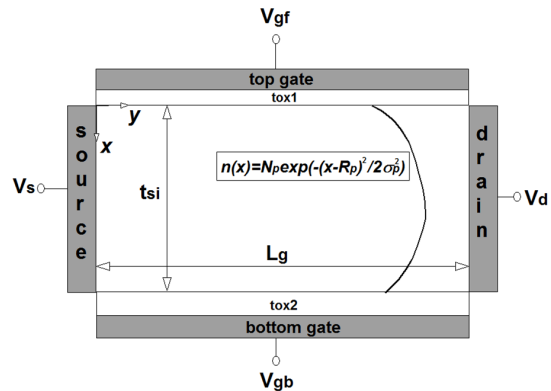


Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 이중게이트 MOSFET의 개략도를 그림 1에 도시하였다. 그림 1에서 알 수 있듯이 상단의 게이트 전압  $V_{gf}$ 와 하단의 게이트 전압  $V_{gb}$ 를 달리 인가할 수 있으며 이때 상하단의 산화막 두께를 각각 달리 지정할 수 있어 단채널효과를 제어할 수 있는 구조적 파라미터가 증가하는 것을 알 수 있다. 특히 본 연구에서는 그림 1에서 알 수 있듯이 상단에서 하단까지 전하분포함수를 가우스분포함수로 이용하여 전위분포를 구하였다. 즉, 식 (1)의 포아송방정식과 식 (2)의 도핑분포함수를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서  $\epsilon_{si}$ 는 실리콘의 유전율이다.  $R_p$ 는 이온주입 범위로써 최대도핑농도를 갖는 상단에서의 거리이며  $\sigma_p$ 는 분포편차로써 분포의 퍼짐정도를 나타내는 변수이다. 경계조건은 Ding등의 경계조건과 동일하게 사용하였다.

식 (2)에서 알 수 있듯이 포아송 방정식을 이용하여 전위를 구할 때 채널도핑농도의 이온주입범위 및 분포편차는 전위분포 결정에 큰 변수가 된다. 이와 같이 채널 내 도핑농도분포 및 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다 [6].

$$\phi(x,y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

$$C_n = \frac{a_2(B_8 + E_n) - a_4(B_7 + F_n)}{a_1 a_4 - a_2 a_3}$$

$$D_n = \frac{a_1(B_8 + E_n) - a_3(B_7 + F_n)}{a_2 a_3 - a_1 a_4}$$

$$E_n = (2/n\pi)[(V_s - V_{gb})(1 - (-1)^n) - (-1)^n V_d]$$

$$F_n = (2/n\pi)[(V_s - V_{gf})(1 - (-1)^n) - (-1)^n V_d]$$

$$B_1 = \frac{N_p G_n \sigma_p \sqrt{\pi} e^{k_n(x-R_p)+b_1/4}}{2\sqrt{2}k_n}$$

$$B_2 = -\frac{N_p G_n \sigma_p \sqrt{\pi} e^{-k_n(x-R_p)+b_2/4}}{2\sqrt{2}k_n}$$

이며 여기서  $n$ 은 정수,  $k_n = n\pi/L_g$ 이며 미표기 상수에 대한 설명은 참고문헌[6]에 표기하였다. 상기 식에서 알 수 있듯이 이온주입범위 및 분포편차는 전위분포에 큰 영향을 미치고 있다.

본 연구에서는 차단전류가 채널폭 당  $0.1\mu A$ 일 때 상단 게이트 전압으로 문턱전압을 정의하였다. 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당  $t_{si} W$ 면적의 드레인에 도착하는 전자의 수를 이용하면

$$I_d = \frac{q(n_i^2/N_p)e^{q\phi_{\min}(x_{eff})/kT} v_{th} t_{si} W}{6} \quad (5)$$

이다. 식 (5)에서  $x_{eff}$ 는 전하가 흐르는 대표적인 전도 중심값 이다[7].

드레인유도장벽감소 현상은 채널길이가 감소하면서 드레인 전압이 소스 측에 영향을 미쳐 소스 측 전위장벽이 감소하면서 결국 문턱전압의 감소를 나타내는 현상으로써 식 (6)으로 표현할 수 있다.

$$DIBL = V_{th}(V_{ds}=0V) - V_{th}(V_{ds}=1V) \quad (6)$$

이러한 현상은 드레인 전압이 증가하면 문턱전압이 감소할 수 있다는 단채널 효과로서 식 (3) 및 식 (4)에서 알 수 있듯이 전위분포에 영향을 미치는 채널 내 도핑농도분포함수의 변수인 이온주입범위 및 분포편차 등에 영향을 받을 것이다. 이러한 전위분포는 결국 식 (5)의 차단전류에 영향을 미쳐 문턱전압의 변화를 발생시킬 것이다. 그러므로 본 연구에서는 채널크기, 최대채널 도핑농도, 산화막 두께 및 하단 게이트 전압 등을 파라미터로 하여 이온주입범위 및 분포편차에 따라 DIBL이 어떻게 변화하는지 고찰하고자 한다.

### III. 비대칭 DG MOSFET의 DIBL에 대한 고찰

본 연구에서 제시한 문턱전압모델에 대한 타당성은 이미 발표된 논문[8]에서 입증하였으므로 본 연구에서는 2장에서 제시한 DIBL모델을 이용하여 비대칭 이중게이트 MOSFET의 채널길이, 산화막 두께 변화 및 하단 게이트 전압을 파라미터로 하여 이온주입범위 및 분포편차 등 채널도핑농도의 분포함수 변화에 대한 DIBL의 변화를 고찰할 것이다.

먼저 채널길이를 파라미터로 하여 이온주입범위 및 분포편차에 따른 DIBL의 변화를 그림 2에 도시하였다. 그림 2에서 알 수 있듯이 채널길이가 감소하면 DIBL이 크게 증가하면서 단채널 효과가 크게 나타나고 있었다.  $R_p = 7nm$  이하에서는 채널길이와 관계없이 이온주입범위 및 분포편차에 따라 DIBL이 큰 변화를 보이고 있지 않았으나 채널길이가 30 nm로 비교적

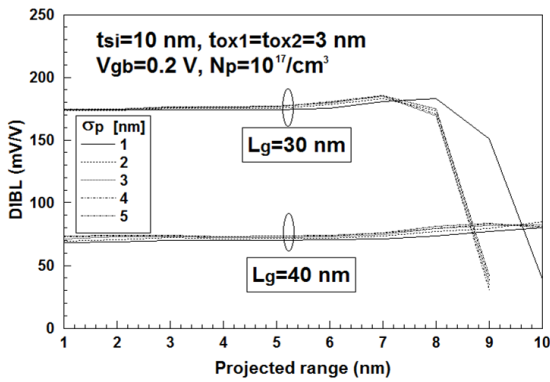


Fig. 2 The change of DIBL for projected range and standard projected deviation with a parameter of channel length

짧은 경우  $R_p = 7\text{ nm}$  이상에서 이온주입범위가 증가함에 따라 DIBL이 크게 감소하고 있었다.

특히 채널길이가 30 nm일 경우 분포편차가 1 nm로 비교적 작을 때 DIBL의 감소율은 현저히 감소하고 있다는 것을 관찰할 수 있었다. 그러나 채널길이가 비교적 큰 40 nm일 경우 이온주입범위 및 분포편차에 따라 DIBL은 큰 변화를 보이고 있지 않았다. 이는 최대도핑농도가  $10^{17}/\text{cm}^3$  정도일 경우로서 비교적 작은 도핑농도에서는 도핑분포함수에 따라 크게 변화가 없다는 것을 알 수 있다. 최대도핑농도가 증가할 경우 이온주입범위 및 분포 편차에 따른 DIBL의 변화를 관찰하기 위하여 그림 3에 최대도핑농도를  $10^{18}/\text{cm}^3$ 로 증가시켰을

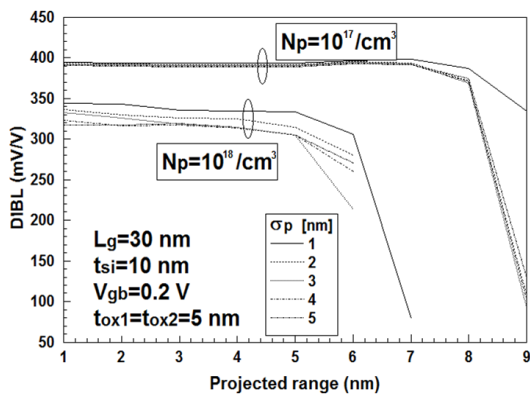


Fig. 3 The change of DIBL for projected range and standard projected deviation with a parameter of maximum channel doping concentration

경우 DIBL의 변화를 도시하였다.

그림 3에서 알 수 있듯이 최대도핑농도가  $10^{17}/\text{cm}^3$ 에서  $10^{18}/\text{cm}^3$ 로 증가하면 DIBL은 감소하였다. 또한  $10^{17}/\text{cm}^3$ 의 경우와 비교하면 분포편차에 대한 DIBL의 변화가 나타나기 시작하였다.  $10^{18}/\text{cm}^3$ 의 경우  $R_p = 5\text{ nm}$  이하에서는 이온주입범위에 따라 DIBL이 큰 변화를 보이지 않다가 그 이상이 되면 DIBL이 감소하고 있었다. 이상에서 알 수 있듯이 최대도핑농도가 증가하면 이온주입범위 및 분포편차에 따른 DIBL의 변화가 더욱 심하게 나타나고 있었다.

채널두께를 파라미터로 하여 이온주입범위 및 분포 편차에 대한 DIBL의 변화를 그림 4에 도시하였다. 그림 3에서 알 수 있듯이 채널두께가 증가할수록 DIBL현상이 크게 나타나고 있다는 것을 알 수 있다. 이는 스캘링 이론에 따라 상대적으로 채널두께가 증가하면 채널 길이가 작아지기 때문이다. 특히 이온주입범위 및 분포 편차에 따라 DIBL의 변화는 거의 나타나고 있지 않았다. 이상의 경과에서 알 수 있듯이 채널두께와 채널 길이의 상대값에 따라 DIBL의 이온주입범위 및 분포편차에 대한 변화는 크게 나타나고 있었다.

전위분포는 상단과 하단의 게이트 산화막 두께에 따라 변화하므로 상하단 게이트 산화막 두께 변화에 따라 DIBL도 변화할 것이다. 그림 5에 상단과 하단의 산화막 두께를 변화시켰을 경우 DIBL의 변화를 도시하였다. 그림 5에서 알 수 있듯이 산화막 두께가 증가하면 DIBL도 증가한다는 것을 알 수 있다. 이온주입범위가

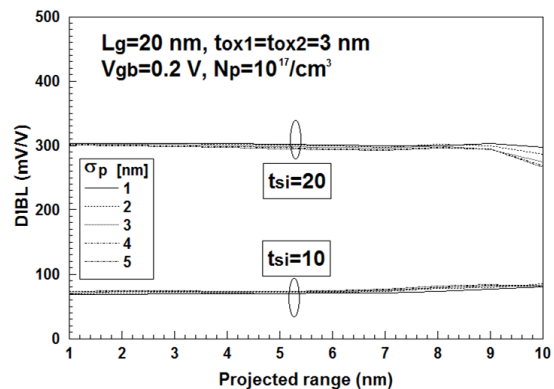


Fig. 4 The change of DIBL for projected range and standard projected deviation with a parameter of channel thickness

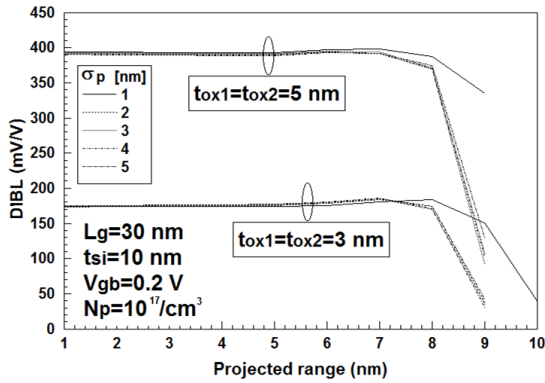


Fig. 5 The change of DIBL for projected range and standard projected deviation with a parameter of top and bottom gate oxide film thickness

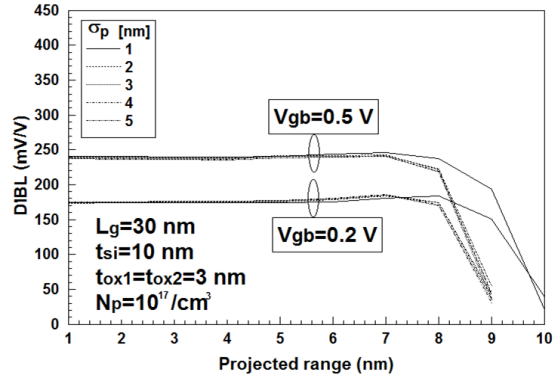


Fig. 6 The change of DIBL for projected range and standard projected deviation with a parameter of bottom gate voltage

8 nm 이상에서 급격히 DIBL이 감소하며 감소정도는 분포편차가 1 nm 정도로 매우 작을 경우를 제외하면 분포편차에 따른 영향은 거의 발생하고 있지 않다는 것을 관찰할 수 있다. 그림 5에서 알 수 있듯이 채널두께가 10 nm일 경우 이온주입범위가 8 nm 이상이면 최대 채널도핑농도가 하단 게이트에 매우 가깝게 위치한 경우라는 것을 알 수 있다. 즉, 최대 도핑농도가 하단 게이트에 접근할수록 상단게이트 전압으로 정의된 문턱전압은 큰 영향을 받지 않는 것으로 관찰되었다. 이와 같이 비대칭 DG MOSFET는 상단과 하단의 게이트 전압을 달리 인가할 수 있으므로 하단 게이트 전압의 변화에 따른 DIBL을 관찰하고자 한다.

하단 게이트 전압을 파라미터로 하여 구한 이온주입범위에 따른 DIBL의 변화를 그림 6에 도시하였다. 그림 6에서 알 수 있듯이 하단 게이트 전압에 따라서 DIBL은 큰 변화를 보이고 있었다. 즉, 하단 게이트 전압이 증가하면 DIBL의 크기도 증가하는 것을 관찰할 수 있다. 하단 게이트 전압이 증가하면 상단게이트 전압으로 정의된 문턱전압에도 큰 영향을 미치는 것을 알 수 있다. 전술한 바와 같이 이온주입범위 및 분포편차에 대한 DIBL의 변화는 거의 동일하게 나타나고 있었다.

이온주입범위와 분포편차 중 어느 요소가 DIBL에 더 큰 영향을 미치는지를 그림 7에 도시하였다. 그림 7(a) (b)에서 알 수 있듯이 채널길이가 감소하면 전술한 바와 같이 DIBL은 크게 증가하는 것을 알 수 있다.

증가하는 경향을 이온주입범위 및 분포편차의 변화에 대하여 DIBL이 더 큰 영향을 받고 있다는 것을 알 수 있었다.

관찰한 결과, 이온주입범위보다 분포편차의 변화에 특히 분포편차가 1 nm로 매우 작을 경우 도핑분포가 매우 좁게 분포되고 DIBL의 변화도 채널길이에 따라 비교적 크게 나타나고 있다는 것을 알 수 있다.

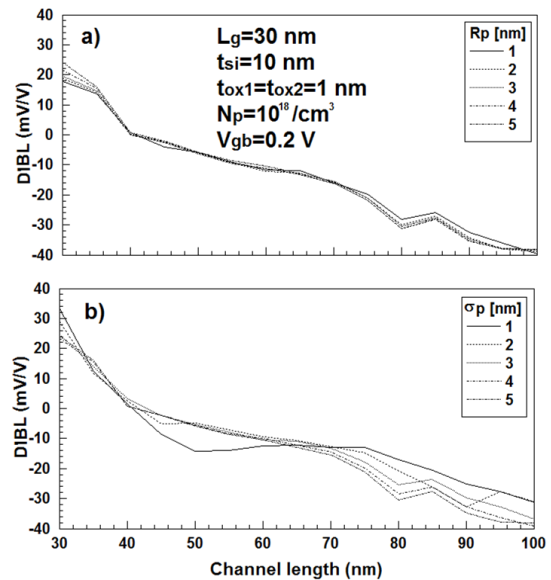


Fig. 7 The change of DIBL for projected range and standard projected deviation

#### IV. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 채널 내 도핑농도분포에 대한 DIBL에 대하여 분석하였다. 이를 분석하기 위하여 포아송방정식을 이용하여 해석학적 전위분포를 구하였으며 전위분포에 영향을 미치는 채널도핑농도의 분포함수로는 가우스분포함수를 사용하였으며 가우스분포함수의 두 변수인 이온주입범위 및 분포편차에 따라 DIBL 현상을 관찰하였다. 이때 파라미터로는 채널길이, 채널두께, 상하단 게이트 산화막 두께, 하단 게이트 전압 등을 사용하였다. 결과적으로 DIBL 현상은 채널도핑농도분포함수의 변수인 이온주입범위 및 분포편차에 변화를 나타냈다. 특히 이온주입범위가 8 nm 이상에서 파라미터와 관계없이 DIBL의 감소현상이 크게 나타났으며 최대 채널 도핑농도가  $10^{18}/cm^3$  정도로 고 도핑 되었을 경우 더욱 현저히 나타났다. 채널두께, 하단 게이트 전압, 상하단게이트 산화막 두께 등의 증가는 DIBL의 증가를 야기시켰으며 채널길이가 감소할수록 DIBL은 증가하였다. 이와 같이 비대칭 DG MOSFET 설계시에는 DIBL에 영향을 미치는 많은 요소들을 세심히 고려하여야 할 것이다.

#### REFERENCE

[1] A.Esam, N.Keivan and S.Fazel, " A Novel Design Approach for Multi-input XOR Gate Using Multi-input Majority

Function," *Arabian J. for Science & Engineering*, vol.39, no.11, pp.7923-7932, 2014.

[2] S.C.Kim, H.K.Lee and J.H.Cho, "Analysis of low-dose radiation shield effectiveness of multi-gate polymeric sheets," *Radiation Effects and Defects in Solids*, vol.169, no.9, pp.584-591, 2014.

[3] J.Conde, I.Mejia, F.S.Aguirre-Tostado, C.Young and M.Quevedo-Lopez, "Design considerations for II-VI multi-gate transistors: the case of cadmium sulfide," *Semiconductors Science & Technology*, vol.29, no.4, pp.045006-045011, 2014.

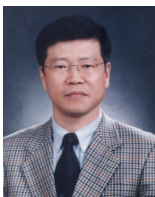
[4] S.Khandelwal, J.P.Duarte, Y.S.Chauhan and C.Hu, "Modeling 20-nm Germanium FinFET With the Industry Standard FinFET Model," *IEEE Electron Device letters*, vol.35, no.7, pp.711-713, 2014.

[5] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.

[6] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626. 2013.

[7] Q.Chen, B.Agrawal and J.D.Meindl, "A Comprehensive Analytical Subthreshold Swing(S) Model for Double-Gate MOSFETs," *IEEE Trans. on Electron Devices*, vol.49, no.6, pp.1086-1090, 2002.

[8] H.K.Jung and O.S.Kwon, "Analysis of Channel Dimension Dependent Threshold Voltage for Asymmetric DG MOSFET," *2014 International Conference on Future Information & Communication Engineering*, vol.6, no.1, pp.299-302, 2014.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.  
 1985.3 연세대학교 전자공학과 M.S.  
 1990.8 연세대학교 전자공학과 Ph.D  
 1995.8 일본 오사카대학 교환교수  
 2005.8 호주 그리피스대학 교환교수  
 1990.3 ~ 현재 군산대학교 전자공학과 교수  
 2014.1 ~ 현재 한국정보통신학회 회장  
 ※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등