

소자 파라미터에 따른 비대칭 DGMOSFET의 문턱전압이하 스윙 분석

정학기*

Analysis of Subthreshold Swing Mechanism by Device Parameter of Asymmetric Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 산화막두께, 채널도핑농도 그리고 상하단 게이트 전압 등과 같은 소자 파라미터에 따른 전도중심 및 전자농도가 문턱전압이하 스윙에 미치는 영향을 분석하고자 한다. 비대칭 이중게이트 MOSFET는 대칭구조와 비교하면 상하단 게이트 산화막의 두께 및 게이트 전압을 각각 달리 설정할 수 있으므로 단채널효과를 제어할 수 있는 요소가 증가하는 장점을 가지고 있다. 그러므로 상하단 산화막두께 및 게이트 전압에 따른 전도중심 및 전자분포의 변화를 분석하여 심각한 단채널효과인 문턱전압이하 스윙 값의 저하 현상을 감소시킬 수 있는 최적의 조건을 구하고자 한다. 문턱전압이하 스윙의 해석학적 모델을 유도하기 위하여 포아송방정식을 이용하여 전위분포의 해석학적 모델을 구하였다. 결과적으로 소자 파라미터에 따라 전도중심 및 전자농도가 크게 변화하였으며 문턱전압이하 스윙은 상하단 전도중심 및 전자농도에 의하여 큰 영향을 받는 것을 알 수 있었다.

ABSTRACT

This paper has analyzed how conduction path and electron concentration for the device parameters such as oxide thickness, channel doping, and top and bottom gate voltage influence on subthreshold swing of asymmetric double gate MOSFET. Compared with symmetric and asymmetric double gate MOSFET, asymmetric double gate MOSFET has the advantage that the factors to be able to control the short channel effects increase since top and bottom gate oxide thickness and voltages can be set differently. Therefore the conduction path and electron concentration for top and bottom gate oxide thickness and voltages are investigated, and it is found the optimum conditions that the degradation of subthreshold swing, severe short channel effects, can reduce. To obtain the analytical subthreshold swing, the analytical potential distribution is derived from Poisson's equation. As a result, conduction path and electron concentration are greatly changed for device parameters, and subthreshold swing is influenced by conduction path and electron concentration of top and bottom.

키워드 : 대칭 이중게이트, 비대칭 이중게이트, 문턱전압이하 스윙, 포아송방정식, 전도중심

Key word : symmetric double gate, asymmetric double gate, subthreshold swing, Poisson equation, conduction path

접수일자 : 2014. 10. 05 심사완료일자 : 2014. 10. 23 게재확정일자 : 2014. 11. 07

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)
Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2015.19.1.156>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

가격경쟁력을 확보하기 위하여 집적회로의 집적도를 향상시키는 것은 반도체업체들의 가장 큰 쟁점이다. 집적도 향상에 가장 영향을 미치는 것은 설계기술 뿐만 아니라 개별 트랜지스터의 크기 감소이다. 트랜지스터의 크기 감소는 트랜지스터의 성능을 향상시키면서 생산성을 증대시킨다는 장점이 있지만 단채널 효과 등 2차 효과의 증가라는 단점도 도출되고 있다. 기존의 CMOSFET는 단일 게이트 소자로서 10 나노이하 단위로 게이트길이를 제작하는데 한계를 갖고 있다. 스켈링 이론에 따라 게이트 산화막 두께가 너무 작아져 게이트 단자로 기생전류가 흐를 수 있으며 채널의 도핑농도 증가에 의한 이동도의 저하현상 등 트랜지스터 동작에 심각한 영향을 미치고 있다[1]. 특히 문턱전압이하 스윙특성의 저하 현상은 심각한 단채널효과로써 디지털응용에 많은 제한을 가하고 있다.

다중게이트 MOSFET(Multi Gate MOSFET; MugFET) 소자는 이러한 단채널 효과를 최소화하기 위하여 개발된 소자이다.[2,3]. MugFET중에서 공정 및 설계에 가장 최적화된 소자가 이중게이트(Double Gate; DG) MOSFET이다[4,5]. DG MOSFET는 두 개의 게이트 단자를 가진 소자로서 공정이 비교적 간단하며 게이트에 의한 전류 제어능력이 향상되어 기존 CMOSFET에 비하여 단채널 효과를 감소시킬 수 있다는 장점을 가지고 있다. DG MOSFET는 주로 대칭적 구조로 상단과 하단의 게이트구조가 동일하게 제작하였다. 그러나 대칭구조로 제작시 단채널 효과를 제어할 수 있는 파라미터가 제한적이다. 그러므로 상단과 하단의 게이트 산화막 두께를 각각 다르게 제작하고 상하단의 게이트 전압을 달리 인가할 수 있도록 설계된 소자가 비대칭 DG MOSFET이다. 비대칭 DG MOSFET는 단채널을 제어할 수 있는 요소가 증가하여 보다 효과적으로 단채널 효과를 감소시킬 수 있다는 장점이 있다. 이에 본 연구에서는 비대칭적 구조를 가진 DG MOSFET의 해석학적 문턱전압이하 스윙모델을 제시하고자 한다. 이를 위하여 Ding 등의 모델[6]을 기반으로 해석학적 전위모델을 제시할 것이며 이를 이용하여 산화막 두께, 도핑농도 그리고 게이트 전압 등 소자파라미터에 따른 상단과 하단의 전도 중심 및 전자농도를 관찰하여 문턱전압이하 스윙에 미치는 영향 등을 고찰할 것이다.

2장에서는 비대칭 DG MOSFET의 전위분포 및 문턱전압이하 스윙모델에 대하여 설명할 것이며 3장에서 소자 파라미터가 문턱전압이하 스윙에 미치는 영향을 고찰하고 4장에서 결론을 맺을 것이다.

II. 비대칭 DG MOSFET의 전위분포 및 문턱전압이하 스윙 모델

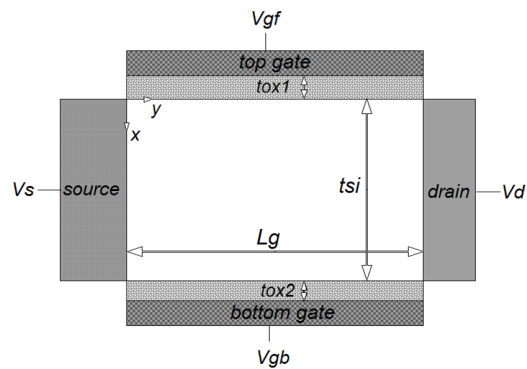


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

그림 1은 비대칭 DG MOSFET의 개략도이다. 그림에서 알 수 있듯이 상단과 하단의 산화막 두께를 달리 지정할 수 있으며 게이트 전압도 서로 다르게 인가할 수 있다. 대칭구조를 갖는 DG MOSFET는 3단자(3T) 소자이며 비대칭 DG MOSFET는 그림 1과 같이 4단자(4T) 소자이다. 비대칭 DG MOSFET는 상단과 하단 게이트의 역할을 구분함으로써 전류제어 능력을 향상시키고자 개발된 소자이다. Ding 등[6]은 비대칭 DG MOSFET의 표면전위 및 문턱전압이하 스윙특성을 해석하기 위하여 해석학적 전위분포를 구하였다. 그러나 그들은 채널도핑농도를 일정하게 유지하면서 식 (1)의 포아송 방정식을 이용한 해석학적 전위분포를 구하였으나 본 연구에서는 채널도핑 시 주로 사용하는 이온주입법에서 발생하는 식 (2)와 같은 가우스분포함수를 도핑분포 함수로 사용하여 전위분포를 구하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서 ϵ_{si} 는 실리콘의 유전율이며 $n(x)$ 는 채널 내 도핑분포함수이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\begin{aligned} \phi(x, y=0) &= V_s \\ \phi(x, y=L_g) &= V_s + V_d \\ \phi(x=0, y) &= V_{gf} + \frac{\epsilon_{ox}}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0} \\ \phi(x=t_s, y) &= V_{gb} - \frac{\epsilon_{ox}}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_s} \end{aligned}$$

여기서 V_s 는 기준전압인 소스 전압, V_d 는 드레인 전압, V_{gf} 는 평탄전압을 고려한 상단 게이트 전압, V_{gb} 는 평탄전압을 고려한 하단게이트 전압, 그리고 C_{ox1} 과 C_{ox2} 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 경계조건의 처음 두 개의 식을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[6].

$$\phi(x, y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

이며 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 $A_n(x)$ 에 나타나는 상수는 참고문헌[7]에 표기하였다.

이때 상단 게이트 전압 V_{gf} 에 대한 문턱전압이하 스윙은 식 (3)을 이용하면 다음과 같이 표현할 수 있다. 즉,

$$S = \frac{\partial V_{gf}}{\partial (\log_{10} I_d)} = 2.3 V_t \left[\frac{\partial \phi(x, y)}{\partial V_{gf}} \right]^{-1} \quad (5)$$

$$= 2.3 V_t \left[\sum_{n=1}^{\infty} \frac{2}{n\pi} (1 - (-1)^n) \left(\frac{a_4 e^{k_n x} - a_3 e^{-k_n x}}{a_1 a_4 - a_2 a_3} \right) \cdot \sin \frac{n\pi y}{L_g} \right]^{-1}$$

$$\begin{aligned} a_1 &= 1 - k_n \epsilon_{ox} / C_{ox1} \\ a_2 &= 1 + k_n \epsilon_{ox} / C_{ox1} \\ a_3 &= e^{k_n t_s} + \epsilon_{ox} k_n e^{k_n t_s} / C_{ox2} \\ a_4 &= e^{-k_n t_s} - \epsilon_{ox} k_n e^{-k_n t_s} / C_{ox2} \end{aligned}$$

이다.

문턱전압이하 스윙을 구하기 위하여 식 (5)의 y 에 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구하여 대입하며 상단과 하단의 전도중심 x_{eff1} 과 x_{eff2} 를 각각 구하기 위하여

$$x_{eff1} = \int_0^{t_s/2} x e^{q\phi(x, y_{\min})/kT} dx / \int_0^{t_s/2} e^{q\phi(x, y_{\min})/kT} dx \quad (6)$$

$$x_{eff2} = \int_{t_s/2}^{t_s} x e^{q\phi(x, y_{\min})/kT} dx / \int_{t_s/2}^{t_s} e^{q\phi(x, y_{\min})/kT} dx \quad (7)$$

의 식을 이용하였다. 여기서 k 는 볼츠만상수이며 T 는 절대온도이다. 각 전도중심에서의 전자밀도를 구하기 위하여 볼츠만 통계를 이용한 다음 식을 이용하였다.

$$n_m(x) = (n_i^2 / N_p) e^{q\phi(x, y_{\min})/kT} \quad (8)$$

이때 상단과 하단의 전자밀도 n_{m1} 과 n_{m2} 를 구하기 위하여 전도중심 x_{eff1} 과 x_{eff2} 를 식 (8)에 대입하였다.

식 (5)의 문턱전압이하 스윙은 상단과 하단의 산화막 커패시턴스에 의존하므로 상단 산화막 두께가 가장 중요한 파라미터가 된다. 그러므로 본 연구에서는 비대칭 이중게이트 MOSFET의 채널길이에 대한 문턱전압 이하 스윙 값의 변화를 채널두께, 하단게이트 전압 그리고 산화막 두께 및 도핑농도 등을 파라미터로 하여 분석하고자 한다.

III. 소자 파라미터에 따른 문턱전압이하 스윙 결과 고찰

본 연구의 문턱전압이하 스윙 모델에 대한 타당성을 입증하기 위하여 시뮬레이션 조건을 채널길이 30nm, 채널두께 10 nm, 도핑농도 $10^{16}/cm^3$ 로 하였을 경우 상·하단 산화막 두께를 변화시키면서 구한 결과를 그림 2에 도시하였다.

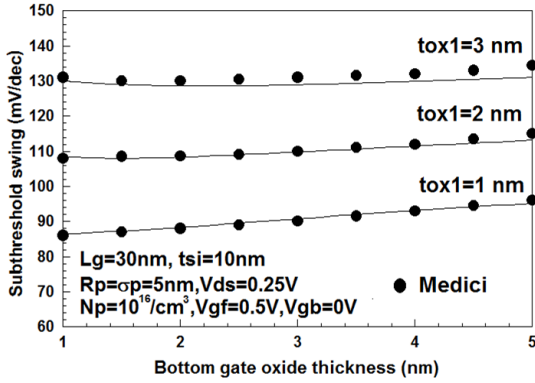


그림 2. 게이트 산화막 두께 변화에 따른 문턱전압이하 스윙값
Fig. 2 Subthreshold swings for gate oxide thickness

또한 이차원 수치해석학 방법인 Medici 모의실험 결과[6]를 점으로 표시하였다. 그림에서 알 수 있듯이 게이트 산화막 두께에 따라 이차원 수치해석학적 해인 Medici 모의실험결과와 잘 일치하는 것을 알 수 있다. 그러므로 식 (5)는 타당하다고 사료된다.

산화막 두께 뿐만이 아니라 도핑농도에 따른 문턱전압이하스윙 값의 변화를 그림 3에 도시하였다. 게이트 전압에 대한 효과를 무시하기 위하여 상하단 동일한 전압을 인가하였다. 상단게이트 산화막의 두께 증가에 따라 문턱전압이하 스윙 값은 선형적으로 증가하는 것을 알 수 있다. 또한 하단 게이트 산화막두께가 증가할수록 문턱전압이하 스윙은 감소한다. 주어진 조건에서 도핑농도가 증가할수록 문턱전압이하 스윙 값도 증가한다.

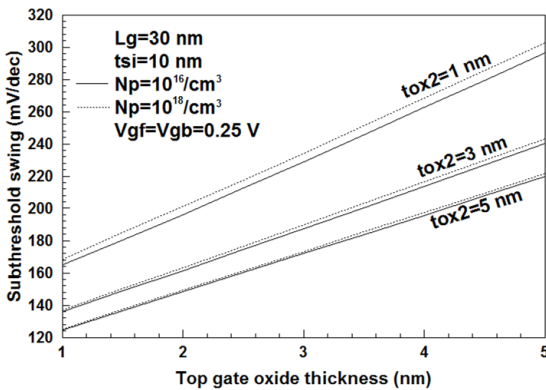


그림 3. 게이트 산화막 두께 변화에 따른 문턱전압이하 스윙값
Fig. 3 Subthreshold swings for gate oxide thickness

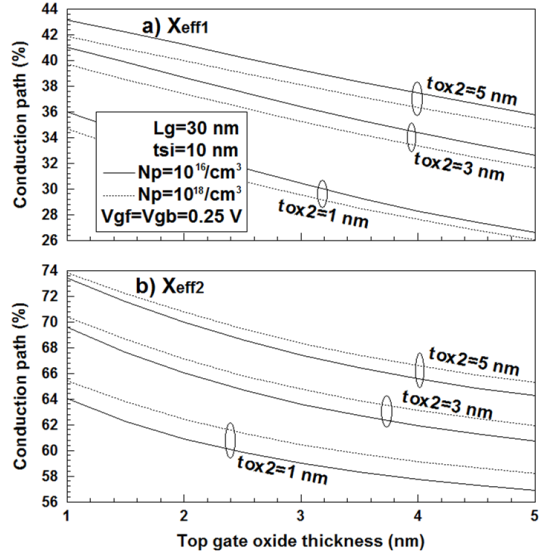


그림 4. 게이트 산화막 두께 변화에 따른 전도중심의 변화 a) 상단 b) 하단
Fig. 4 Conduction path for gate oxide thickness of a) top b) bottom

이러한 현상을 보다 상세히 고찰하기 위하여 전도중심의 변화를 그림 4에 도시하였다. 상단 게이트 산화막 두께가 하단 게이트 산화막 두께보다 작을 경우, x_{eff1} 은 내부로 x_{eff2} 는 하단게이트 방향으로 이동하는 것을 알 수 있다. 또한 상단 게이트 산화막 두께가 하단 게이트 산화막 두께보다 클 경우, x_{eff1} 은 상단게이트로 x_{eff2} 는 내부로 이동하는 것을 알 수 있다. 이와 같이 전도중심은 상하단의 산화막 두께에 따라 크게 변화하면서 문턱전압이하 스윙의 변화를 유도하고 있다. 그러나 상단의 전도중심과 하단의 전도중심에 존재하는 전자농도에 따라 문턱전압이하 스윙에 미치는 영향력이 결정될 것이므로 그림 5에 상단과 하단의 전도중심에 존재하는 전자농도를 도시하였다. 그림에서 알 수 있듯이 $N_p = 10^{18} / cm^3$ 의 경우 계산된 전체 산화막 두께 영역에서 전자농도가 크게 감소하였다. 그러므로 그림 3에서 알 수 있듯이 주어진 조건에서 도핑농도가 증가하였을 경우 문턱전압이하 스윙 값은 증가하는 것이다. 그러나 도핑농도가 증가할수록 그림 4에서 알 수 있듯이 전도중심은 상단과 하단으로 이동하므로 문턱전압이하 스윙 값의 증가를 제한하고 있다.

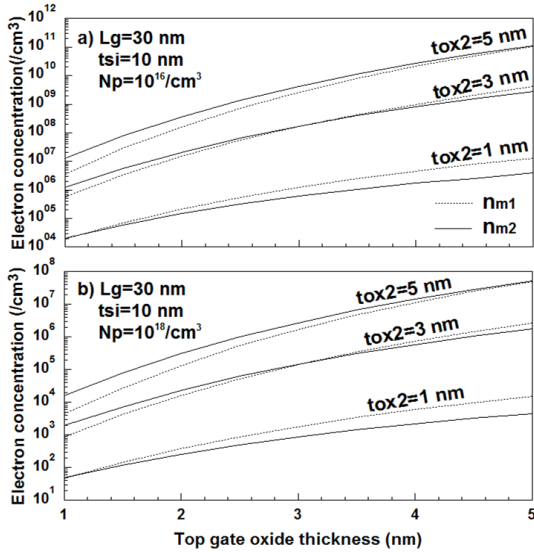


그림 5. 게이트 산화막 두께 변화에 따른 전자농도의 변화 a) $N_p = 10^{16} / \text{cm}^3$ b) $N_p = 10^{18} / \text{cm}^3$
Fig. 5 Electron concentration for gate oxide thickness a) $N_p = 10^{16} / \text{cm}^3$ b) $N_p = 10^{18} / \text{cm}^3$

이와 같이 전도중심과 해당 전도중심에 존재하는 전자농도의 관계에 의하여 문턱전압이하 스윙 값이 영향을 받고 있다는 것을 알 수 있었다.

게이트 전압의 변화에 따른 문턱전압이하 스윙 및 전도중심 그리고 전자농도의 변화를 관찰하기 위하여 그림 4와 달리 상단게이트 전압을 0.5 V로 증가하였을 경우, 각각의 변화를 그림 6에 도시하였다. 문턱전압이하 스윙 값은 그림 3과 비교하였을 경우 전반적으로 감소하는 것을 알 수 있다. 전도중심이 x_{eff1} 은 상단으로 이동하며 x_{eff2} 은 더욱 내부로 이동한다. 그러나 해당 전도중심에 위치한 전자농도가 그림 5보다 증가하기 때문에 전체적으로 문턱전압이하 스윙이 감소하는 것이다. 특히 $t_{ox2} = 1 \text{ nm}$ 인 경우 n_{m2} 의 감소가 두드러져 t_{ox1} 에 대한 문턱전압이하 스윙의 증가 속도가 매우 가파르다는 것을 알 수 있다. 상단게이트 산화막 두께가 작은 영역에서 $n_{m1} \geq n_{m2}$ 이며 x_{eff1} 이 상단으로 접근할수록 n_{m1} 의 영향력이 크므로 문턱전압이하 스윙은 감소한다. 이러한 이유에 의하여 $t_{ox2} = 5 \text{ nm}$ 에서 t_{ox1} 이 작은 영역에서 $n_{m1} \leq n_{m2}$ 이므로 n_{m1} 의 영향을 많이 받는 전도중심의 분포에서 문턱전압이하 스윙은 증가하는 것이다.

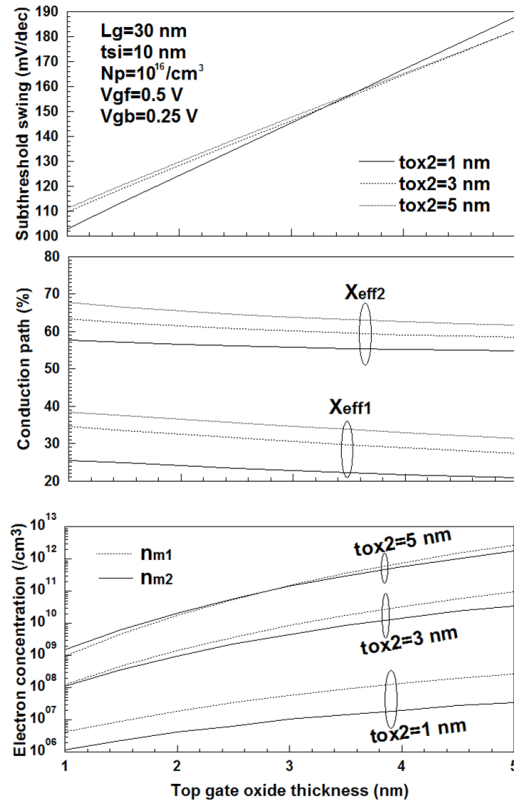


그림 6. 상단게이트 전압을 0.5 V로 증가하였을 경우 게이트 산화막 두께 변화에 따른 문턱전압이하 스윙, 전도중심 그리고 전자농도
Fig. 6 Subthreshold swing, conduction path and electron concentration for gate oxide thickness in the case of increase of top gate voltage with 0.5 V

하단 게이트 전압이 0.5 V로 증가할 때 문턱전압이하 스윙, 전도중심 그리고 전자농도의 변화를 그림 7에 도시하였다. 하단 게이트 전압이 증가하면 x_{eff1} 과 x_{eff2} 가 하단 게이트단자로 이동하며 상단 게이트 산화막의 두께가 작을 경우, 문턱전압이하 스윙은 증가한다. 그러나 상단 산화막 두께가 증가하면 전자농도가 증가하므로 문턱전압이하 스윙의 상단 게이트 산화막에 대한 증가율이 현저히 감소하는 것을 알 수 있다. 그림 3과 비교해보면 하단 게이트 전압이 증가하면 상단게이트 산화막 두께가 작을 경우는 문턱전압이하 스윙이 증가하나 상단 게이트 산화막 두께가 증가하면 문턱전압이하 스윙이 오히려 감소하는 것을 관찰할 수 있다. 이는 전술한 바와 같이 전자농도의 증가 때문인 것이다.

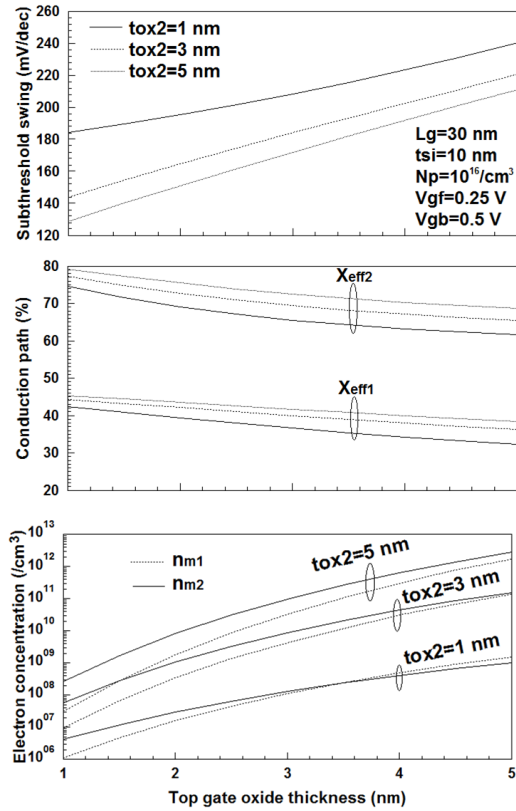


그림 7. 하단게이트 전압을 0.5 V로 증가하였을 경우 게이트 산화막 두께 변화에 따른 문턱전압이하 스윙, 전도중심 그리고 전자농도

Fig. 7 Subthreshold swing, conduction path and electron concentration for gate oxide thickness in the case of increase of bottom gate voltage with 0.5 V

IV. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 산화막두께, 채널도핑농도 그리고 상하단 게이트 전압 등의 소자 및 설계 파라미터에 따른 전도중심 및 전자농도의 변화가 문턱전압이하 스윙에 미치는 영향을 분석하였다. 비대칭 DG MOSFET는 상하단 산화막 두께 및 게이트 전압을 달리 설계할 수 있으며 이에 따른 전도중심 및 전자농도의 변화는 문턱전압이하 스윙 값에 직접적인 영향을 미친다.

그러므로 전도중심 및 전자농도가 문턱전압이하 스윙에 미치는 영향을 자세히 고찰하였다. 결과적으로 상단게이트 산화막의 두께 증가에 따라 문턱전압이하 스윙 값은 선형적으로 비례하였으며 하단 게이트 산화막 두께가 증가할수록 문턱전압이하 스윙은 감소하였다. 또한 도핑농도의 변화에 따라 상하단 전도중심의 이동 및 상하단 전자농도가 변화하였으며 이에 따라 문턱전압이하 스윙 값은 크게 영향을 받고 있었다. 본 연구의 결과는 향후 비대칭 DG MOSFET의 개발에 기초 자료로 사용할 수 있으리라 사료된다.

REFERENCES

- [1] D.Sima, Principles of Semiconductor Devices, 2nd, Oxford University Press, 2012.
- [2] K.K.Nagarajan and R.Srinivasan, "Investigation of tunable characteristics of independently driven double gate finfets in analog/RF domain using TCAD simulations," *J. of Computational and Theoretical Nanosciences*, vol.11, no.2, pp.821-826, 2014.
- [3] J.P.Duarte, S.J.Choi, D.I.Moon and Y.K.Choi, "A nonpiecewise model for long-channel junctionless cylindrical nanowire FETs," *IEEE Electron Device Letters*, vol.33, no.2, pp.155-157, 2012.
- [4] J.B.Roldan, B.Gonzalez, B.Iniguez, A.M.Roldan, A.Lazaro and A.Cerdeira, "In-depth analysis and modelling of self-heating effects in nanometric DG MOSFETs," *Solid-state electronics*, vol.79, no.1, pp.179-184, 2013.
- [5] R.Vaddi, S.Dasgupta and R.P.Agarwal, "Analytical modeling of subthreshold current and subthreshold swing of an underlap DG MOSFET with tied independent gate and symmetric asymmetric options," *Microelectronics J.*, vol.42, no.5, pp.798-807, 2011.
- [6] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [7] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *JKIICE*, vol.17, no.11, pp.2621-2626, 2013.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.

1985.3 연세대학교 전자공학과 M.S.

1990.8 연세대학교 전자공학과 Ph.D

1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수

1990.3 ~ 현재 군산대학교 전자공학과 교수

2014.1 ~ 현재 한국정보통신학회 회장

※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등