

ADC 효과를 고려한 In-Band Full-Duplex 시스템의 신호 분석 및 성능 평가

안 창 영*, 유 흥 균^o

Performance Evaluation and Signal Analysis of In-Band Full-Duplex System with ADC Effect

Changyoung An*, Heung-Gyoon Ryu^o

요 약

본 논문에서는 IBFD(in-band full duplex)시스템에서 ADC(analog to digital converter) 효과가 고려되었을 경우의 신호 특성을 분석하고 전체적인 시스템의 성능을 평가 및 분석한다. 우선, 본 논문에서는 IBFD 시스템의 일반적인 개념에 대하여 알아본다. 그 다음 ADC 효과가 고려될 경우 ADC에 인가되는 잔류 자기간섭 신호의 크기에 따른 ADC 전후의 수신 신호 특성의 변화에 대하여 분석한다. 여기에서 1차적으로 ADC의 양자화 단계 크기가 목표 신호보다 작은 조건을 계산을 통해 파악하고 분석한다. 최종적으로 ADC 효과가 고려된 IBFD 시스템을 설계하고 성능 평가를 수행하였다. 시뮬레이션의 결과로 ADC 입력에 인가된 자기간섭 신호의 크기에 따라 양자화 단계의 크기가 목표 신호의 크기보다 작도록 ADC의 비트를 결정하여야 목표 신호에서 정보를 추출할 수 있음을 확인하였다. 또한 좋은 성능을 유지하며 효율적인 통신을 하기 위해서는 양자화 단계 크기가 대략 목표 신호 크기의 1/3보다 작아야 하는 것을 확인하였다.

Key Words : IBFD, ADC, quantization step, self-interference, SIC

ABSTRACT

In this paper, we analyze ADC effect in IBFD system. Also, we design IBFD system with ADC effect, and evaluate BER performance of the system according to power of self-interference. Firstly, we describe a fundamentals of general IBFD system. And then we calculate and analyze characteristics of desired signal before and after ADC when residual self-interference is added to desired signal after RF cancellation. In this calculation, we have confirm some conditions for selection of # of ADC bit. Finally, we design IBFD system with ADC effect, and evaluate BER performance of the system by using Simulink simulation tool. As simulation results, we have confirmed that when power of residual self-interference is high before ADC, IBFD system must use high-bit ADC for decreasing quantization step. Also, we have confirmed that quantization step should be lower than one-third of amplitude of desired signal for effective communication with good performance.

* 이 논문은 2015년도 정부(미래창조과학부)의 재원으로 정보통신기술진흥센터의 지원을 받아 수행된 연구임 (R0101-15-244, 초연결 스마트 모바일 서비스를 위한 5G 이동통신 핵심 기술개발) 그리고 이 논문은 2013년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (No.2013R1A2A2A01005849).

• First Author : Department of Electronics Engineering, Chungbuk National University, acy890217@naver.com, 학생회원
^o Corresponding Author : Department of Electronics Engineering, Chungbuk National University, ecomm@cbu.ac.kr, 정회원
 논문번호 : KICS2015-08-264, Received August 24, 2015; Revised November 4, 2015; Accepted November 5, 2015

I. 서 론

스마트 폰의 출시와 함께 이동 통신 시장은 급격한 성장을 시작하였고, 수많은 모바일 디바이스와 이를 이용하는 사용자들이 폭발적으로 증가하고 있다^[1]. 이동 통신 시장은 3G 시대에서 4G 시대로 발전하며 모바일 데이터 트래픽이 폭증하고 있다^[2].

이러한 상황을 지원하기 위해 더욱 높은 통신 용량이 요구되고 있으며, 한정된 스펙트럼 자원을 보다 효율적으로 사용하려는 노력이 활발히 이루어지고 있다. 이러한 노력 중의 하나로 동일 주파수 대역에서 송수신을 동시에 하는 In-Band Full Duplex (IBFD) 시스템에 대한 연구가 활발히 이루어지고 있다^[3-6].

IBFD 시스템은 동일 주파수 대역에서 동시에 송신과 수신을 함으로써 스펙트럼 효율을 약 2배 향상시킬 수 있다. 기존의 Time Division Duplex (TDD)나 Frequency Division Duplex (FDD)와 같은 이중통신 방식은 시간 영역이나 주파수 영역을 나누어 송신과 수신을 각각 수행하였다. 이와 같은 방식은 송신 신호와 수신 신호 사이의 보호 구간 및 보호 대역을 요구하게 된다. 이러한 보호 구간 및 보호 대역은 주파수 자원을 낭비하게 되고 결국 스펙트럼 효율을 감소시킨다. 이와 반대로 IBFD 시스템은 보호 구간이나 보호 대역을 사용하지 않고 하나의 대역을 완전하게 송신과 수신을 위하여 사용할 수 있는 기술이다^[3]. 따라서 IBFD 시스템은 기존의 TDD 및 FDD 시스템에 비하여 스펙트럼 효율이 높다. 그러나 IBFD 시스템에서는 자국의 송신 신호가 자국의 수신기로 수신되는 자기 간섭 문제가 발생한다^[6]. IBFD 시스템은 이러한 자기 간섭 신호를 효과적으로 제거하면서 상대방에서 보낸 목표 신호를 수신해야 한다. 일반적으로 자기 간섭 신호는 목표 신호에 비해 60dB에서 110dB 이상 클 수 있다. 이와 같이 자기 간섭 신호가 매우 크기 때문에 반드시 자기 간섭 신호를 제거해주어야 한다.

자기 간섭 제거가 이루어지는 부분은 크게 Antenna 영역, RF 영역, Digital 영역으로 나누어진다. 즉, 자기 간섭 신호는 한 부분의 기술로 모두 제거되는 것이 아니라, 각 영역에서 단계적으로 자기 간섭 신호를 제거하여 전체적인 자기 간섭 신호 성분을 제거하게 된다. 이와 같은 단계적인 자기 간섭 제거 기술이 적용된 IBFD 시스템에서는 Antenna 영역, RF 영역, Digital 영역 순서대로 자기 간섭 신호를 더욱 많이 제거하는 것이 시스템의 성능을 유지하는데 유리하다^[7]. 최초 Antenna 영역에서 가장 많은 자기 간섭 신호를 억압하고 남은 자기 간섭 신호는 RF 영역에서 최대한 억압

시켜야 한다. 마지막으로 남은 자기 간섭 신호는 Digital 영역에서 제거하게 된다. 이러한 이유는 큰 크기의 자기 간섭 신호가 합쳐진 수신 신호가 RF 소자를 거치게 되면 RF 소자의 Non-ideal 특성으로 인하여 수신 신호의 왜곡이나 ADC 포화 현상이 발생할 수 있다^[8]. 수신 신호가 비선형 왜곡될 경우 RF 영역 이후의 Digital 영역에서 자기 간섭 신호 제거 및 목표 신호 디코딩이 어려워질 수 있고, ADC 포화로 인하여 목표 신호 성분이 손실될 수 있다. 이와 같은 현상은 전체적인 시스템의 성능 저하를 야기 시키게 된다. 따라서 RF 소자들과 ADC에서 자기 간섭 신호에 의해 목표 신호 및 자기 간섭 신호가 왜곡되는 현상을 최소화하기 위해 Antenna 영역과 RF 영역에서 최대한 많은 자기 간섭 신호를 제거해야 한다^[8]. 본 논문에서는 RF 영역의 자기 간섭 신호 크기와 ADC의 스펙에 따른 신호 특성 및 성능을 분석하는데 초점을 둔다. ADC는 N비트가 높을수록 양자화 손실 없이 아날로그 신호를 디지털 신호로 변환할 수 있다^[9]. 즉, 높은 N비트의 ADC를 사용할 경우 IBFD 시스템에서 자기 간섭 신호에 의한 수신 신호의 왜곡을 줄일 수 있다. 그러나 높은 N비트의 ADC는 높은 가격과 복잡도를 가지므로 시스템의 신호 특성을 분석하여 적절한 비트의 ADC를 선택해야 한다.

본 논문에서는 IBFD 시스템에서 실제 ADC의 양자화로 인한 자기 간섭 신호 및 목표 신호의 아날로그-디지털 변환 특성을 분석하고, 자기 간섭 신호에 따른 전체적인 시스템 성능을 평가 및 분석한다. 본 논문에서는 우선 IBFD 시스템의 기본 원리 및 자기 간섭 제거 원리에 대하여 간단히 소개한다. 그다음 IBFD 시스템에 ADC 효과가 고려된 시스템을 설계하고 N비트 ADC에 다양한 크기의 자기 간섭 신호가 인가되었을 경우의 신호 특성을 분석한다. 마지막으로 ADC 효과가 고려된 IBFD 시스템의 성능을 자기 간섭 신호의 특성에 따라 평가하고 분석한다.

II. IBFD 시스템

IBFD 시스템은 동일 대역에서 동시에 송수신을 하여 TDD 및 FDD와 비교하여 스펙트럼 효율을 2배 향상시킬 수 있다^[3]. 그러나 IBFD 시스템은 자국의 송신 신호가 자국의 수신기로 수신되는 자기 간섭 문제가 발생한다. 자기 간섭 신호는 상대방에서 보낸 목표 신호에 비해 매우 높은 전력을 갖는다^[4]. 따라서 자기 간섭 신호의 제거 없이는 목표 신호를 수신할 수 없다. 일반적으로 IBFD 시스템은 3단계의 자기 간섭 신

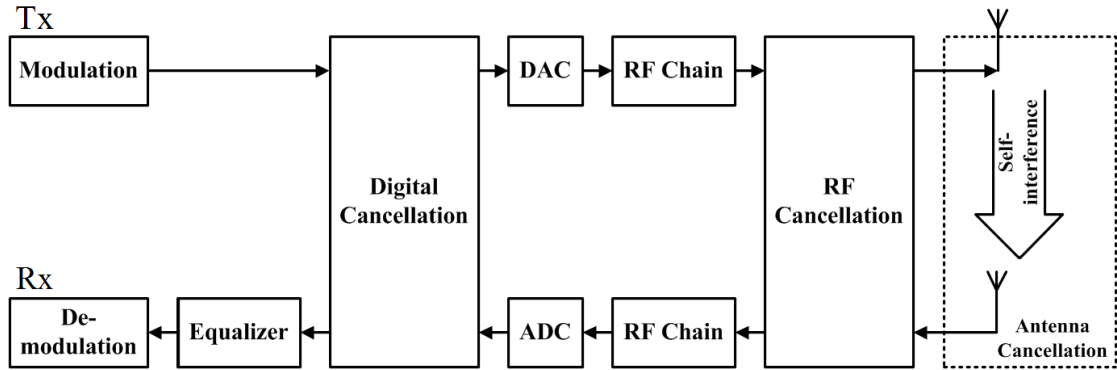


그림 1. IBFD 시스템의 구성도
Fig. 1. Block diagram of IBFD system

호 억압 기술을 사용한다. 그림 1은 일반적인 IBFD 시스템의 구성도를 나타낸다.

Antenna 영역의 자기간섭 억압 기술은 추가적인 안테나를 사용하거나 송수신 안테나의 구조 등을 변형하여 자기간섭 신호의 영향을 저감시켜준다. 추가 안테나는 수신 안테나에서 자기간섭 신호와 반대의 위상을 갖는 신호가 도달할 수 있도록 위치를 계산하여 설치하게 된다. 또한 송신 안테나와 수신 안테나가 서로 다른 편파 특성을 갖도록 설계하여 송신 안테나에서 방사되는 신호 성분이 수신 안테나에 적게 영향을 미치게 하여 자기간섭 효과를 저감 시킨다. 그러나 이와 같은 Antenna 영역의 자기간섭 억압 기술은 안테나 방사 패턴 및 편파 신호의 왜곡으로 인한 성능 감소 등의 문제를 야기할 수 있으며 추가적인 안테나는 시스템 복잡도와 크기를 증가시키는 단점이 있다. 따라서 이러한 기술은 시스템에 따라 선택적으로 적용된다.

RF 영역의 자기간섭 억압 기술은 RF 영역의 송수신 영역의 회로 구성 및 추가적인 소자를 사용하여 자기간섭 신호를 제거한다. 자기간섭 신호는 송신 신호에 의해 발생되기 때문에 RF 영역의 송신 회로의 송신 신호를 이용하여 자기간섭 신호를 제거하게 된다. 또한 Circulator 및 Balanced Feed Network와 같은 소자 및 회로 구조를 이용하여 송신 신호가 수신기 방향으로 간섭을 일으키는 것을 감소시키는 기술도 있다.

Digital 영역의 자기간섭 신호 억압 기법은 ADC를 거친 디지털 영역에서 자기간섭 신호를 제거한다. 이때 송신기의 디지털 신호를 이용하여 수신 신호에 합쳐진 자기간섭 신호 성분을 추정하고 이를 제거한다. Digital 영역의 자기간섭 제거를 수행할 때 실제 시스템에서는 RF 영역을 통과한 신호가 비선형 왜곡될 수

있다. 즉, 자기간섭 신호가 비선형 왜곡 될 수 있고, 자기간섭 신호를 추정함에 있어서 선형 추정 알고리즘뿐만 아니라 비선형 추정 알고리즘 또한 사용해야 한다.

III. ADC 효과가 고려된 IBFD 시스템 모델

3.1 ADC와 자기간섭 신호

ADC는 아날로그 신호를 디지털 신호로 변환시켜 준다. ADC는 DAC와 반대 동작을 한다. 디지털 신호는 아날로그 신호와 같이 연속적이지 않다. 따라서 아날로그 신호는 디지털 신호로 변환될 때 양자화 과정을 거치게 된다.

그림 2는 ADC의 입출력 신호와 오차를 나타낸다. 여기에서 input 신호는 아날로그 신호를 나타내며 output 신호는 디지털 신호를 나타낸다. 즉, 아날로그 신호가 디지털 신호로 변환될 때는 양자화 인해 오차를 갖게 된다.

ADC에서는 전체 입력 신호를 양자화 단계를 통해

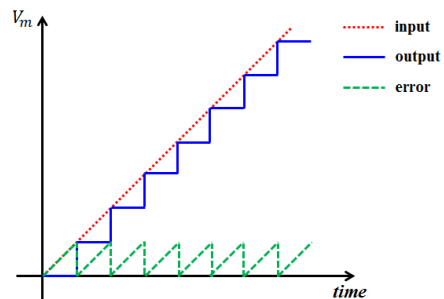


그림 2. ADC의 입출력 신호 및 오차
Fig. 2. input, output, and error of ADC

양자화 시킨다. 양자화 단계는 일반적으로 다음과 같이 정해진다⁸⁾.

$$\Delta Q = \frac{V_m}{2^N} \quad (1)$$

여기에서 V_m 은 입력 신호의 첨두치를 나타내며 N 은 ADC의 비트 수를 나타낸다. 입력신호의 크기가 커지거나 ADC의 비트 수가 낮아지면 단계가 증가하며, 반대로 입력신호의 크기가 작아지고 ADC의 비트 수가 증가하면 양자화 단계가 감소한다. 양자화 단계는 아날로그 신호가 디지털로 변환될 때 발생하는 오차와 같다. 따라서 양자화 단계가 작을수록 아날로그 신호를 오차 없이 디지털 신호로 변환하게 된다. 그러나 ADC의 비트 수가 증가할수록 ADC 설계의 복잡도와 비용이 급격하게 증가하고 ADC의 변환 속도 향상이 어려워진다. 따라서 통신 시스템은 적절한 비트 수의 ADC를 선택하여 설계하는 것이 중요하다. 일반적으로 이동통신 시스템에서는 기지국과 모바일 단말기의 거리가 멀기 때문에 기지국에서 보낸 신호는 거리에 대한 감쇄가 크게 되어 모바일 단말기의 수신기에 도달하면 그 크기가 약 80dB - 110dB까지 감소된다. 이와 같은 상황에서는 보다 작은 비트의 ADC를 사용할 수 있다. 그러나 IBFD와 같은 시스템에서는 상대국에서 보낸 목표신호 보다 80dB - 110dB 큰 크기의 자기간섭 신호가 자국 수신기로 간섭을 일으킨다⁸⁾. 이러한 상황에서는 기존의 이동통신 시스템보다 더욱 큰 비트를 갖는 ADC가 요구되어진다. ADC가 아날로그 신호를 디지털 신호로 변환할 때, ADC의 입력 신호 범위보다 큰 신호가 인가되면 입력 신호 범위보다 큰 부분은 클리핑 되어 신호가 손실된다. 이를 보완하기 위해 ADC의 입력 신호 범위만을 크게 할 경우 식 (1)에 의해 양자화 단계가 증가하게 되고 변환 오차가 증가하게 된다. 따라서 IBFD 시스템과 같은 큰 크기의 신호가 수신기로 인가되는 상황에서는 ADC의 입력 신호 범위뿐만 아니라 ADC의 비트 수 또한 증가시켜주어야 한다. 따라서 ADC에 인가되는 자기간섭 신호의 크기가 클수록 더욱 높은 비트 수의 ADC가 요구된다. 이러한 문제점을 완화시키기 위해서 IBFD 시스템에서는 ADC 이전의 Antenna 영역 및 RF 영역에서 자기간섭 신호를 최대한 억압시켜주어야 한다. 본 논문에서는 Antenna 영역의 자기간섭 제거 기술을 제외한 RF 영역에서 자기간섭 제거가 이루어진 후 남은 잔류 자기간섭 신호가

ADC에 미치는 영향을 확인한다.

그림 3은 ADC에 인가되는 입력 신호 크기에 따른 N-bit ADC의 양자화 단계 크기를 나타낸다. 상대국에서 보낸 목표 신호의 크기가 1이라고 가정하였을 때 80dB의 전력을 갖는 자기간섭 신호의 첨두치는 20000이 된다. 이때 4비트 ADC를 사용하게 되면 신호가 2⁴단계로 양자화 되기 때문에 양자화 단계의 크기는 약 1250이 된다. 같은 원리로 자기간섭 신호의 전력이 80dB일 때 6비트 ADC를 사용하게 되면 양자화 단계의 크기는 약 312가 된다. 즉, 자기간섭 신호의 크기가 고정일 때 ADC의 비트 수가 올라가면 양자화 단계는 감소하게 된다. 또한 자기간섭 신호의 크기가 작을수록 양자화 단계는 낮아지게 된다. 자기간섭 신호의 크기가 상대국에서 보낸 목표신호에 비하여 월등히 크기 때문에 ADC에 인가되는 입력 신호의 크기는 자기간섭 신호의 크기에 의해 대부분 결정된다.

그림 4는 그림 3의 그래프에서 y축 양자화 단계의 크기 범위를 상대국에서 보낸 목표신호의 크기로 하여 다시 그린 것이다. 여기에서 목표 신호의 크기를 1로 가정하였기 때문에 y축 최대치는 1을 나타낸다. 일반적으로 ADC의 양자화 단계보다 작은 신호는 ADC에서 양자화 오차로 인해 완전히 왜곡되고, 정보가 손실된다. 따라서 목표 신호의 크기가 1이라면 1보다 작은 양자화 단계를 가질 수 있는 조건을 만족시켜주어야 한다. 예를 들어 목표 신호의 크기가 1이고 자기간섭 신호의 전력이 60dB일 경우 최소 11비트 이상의 ADC를 사용하여야 한다. 이때 ADC의 비트 수가 11비트 이상으로 증가할 경우 Digital Cancellation 후의

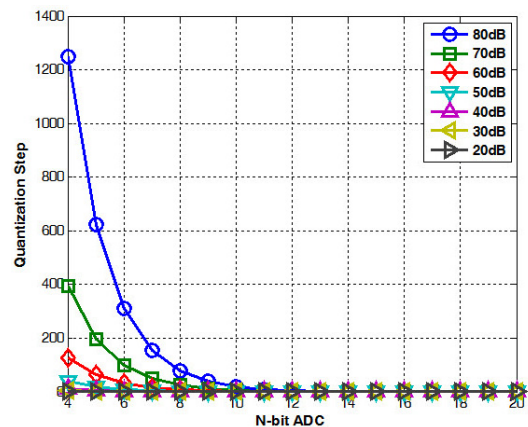


그림 3. 자기간섭 신호의 전력 크기에 따른 N-bit ADC의 양자화 단계
 Fig. 3. Quantization step of N-bit ADC according to SI power

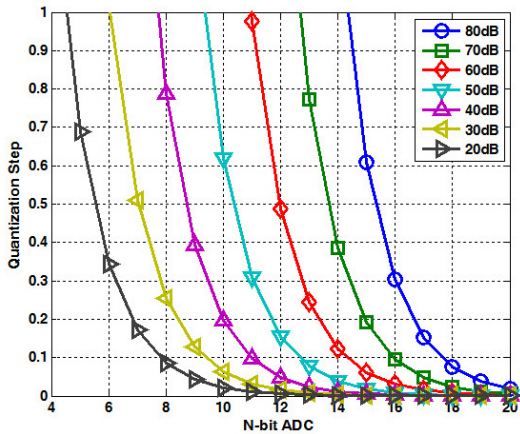


그림 4. 자기간섭 신호의 전력 크기에 따른 N-bit ADC의 양자화 단계
 Fig. 4. Quantization step of N-bit ADC according to SI power

전체적인 시스템 성능이 향상되는 양상을 보일 것이다. 이러한 분석 결과는 ADC로 인가되는 자기간섭 신호의 크기를 가능한 줄일수록 저 비트의 ADC를 사용할 수 있는 것을 나타낸다.

3.2 시스템 모델

그림 5는 ADC 입출력 신호 분석 및 전체적인 시스템의 성능 평가를 위한 시스템 모델을 나타낸다. 시스템 모델은 자기간섭 신호를 제거하기 위해 RF Cancellation과 Digital Cancellation 기술을 사용한다. 이 시스템에서 수신 신호의 흐름을 살펴보면, 우선 자국 수신 안테나에 상대국에서 보낸 목표 신호 및 자국 송신기로부터의 자기간섭 신호가 함께 수신된다. 여기

에서 자기간섭 신호는 자국 송신 안테나에서 자국 수신 안테나로 최단 거리를 통해 직접 간섭을 일으키는 직접경로 자기간섭 신호와 다중 경로를 거쳐 다시 자국으로 되돌아오는 다중경로 자기간섭 신호로 구성된다. 일반적으로 직접경로 자기간섭 신호의 경우 다중경로 자기간섭 신호에 비하여 그 크기가 더욱 크다. 그러나 직접경로 자기간섭 신호의 경우 최단거리 한 경로로 이동하기 때문에 신호의 왜곡이 적어 1탭의 위상 및 크기 변화가 발생한다. 즉, 직접경로 자기간섭 신호의 경우 자국 송신기에서 송신한 신호와 성분이 매우 유사하다. 따라서 이러한 직접경로 자기간섭 신호의 경우 송신기의 RF 영역의 신호를 이용하여 제거한다. 이를 RF Cancellation이라고 한다^[10]. RF Cancellation은 Coupler, Phase Shifter, Attenuator, Combiner를 이용한다. 우선 자국 송신기의 RF 신호를 Coupler로 분기시킨다. 그 다음 분기시킨 신호를 Phase Shifter와 Attenuator를 이용하여 자기간섭 신호와 크기가 갖고 위상이 반대가 되도록 위상과 크기를 조절한다. 최종적으로 생성된 역 위상 신호를 수신기의 RF 영역에 더해주어 자기간섭 신호가 서로 상쇄되도록 한다. 이러한 방식으로 자기간섭 제거를 수행하더라도 RF의 소자의 Non-ideal 특성으로 인한 잔류 자기간섭 신호와 다중경로 자기간섭 신호성분은 남아서 ADC에 인가된다. RF Cancellation 이후 잔류 자기간섭 신호와 목표 신호는 ADC에 의해 디지털 신호로 변환된다. 그 다음 Digital 영역에서 추가적인 자기간섭 제거를 수행한다. 이를 Digital Cancellation이라 한다^[11]. 잔류 자기간섭 신호성분은 아직 목표 신호에 비하여 매우 크기 때문에 Digital 영역에서 추가적

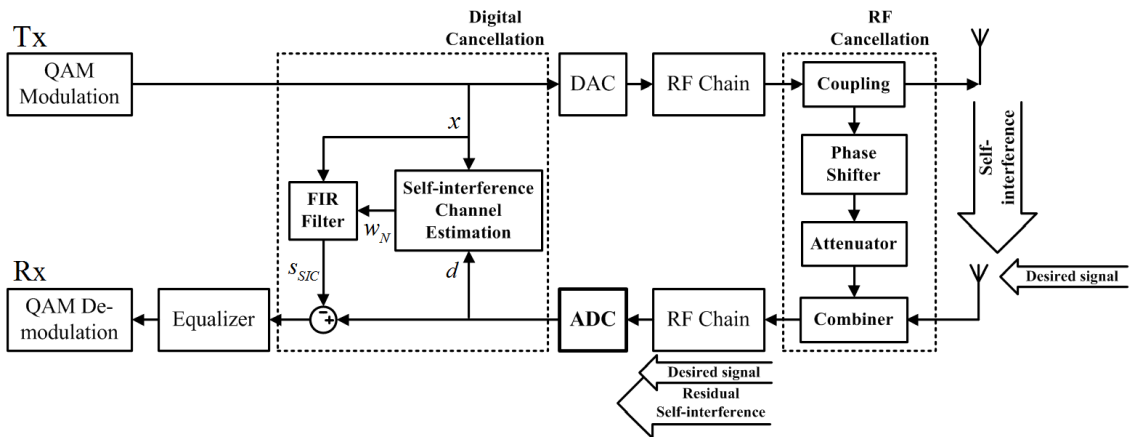


그림 5. 신호 분석 및 성능 평가를 위한 시스템 모델의 블록도
 Fig. 5. Block diagram of system model for signal analysis and performance evaluation

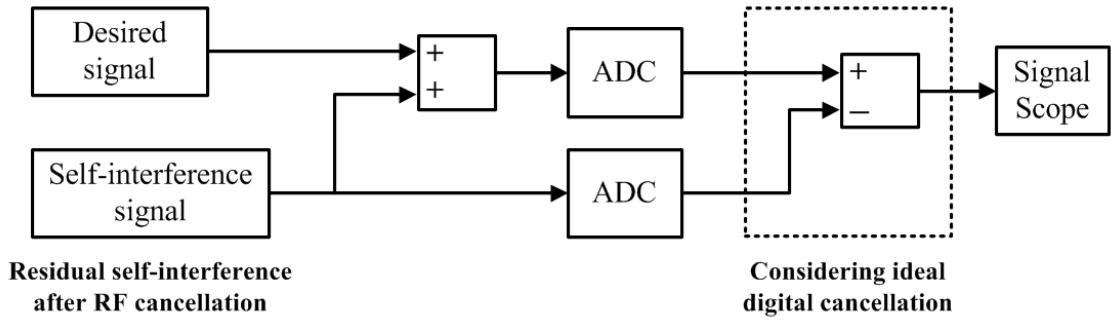


그림 6. 자기간섭 신호의 파워에 따른 ADC 효과를 분석하기 위한 시스템의 블록도
 Fig. 6. Block diagram of system for analysis of ADC effect according to SI power

인 자기간섭 제거가 반드시 필요하다. Digital Cancellation의 매커니즘은 다음과 같다. 우선 자국 송신기의 디지털 영역의 신호를 이용하여 자기간섭 채널을 추정한다. 그 다음 자국 송신 신호를 추정된 자기간섭 채널 계수를 이용하여 자기간섭 신호와 유사한 신호가 되도록 필터링을 한다. 필터링된 신호를 수신 신호에서 빼주어 자기간섭 신호가 제거되도록 한다. 본 논문의 시스템 모델에는 자기간섭 채널을 추정하기 위한 알고리즘으로 LMS 알고리즘을 사용하였다.

IV. 시뮬레이션 결과 및 분석

본 논문에서는 IBFD 시스템에 실제 구현을 위한 ADC 효과가 고려되었을 경우의 신호 특성 분석 및 전체적인 시스템 성능 평가를 하였다. 우선 목표 신호 및 자기간섭 신호의 크기에 따른 N-bit ADC의 입출력 신호 특성을 분석한다.

그림 6은 자기간섭 신호의 파워에 따른 ADC 입출력 신호 특성을 분석하기 위한 시스템의 블록도를 나타낸다. 이 시스템 모델은 RF Cancellation 이후에 ADC에 의한 신호 입출력 특성 분석을 위하여 부분적으로 모델링되었다. 여기에서 Self-interference signal은 IBFD 시스템에서 RF cancellation 이후에 남은 잔류 자기간섭 신호를 나타낸다. 이 자기간섭 신호의 크기가 각각 80dB, 60dB, 40dB 일 때 다양한 N-bit ADC에 대한 신호 입출력 특성을 분석하였다. 자기간섭 신호의 위상은 모두 0도를 고려하였다. Desired signal은 상대국에서 보낸 목표 신호를 나타내고 크기는 1을 고려하였다. 이 시스템 모델은 ADC 이후 Digital Cancellation이 이상적으로 수행되는 것을 고려하여 최종적으로 상대국에서 보낸 목표 신호의 특성을 분석하였다.

그림 7, 그림 8, 그림 9는 각각 자기간섭 신호의 크기에 따른 N-bit ADC 전후의 목표 신호 특성을 나타낸다. Before ADC 그래프는 ADC 이전의 아날로그 목표 신호를 나타낸다. After ADC는 ADC 이후의 Digital Cancellation이 완벽하게 수행되고 난 뒤 목표 신호를 나타낸다.

그림 7은 목표 신호의 전력이 0dB, 자기간섭 신호의 전력이 80dB 일 때 N-bit ADC 전후의 목표 신호 특성을 나타낸다. ADC의 비트가 16bit나 18bit일 때 아날로그 목표 신호가 효과적으로 디지털 신호로 변조된 것을 확인할 수 있다. 이 보다 낮은 비트의 ADC에서는 자기간섭 신호의 크기가 목표 신호에 합쳐지면서 전체적인 ADC 입력 신호의 크기를 높이고 이로 인해 양자화 단계가 목표 신호의 크기보다 커져 ADC 이후에 신호의 크기가 간헐적으로 0이 나오며 정보가 손실되는 것을 확인할 수 있다. 이러한 결과는 그림 4의 ADC 입력 신호가 80dB 일 때 양자화 단계가 목표 신호의 크기 이하인 조건이 16-bit ADC나 18-bit ADC일 경우 만족되는 것과 같은 결과이다. 즉, RF Cancellation 이후 잔류 자기간섭 신호의 크기가 80dB에 이르는 환경에서는 IBFD 시스템의 ADC를 최소 16비트 이상으로 선택해서 설계해야 한다.

그림 8은 목표 신호의 전력이 0dB, 자기간섭 신호의 전력이 60dB 일 때 N-bit ADC 전후의 목표 신호 특성을 나타낸다. 여기에서는 ADC의 비트가 12비트 이거나 14비트일 경우 아날로그 목표 신호가 디지털 신호로 변환될 때 자기간섭 신호에 의해 영향을 받더라도 수신 신호의 특성 손실이 없음을 확인할 수 있다. 8-bit ADC나 10-bit ADC에서는 Digital Cancellation 이후 목표 신호가 간헐적으로 0으로 되어 정보 손실이 일어나고 있음을 확인할 수 있다. 이

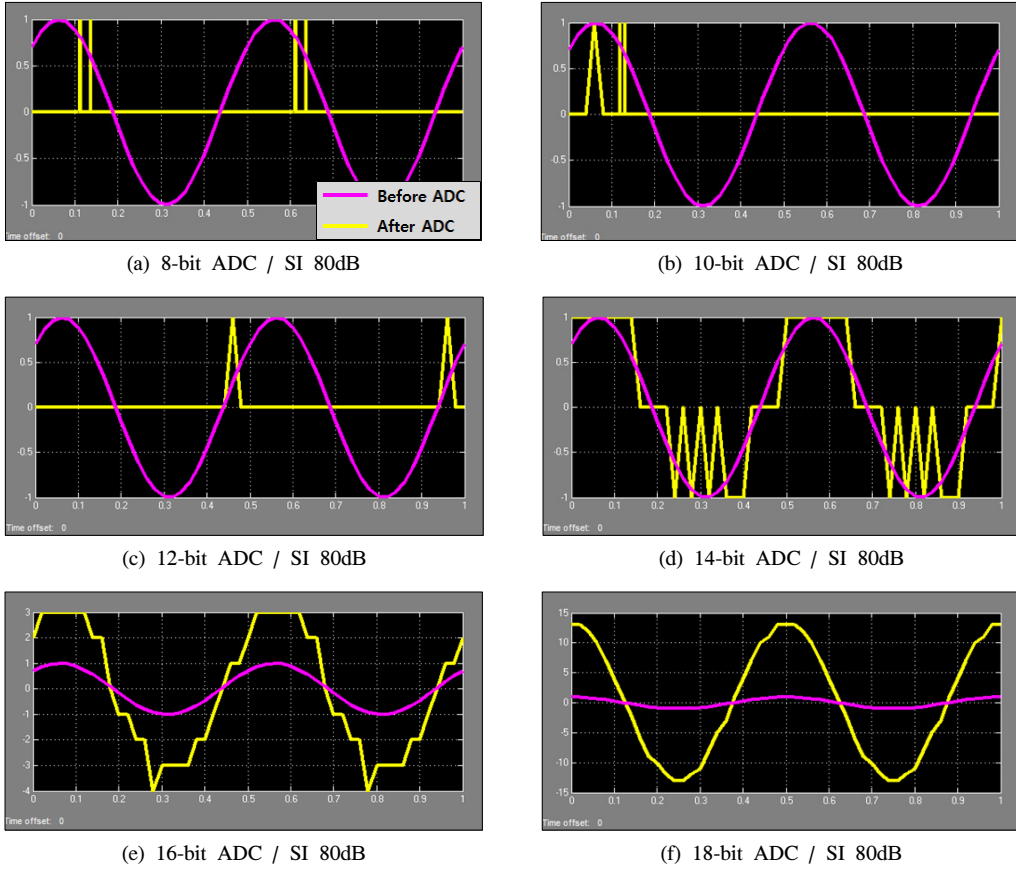


그림 7. 따른 N-bit ADC 전후의 목표 신호의 특성(SI power : 80dB)
 Fig. 7. Characteristics of desired signal before and after N-bit ADC(SI power : 80dB)

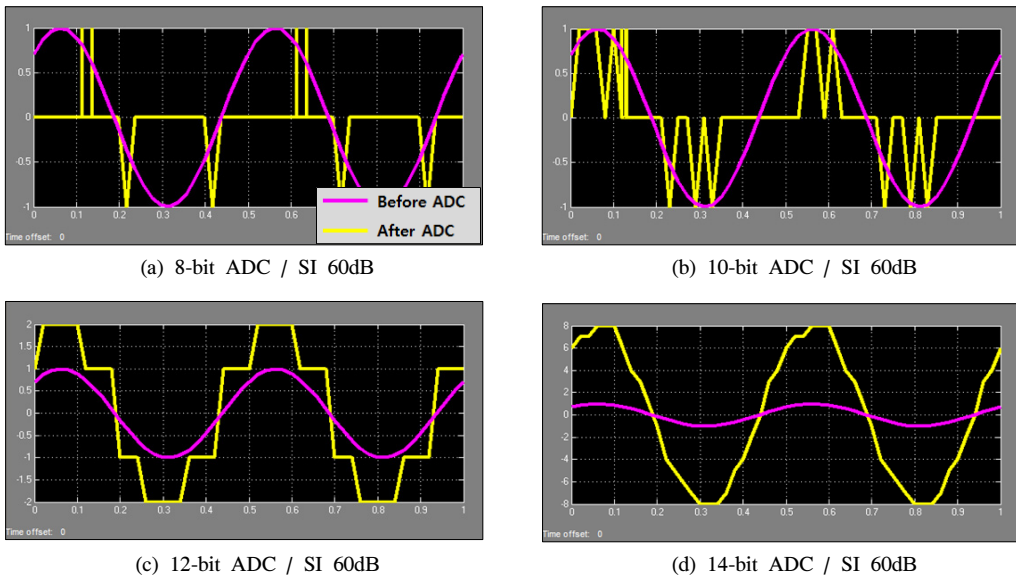


그림 8. N-bit ADC 전후의 목표 신호의 특성(SI power : 60dB)
 Fig. 8. Characteristics of desired signal before and after N-bit ADC(SI power : 60dB)

러한 결과는 그림 4의 ADC 입력 신호 전력이 60dB 일 때 양자화 단계 크기가 목표 신호의 크기보다 작아지는 조건이 12-bit 이상의 ADC일 경우 만족 되는 것과 같은 결과이다. 즉, 60dB의 자기간섭 신호 영향을 받을 때에는 ADC는 최소 12비트 이상을 선택해야 한다.

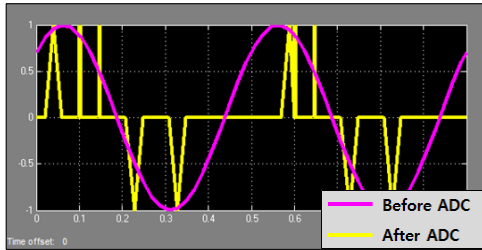
그림 7, 그림 8과 같이 그림 9에서는 자기간섭 신호의 전력이 40dB일 때 최소 8비트 이상의 ADC를

선택해야 함을 확인할 수 있다.

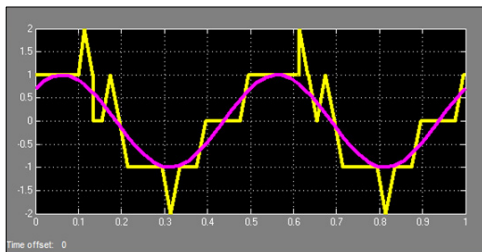
표 1은 ADC 효과가 고려된 IBFD 시스템의 성능 평가를 위한 시뮬레이션 환경을 나타낸다.

그림 10은 RF Cancellation 이후 잔류 자기간섭 신호의 전력이 40dB 일 때, ADC 효과가 고려된 IBFD 시스템의 ADC 비트 수에 따른 BER 성능을 나타낸다. 여기에서 성능 평가를 위해 그림 5의 시스템을 Simulink로 설계하였으며, Monte Carlo 방식으로 성능을 평가하였다. 그림 10에서 RF Cancellation 이후 잔류 자기간섭 신호의 전력이 40dB 일 때, 6-bit ADC 가 사용될 경우 어떠한 정보도 수신할 수 없음을 확인할 수 있으며, 8-bit의 ADC를 사용할 경우 일부 정보를 수신할 수 있는 것을 확인할 수 있다. 그러나 10-bit ADC 이상을 사용해야 이상적인 성능과 유사한 성능을 낼 수 있음을 확인할 수 있다. 이러한 결과는 그림 4에서 ADC로 목표 신호화 함께 인가되는 자기간섭 신호의 전력이 40dB 일 때, 양자화 단계의 크기가 목표 신호의 크기보다 작을 조건이 8-bit 이상의 ADC를 사용할 경우 만족되는 것과 같은 결과이다. 이러한 상황에서는 10-bit ADC를 사용할 경우 좋은 성능과 함께 시스템 설계 비용 및 복잡도를 감소시킬 수 있는 것을 확인할 수 있다.

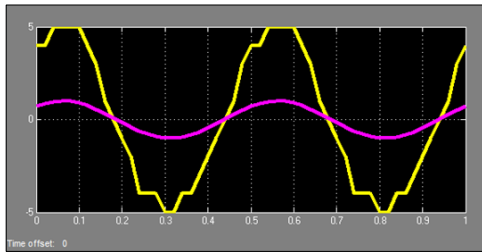
그림 11은 RF Cancellation 이후 잔류 자기간섭 신호의 전력이 30dB 일 때, ADC 효과가 고려된 IBFD 시스템의 ADC 비트 수에 따른 BER 성능을 나타낸다. 그림 11에서 RF Cancellation 이후 잔류 자기간섭 신호의 전력이 30dB 일 때, 6-bit의 ADC를 사용하면 일부 정보를 수신할 수 있지만 그 성능이 매우 열악한 것을 확인할 수 있다. 효과적인 성능을 내기 위해서는



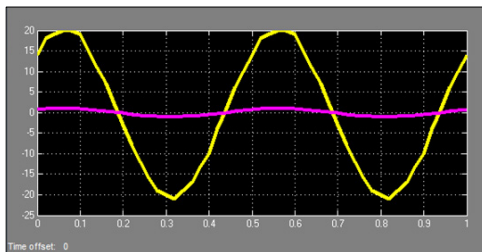
(a) 6-bit ADC / SI 40dB



(b) 8-bit ADC / SI 40dB



(c) 10-bit ADC / SI 40dB



(d) 12-bit ADC / SI 40dB

그림 9. N-bit ADC 전후의 목표 신호의 특성(SI power : 40dB)
Fig. 9. Characteristics of desired signal before and after N-bit ADC(SI power : 40dB)

표 1. 시뮬레이션 환경
Table 1. Simulation parameters

| Modulation | QAM |
|--|----------------------------|
| Power of desired signal | 0dB |
| Power of direct SI | 80dB |
| Power of residual SI after RF cancellation | 40dB, 30dB, 20dB |
| Power of residual SI | 40dB, 30dB, 20dB |
| Coefficient of SI channel | [0.008 0 0 0.006 0.001] |
| Algorithm for estimation of SI channel in digital cancellation | LMS |
| Number of taps | 30 |
| Step size | 0.0005 |
| # of ADC bit | 6, 8, 10, 12, 14 |

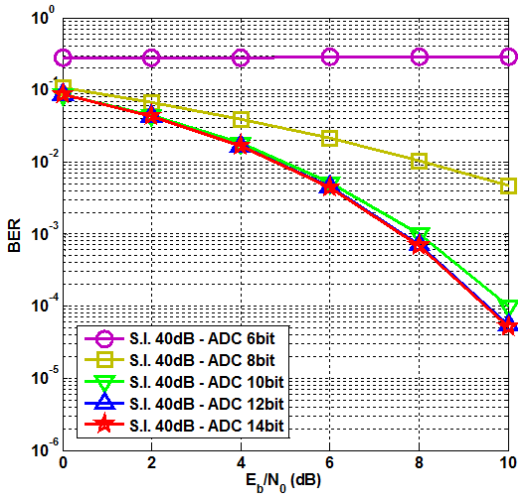


그림 10. 자기간섭 신호의 전력이 40dB일 때 ADC 비트 수에 따른 IBFD 시스템의 BER 성능
 Fig. 10. BER performance of the IBFD system according to number of ADC bit when SI power is 40dB

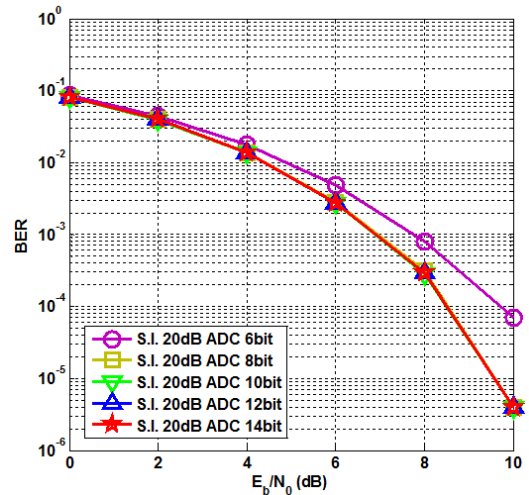


그림 12. 자기간섭 신호의 전력이 20dB일 때 ADC 비트 수에 따른 IBFD 시스템의 BER 성능
 Fig. 12. BER performance of the IBFD system according to number of ADC bit when SI power is 20dB

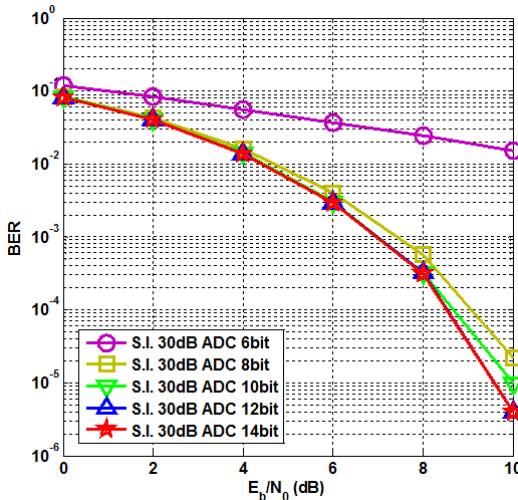


그림 11. 자기간섭 신호의 전력이 30dB일 때 ADC 비트 수에 따른 IBFD 시스템의 BER 성능
 Fig. 11. BER performance of the IBFD system according to number of ADC bit when SI power is 30dB

최소 8bit의 ADC를 사용해야함을 나타낸다. 이러한 결과는 그림 4에서 ADC에 인가되는 잔류 자기간섭 신호의 전력이 30dB일 때 양자화 단계의 크기가 목표 신호보다 작을 조건이 8-bit 이상의 ADC에서 만족되는 것과 같은 결과이다. 즉, IBFD 시스템에서 RF Cancellation 이후 잔류 자기간섭 신호의 전력이 30dB 일 경우 최소 8-bit ADC를 사용해야 효율적인 성능을 낼 수 있는 것을 확인할 수 있다.

그림 12는 RF Cancellation 이후 잔류 자기간섭 신호의 전력이 20dB 일 때, ADC 효과가 고려된 IBFD 시스템의 ADC 비트 수에 따른 BER 성능을 나타낸다. 그림 12에서 RF Cancellation 이후 잔류 자기간섭 신호의 전력이 20dB 일 때, 6-bit ADC를 사용하여도 어느 정도의 성능을 얻을 수 있는 것을 확인할 수 있다. 그러나 효과적인 성능을 얻기 위해서 8비트 이상의 ADC를 사용해야 하는 것을 확인할 수 있다. 이는 그림 4에서 잔류 자기간섭 신호의 전력이 20dB일 때 6비트 이상의 ADC를 선택해야 양자화 단계 크기가 목표 신호보다 작아질 수 있음을 나타낸 것과 같은 결과이다.

그림 10, 그림 11, 그림 12를 모두 종합해 볼 때 IBFD 시스템에서 자기간섭 신호의 전력에 따른 양자화 단계의 크기가 목표 신호보다 작을 경우 일부 정보를 수신할 수 있으나 양자화 단계가 목표 신호의 크기보다 약 1/3 정도 작은 조건을 만족시켜야 최종적인 포화 성능 곡선과 유사한 성능을 낼 수 있는 것을 확인할 수 있다. 이러한 결과는 IBFD 시스템을 설계할 때 ADC 이전의 Antenna 영역이나 RF 영역에서 최대한의 자기간섭 신호를 제거하는 것이 효율적임을 나타낸다.

V. 결론

본 논문에서는 IBFD 시스템에서 ADC 효과가 고

려되었을 경우의 신호 특성을 분석하고 전체적인 시스템의 성능을 평가 및 분석한다. 우선, 본 논문에서는 IBFD 시스템의 일반적인 개념에 대하여 알아보았다. 그 다음 ADC 효과가 고려될 경우 ADC에 인가되는 자기간섭 신호의 크기에 따른 ADC 전후의 수신 신호 특성의 변화에 대하여 분석하였다. 여기에서 1차적으로 ADC의 양자화 단계 크기가 목표 신호보다 작은 조건을 계산을 통해 간단하게 파악하였다. 그 다음 간단한 부분 시스템 설계를 통하여 양자화 단계의 크기가 목표 신호보다 작은 조건을 만족시켜야 목표 신호에 큰 크기의 자기간섭 신호가 간섭을 일으키더라도 ADC에서 목표 신호 정보의 손실을 줄일 수 있는 것을 확인하였다. 이러한 결과를 최종적으로 확인하기 위하여 ADC 효과가 고려된 IBFD 시스템을 설계하고 성능 평가를 수행하였다. 시뮬레이션의 결과로 ADC 입력에 인가된 자기간섭 신호의 크기에 따라 양자화 단계의 크기가 목표 신호의 크기보다 작도록 ADC의 비트를 결정하여야 목표 신호에서 정보를 추출할 수 있음을 확인하였다. 또한 좋은 성능을 유지하며 효율적인 통신을 하기 위해서는 양자화 단계 크기가 대략 목표 신호 크기의 1/3보다 작아야 하는 것을 확인하였다.

References

- [1] Ministry of Science, ICT and Future Planning, *Mobile data traffic statistics*, 2014. 12. 1.
- [2] Cisco, *Cisco Visual Networking Index: Global Mobile Data Traffic Forecast Update, 2013-2018*, Feb. 2014.
- [3] J. I. Choi, M. Jain, K. Srinivasan, P. Levis, and S. Katti, "Achieving single channel, full duplex wireless communication," in *Proc. ACM MobiCom*, pp. 1-12, Sept. 2010.
- [4] M. Jain, J. I. Choi, T. Kim, D. Bharadia, S. Seth, K. Srinivasan, P. Levis, S. Katti, and P. Sinha, "Practical, real-time, full duplex wireless," in *Proc. MobiCom '11*, pp. 301-312, Sept. 2011.
- [5] M. Duarte, A. Sabharwal, V. Aggarwal, R. Jana, K. K. Ramakrishnan, C. W. Rice, and N. K. Shankaranarayanan, "Design and characterization of a full duplex multiantenna system for wifi networks," *IEEE Trans. Veh. Technol.*, vol. 63, no. 3, pp. 1160-1177, Mar. 2014.
- [6] Melissa Duarte, "Full-duplex wireless: Design, implementation and characterization," Ph.D. dissertation, Dept. Electr. Comput. Eng., Rice University, Houston, TX, USA, 2012.
- [7] A. Sabharwal, P. Schniter, D. Guo, D. W. Bliss, S. Rangarajan, and R. Wichman, "In-band full-duplex wireless: Challenges and opportunities," *IEEE J. Sel. Areas Commun.*, vol. 32, no. 9, pp. 1637-1652, 2014.
- [8] D. Korpi, T. Riihonen, V. Syrjala, L. Anttila, M. Valkama, and R. Wichman, "Full-duplex transceiver system calculations: Analysis of ADC and linearity challenges," *IEEE Trans. Wirel. Commun.*, vol. 13, no. 7, pp. 3821-3836, Jul. 2014.
- [9] S. Rapuano, P. Daponte, E. Balestrieri, L. De Vito, S. J. Tilden, S. Max, and J. Blair, "ADC parameters and characteristics," *IEEE Instrumentation & Measurement Mag.*, vol. 8, no. 5, pp. 44-54, Dec. 2005.
- [10] C. An and H.-G. Ryu, "Design and performance evaluation of SSD (simultaneous single band duplex) system using RF cancellation and digital cancellation," *ICTC*, pp. 960-963, Oct. 2014.
- [11] C. An and H.-G. Ryu, "Design and performance improvement of simultaneous single band duplex system using turbo equalizer," *J. KICS*, vol. 39, no. 1, pp. 28-35, Jan. 2014.

안 창 영 (Changyoung An)



2013년 2월: 충북대학교 전자
공학과(공학사)
2015년 2월: 충북대학교 전자
공학과(공학석사)
2015년 3월~현재: 충북대학교
전자공학과 박사과정
<관심분야> 차세대 무선통신시
스템, 신호 처리

유 흥 균 (Heung-Gyoon Ryu)



1988년~현재: 충북대학교 전자
공학과 교수
2002년 3월~2004년 2월: 충북
대학교 컴퓨터정보통신연구
소 소장
1996년~현재: IEEE, IET 논문
심사위원

2002년: 한국전자과학회 학술상 수상
2008년: ICWMC 2008 국제학술대회 “Best Paper
Award” 수상
2009년: SPACOMM 2009 국제학술대회 “Best
Paper Award” 수상
<관심분야> 무선통신시스템, 위성통신, B4G/5G 이
동통신시스템, 통신회로 설계 및 통신 신호 처리