

특집 : 3차원 패키징용 로우알파 솔더

3차원 실장을 위한 TSV의 Cu 전해도금 및 로우알파 솔더 범핑

정도현 · 쿠마르 산토쉬 · 정재필[†]

서울시립대학교 신소재공학과

Cu Electroplating and Low Alpha Solder Bumping on TSV for 3-D Packaging

Do hyun Jung, Santosh Kumar and Jae pil Jung[†]

Department of Materials Science and Engineering, University of Seoul, Seoul 130-743, Korea

(Received December 1, 2015; Corrected December 10, 2015; Accepted December 22, 2015)

Abstract: Research and application of three dimensional packaging technology in electronics have been increasing according to the trend of high density, high capacity and light weight in electronics. In this paper, TSV fabrication and research trend in three dimensional packaging are reported. Low alpha solder bumping which can solve the soft error problem in electronics is also introduced. In detail, this paper includes fabrication of TSV, functional layers deposition, Cu filling in TSV by electroplating using PPR (periodic pulse reverse) and 3 step PPR processes, and low alpha solder bumping on TSV by solder ball. TSV and low alpha solder bumping technologies need more studies and improvements, and the drawbacks of three dimensional packaging can be solved gradually through continuous attentions and researches.

Keywords: three dimensional packaging, TSV (Through Silicon Via), Cu filling, low alpha, solder bumping

1. 서 론

최근 전자제품의 고밀도, 고용량 및 경량화 경향에 따라 전자 소자의 크기와 동작 전압도 감소되고 있다. 기존의 평면적인 2차원 실장법은 신호전달이 상대적으로 느리고, I/O 패드 증가로 인한 패키지 면적의 증가 등의 문제점이 있어서 현재 전자 제품 산업에서 요구하는 최신 경향과는 다소 거리가 있다. 이에 따라, 칩을 수직으로 적층하여 실장하는 3차원 패키징에 대한 연구와 적용이 활발히 진행되고 있으며,¹⁾ 이중 TSV (Through Silicon Via, 관통홀)기술이 가장 주목을 받고 있다.

TSV를 이용한 3차원 패키징 방법은 실리콘 웨이퍼를 관통하는 비아 홀에 전도성 물질을 충전하여 전기적 통로를 확보한 후, 여러 개의 칩을 적층하여 실장하는 방법으로, 집적도를 향상시킬 수 있다. 또한, 칩 내부에 직접 연결통로가 확보되기 때문에, 빠른 신호전달이 가능하며, 전력소모를 최소화 할 수 있는 장점이 있다. 이러한 TSV 기술의 핵심은 크게 관통홀 형성기술, 관통홀 내 기판 박막 증착기술, 관통홀 내 전도성 물질 충전 기술, 관통홀 노출과 웨이퍼 박층화를 위한 thinning 기술 및 웨이퍼 적층 기술 등으로 구성된다(Fig. 1 참조).

한편, 주석(Sn)은 솔더 재료의 주 원료로써, 주로 반도체 소자의 전극물질, 전자부품과 기판의 집합 및 플립칩 (flip chip) 제조시의 범프 형성 등의 재료에 널리 사용되고 있다. 그러나, 최근 반도체 소자의 고밀도화 경향에 따라, 반도체 칩의 근방에 배치된 주석으로부터 알파 방사선이 방출되어 메모리 셀의 정보를 유실시키는 소프트에러(soft error)가 발생하는 위험이 많아지고 있다.²⁾ 소프트에러는 고 에너지의 알파 방사선 조사가 반도체 소자에 일어나면 발생하게 되는데, 전하 교란이 충분히 크면 기억소자나 기록장치 내의 디지털 신호가 0이 1로 혹은 1이 0으로 변화하는 심각한 문제를 일으키게 된다. 이로 인해 반도체 소자 전극 물질 및 솔더 재료로 사용되는 주석은 알파 방사선의 방출이 낮은 로우 알파 솔더(low alpha solder)가 요구되고 있다.

본고에서는 TSV를 이용한 3차원 패키징 기술에서 전술한 세부 공정 및 소프트 에러 방지를 위한 로우알파 솔더를 이용한 범핑에 관하여 기술하고자 한다.

2. TSV 형성과 기능 박막층 증착

TSV 기술을 구성하는 여러 기술 중에 관통홀 형성 기

[†]Corresponding author
E-mail: jujung@uos.ac.kr

© 2015, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

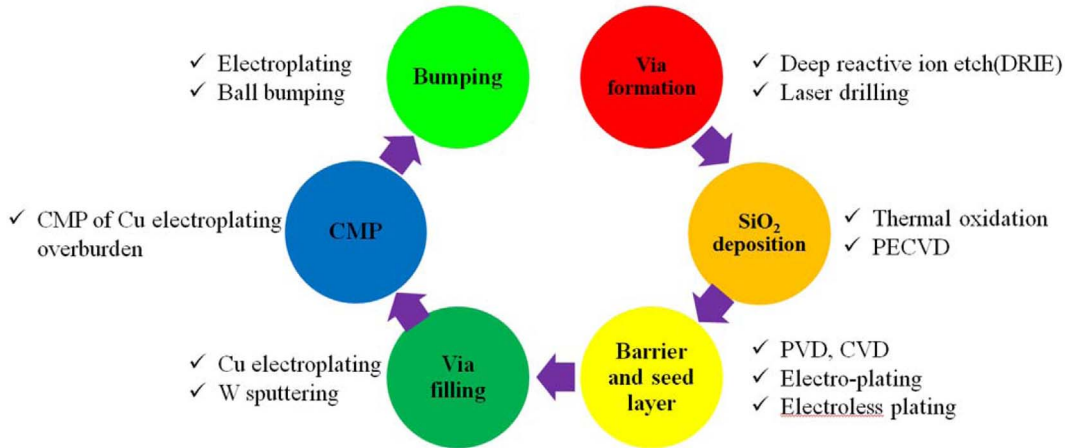


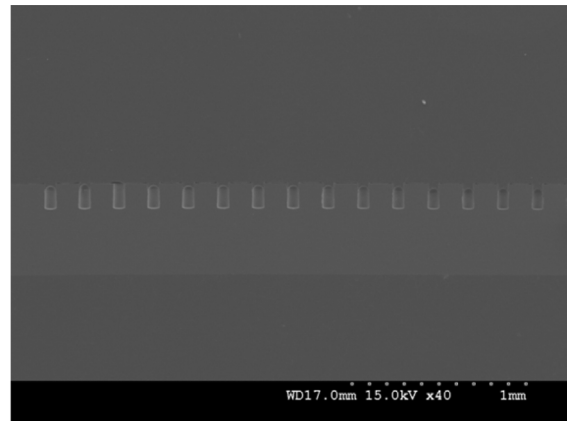
Fig. 1. Typical TSV process and solder bumping for 3D packaging.

술은 TSV 기술의 핵심 중 하나로, DRIE (Deep Reactive Ion-Etching)법, 레이저 드릴 기술 등이 일반적으로 사용되고 있다. 레이저를 이용한 방법은 별도의 마스크가 필요하지 않으며, 관통홀 형성을 위한 부식성 가스 등의 유해물질 사용이 없다는 장점을 지니고 있다.³⁾ 그러나, 종횡비(aspect ratio)가 큰 관통홀을 형성하기 힘들며, 개구부 주변에 찌꺼기(debris)가 발생하는 단점이 있다.

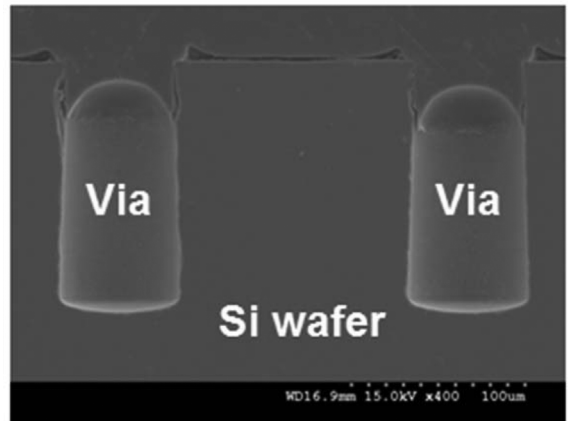
이러한 레이저 드릴 기술의 단점을 보완하기 위해, W. Seo 등은 계면활성제를 이용한 화학적 세정과, brush를 이용한 물리적 세정을 검토하였다. 8인치 CMOS image sensor wafer에 직경 30 μm , 깊이 100 μm 를 갖는 via를 제작하여 두 가지 세정 방법을 적용한 결과, 세정액은 DI water와 계면활성제의 혼합비 2:1에서 debris 범위가 73 μm^2 로 희석비가 낮을수록 세정력이 우수하였다. Brush를 이용하여 debris를 제거하는 실험에서는 strip 100~3000 rpm, rinse 50~3000 rpm, brush 200~300 rpm으로 증가시켜 세정하였을 때, crack이나 damage 없이 debris의 분포가 감소하여, 화학적 세정과 물리적 세정으로 debris를 제거할 수 있었다.⁴⁾

DRIE 공정은 플라즈마 에칭 기술로서, SF_6 을 사용하여 실리콘을 에칭시키고, C_4F_8 막으로 via의 측면을 보호하여 이방성 에칭하는 방법이다.¹⁾ 이 기술은 다수의 홀을 동시에 형성할 수 있고, 다양한 종횡비의 관통홀 형성이 가능하다는 장점이 있어, 미세 관통홀 형성을 위해 가장 많이 사용되고 있다. 즉, DRIE 법은 식각과 보호층 증착을 반복하며, 직진성 있는 관통홀을 얻는다.

그러나 이 기술은 비아 측벽에 scallop 구조가 형성될 수 있다. Scallop은 등방성 etching과 보호층 증착을 반복하는 과정에서, 1 cycle에서 식각된 영역과 그 다음 cycle에서 식각된 영역의 경계면에 생기게 되는데, 굴곡이 큰 scallop이 형성되면, 접합층과 시드층의 균일한 두께를 얻어내기가 어렵다. 이러한 불연속적인 시드층 문제를 해결하기 위해, S. P. Shen 등은 폴리머 첨가제($\text{R}_1\text{-NH}_2$, $\text{R}_2\text{-CO-NH-R}_3$)가 함유된 Cu 도금액을 제조한 후 Cu 전해도



(a)



(b)

Fig. 2. SEM micrographs of Si wafer with vias; (a) cross section of a via, and (b) magnified via.

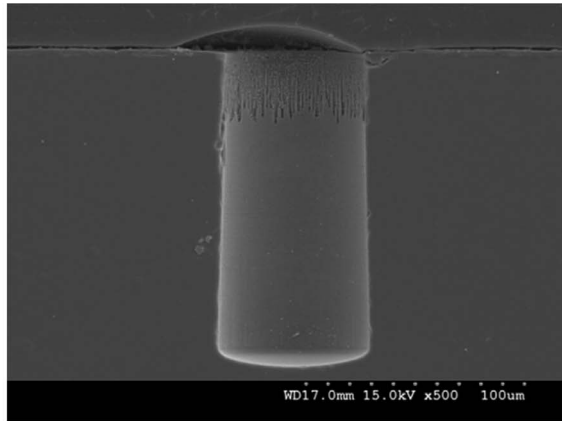
금하여 균일한 시드층 증착을 완료하였다.⁵⁾

그림 2에 DRIE 공정으로 형성된 관통홀의 단면 사진을 나타내었다.

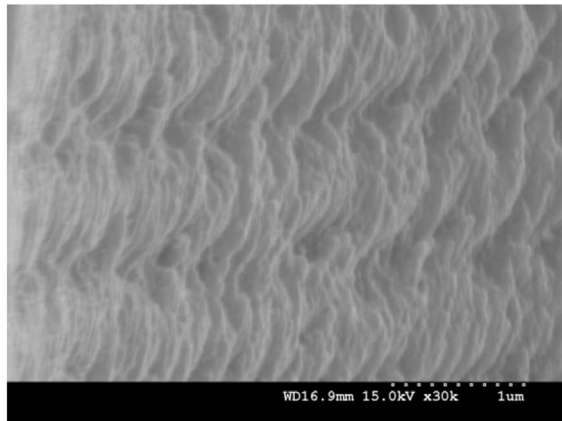
기능 박막(functional layer)은 형성된 관통홀(TSV) 내부에 전도성 물질을 충전하기 이전에 다양한 목적으로 증착하는 박막을 의미한다. 일반적으로, 절연층, 접합/확산

Table 1. Various functional layers and its purpose.

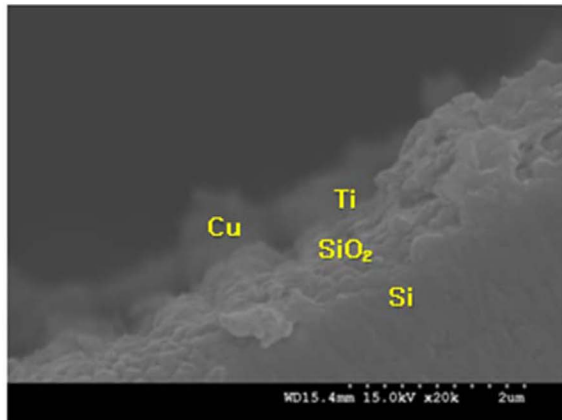
Functional layer	Purpose	Materials	Method
Insulating layer	Electrical insulation between TSV and Si wafer	SiO ₂ , SiN	PECVD (Plasma Enhanced Chemical Vapor Deposition)
Adhesion layer	Joint strengthen between filling metal into TSV and Si wafer	Ti	CVD (Chemical Vapor Deposition), PVD (Physical Vapor Deposition)
Seed layer	Pre-treatment layer for electroplating of filling metal	Cu, Au	Sputtering



(a)



(b)



(c)

Fig. 3. TSV with functional layer; (a) cross section of a via, (b) cross section of magnified via, and (c) top view of magnified via with functional layer.

방지층, 시드층의 순서로 비아홀 내부에 형성한다. 표 1에 기능 박막층의 목적 및 종류를 나타내었으며, 그림 3에 기능박막이 관통홀 내부에 형성된 구조를 나타내었다.

기능 박막은 많은 선행연구에서 SiO₂/Ti/Cu와 같은 구조가 보고된 바 있다.^{6,7)} 절연층으로 형성되는 SiO₂의 경우, 실레인(SiH₄)을 이용하여 PECVD 및 CVD로 증착하는 것이 일반적이다. 접합층은 절연층과 충전 금속인 Cu의 접합력 향상을 위해 절연층 및 충전 금속 양쪽과 접합성이 모두 좋은 Ti를 이용하여 박막을 형성한다.

기존의 접합/확산방지층은 주로 CVD를 이용하여 형성하였으나, 최근 H. Lee 등은 PEALD (Plasma Enhanced Atomic Layer Deposition)으로 TiN을 약 10 nm 형성한 후, 원자증착법(Atomic Layer Deposition: ALD)을 이용하여 Ru를 seed layer로 증착한 연구 결과를 보고하였다.⁸⁾

시드층은 충전 금속인 Cu의 전해도금을 용이하게 하기 위해 형성된다. 주로 동종의 Cu 박막이 사용되지만, Au를 코팅하는 경우도 있다.⁹⁾ 이는 산화방지 및 도금액 내에서의 화학적 안정성을 고려할 경우, Au의 특성이 Cu에 비해 우수하기 때문이다.

기존의 TSV내 씨드층은 PVD를 사용하여 많이 형성되었다. 그러나, 최근 Inoue 등은 TSV 직경 2 μm, 깊이 30 μm의 종횡비 1:15인 TSV를 제작한 후, SiO₂/TiN/Ru/Cu 기능층을 형성하여, Cu 씨드층을 60°C에서 15분 동안 무전해 도금하였다. Cu 씨드층은 TSV내 Cu전해 도금 충전 후 결함이 없는 양호한 결과를 나타내었다. 또한, atomic layer deposition(ALD)-Ru 확산방지층과 electroless deposition(ELD)-Cu 시드층간의 접착강도는 100 MPa 이상의 양호한 값을 보인다고 보고하였다.¹⁰⁾

또한, M. Knaut 등은 1:20 이상의 종횡비를 갖는 TSV를 제작한 후 Al₂O₃, TaN를 각각 절연층, 확산 방지층으로 증착하였다. 그 후, 씨드층으로 Cu를 전해도금하여 TSV 내 양호한 Cu 충전 결과를 보고하였다.¹¹⁾

3. TSV의 충전

관통홀 내부 전도성 물질의 충전은 기능 박막층이 형성된 비아 홀에 전도성 물질을 채워 넣는 과정이다. TSV 충전에 사용될 소재는 높은 전기전도도, 낮은 응력과 열신뢰성이 우수해야 한다. 이러한 특성을 만족시키는 소재로는 텅스텐, 폴리 실리콘, Cu 및 솔더 등이 있으며, 텅

스텐과 폴리 실리콘은 CVD를 이용하여 충전을 실시한다. 솔더의 경우는 일반적으로 잘 사용되지 않지만 일부에서 시도한 적이 있는데, Sn-Ag-Cu (250°C 충전), Bi-Sn-Ag (270°C 이상 충전) 등을 MMSM (Molten Metal Suction Method) 법으로 충전한 것이 보고되어 있다.¹²⁾ Cu의 경우는 전해도금을 이용하여 관통홀 내부에 충전을 실시한다. 이 중, Cu 전해도금 기술은 반도체 공정에서 가장 보편화된 기술 중 하나로, 공정 비용이 비교적 저렴하고 양산성이 우수하다.

전해도금은 외부 전원을 인가하여 음극(cathode)에 금속을 코팅하는 방법으로, 음극에서 환원된 금속이온의 양은 흘려준 전류의 양에 비례하며, 아래와 같은 Faraday 법칙에 의해 계산될 수 있다.

$$Q = It = zFn$$

위 식에서, Q는 통전량이며, I는 전류(A), t는 시간(sec), z는 가수(equivalent/mole), F는 Faraday 상수(96500 C/equivalent), n은 반응 몰수이다. 위 식에서 Faraday 상수는 1 mole 전자가 가지는 전하량을 의미하며, 환원된 금속의 양은 금속의 가수와 원자량에 따라 다르므로, 전기화학당량(electrochemical equivalent)을 이용하여 다음의 식처럼, 통전량에 따른 무게로 표시할 수 있다.

$$\delta = \frac{m}{A_p} = \frac{ItM}{zF\rho}$$

여기서 δ 는 도금층의 두께이며, I는 전류(A), ρ 는 원자 밀도, t는 시간(sec), F는 faraday 상수이며, z는 원자가이다.

한편, 전해도금의 단점으로는 기능 박막 증착이 선행되어야 하며, 중형비가 높은 TSV의 경우에 균일한 시드층 증착이 어렵고, 충전시 결함 발생이 많아서 TSV내 Cu 충전 공정이 3차원 적층 원가 비중의 약 40%를 차지하기도 한다. 초창기 TSV 내부 Cu의 도금시간이 길다는 단점이 있었으나,¹³⁾ 최근에 Cu 전해도금 시간 단축에 관한 연구가 활발히 진행되어 단시간 Cu 전해도금에 대한 결과도 보고되고 있다. T. Hayashi 등의 연구에 따르면, via 직경 10 μ m, 깊이 70 μ m를 갖는 관통홀에서 35분간 Cu 전해도금하여, 결함없는 Cu 충전을 완료하였으며,¹⁴⁾ H.Y. Li 등의 연구에서도, 직경 및 깊이가 각각 20, 65 μ m인 관통홀에 전해도금으로 약 40분에 Cu 충전을 완료하였다.¹⁵⁾ 또한, Kondo 등은 직경 5 μ m, 깊이 70 μ m를 갖는 관통홀에서 10분간 Cu 전해도금하여, 결함없는 Cu 충전을 완료하였음을 최근 보고하였다.¹⁶⁾

Cu 전해도금 전도성 물질의 고속 충전을 위해 억제제 및 가속제 등의 첨가제에 관한 연구,¹⁷⁾ 경사형 비아홀을 이용한 연구¹⁸⁾ 및 전류 파형에 대한 연구도 활발히 진행되고 있다.¹⁹⁻²¹⁾ DC (direct current) 전해도금을 이용하여 Cu를 충전하는 경우, 비아 홀 개구부의 모서리 부분에 전류가 집중되어 비아홀 입구가 먼저 막히게 된다. 이러한 전류 집중에 따른 기공(void) 등 결함 발생 문제를 최소

화하기 위해 펄스 전류를 이용한 충전도금이 일반적으로 이용된다. 펄스 전류는 산화 전류와 환원 전류를 교대로 인가하여 환원 전류만 흐를 때의 전류 집중 효과를 완화하여 준다. Jung 등은 관통홀에 단 시간 내에 결함 없이 Cu를 충전하기 위한 방법으로 PPR (periodic pulse reverse) 전류 파형을 이용한 충전¹⁹⁾ 및 3단 전류 파형의 조절을 통한 충전(3-step PPR)방법²⁰⁾ 등을 이용하여 Cu 전해도금 연구를 수행하였다.

그 결과, 전류파형에 따른 TSV 내부 Cu 충전율은 평균 60.5%의 차이가 존재하였다. 즉, 전류 인가 방법에 따른 평균 충전율은 펄스-역펄스 파형을 사용하였을 때 평균 충전율이 35%로 나타났지만, 주기적인 펄스-역펄스 전류와 3단계 주기적인 펄스-역펄스 전류에서는 평균 충전율이 각각 80, 95.5%로 측정되었다.²¹⁾ (표 2 참조)

그림 4에 전류밀도에 따른 전류 파형별 bottom-up 비율 값을 나타내었다 (bottom-up ratio = Cu thickness at the bottom/Cu thickness at surface). Pulse 전류를 사용하였을 때 bottom-up 비율은 전류밀도가 증가할수록 0.67에서 0.16으로 낮아지는 경향을 보였으며, 평균 bottom-up 비율은 0.38을 나타내었다. 그러나 3-step PPR 전류 파형에서는 전류 밀도가 증가할수록 bottom-up 비율도 1.73에서 5.88로 증가하는 경향을 보였다. 이처럼 3-step PPR은 평균 충전율 뿐만 아니라, bottom-up filling에도 유리한 것

Table 2. Filling ratio of various current waveform.²¹⁾

Current waveform	Type of via	Filling ratio (%)
Pulse	Straight via	45% (Maximum)
		35% (Average)
Periodic Pulse-Reverse (PPR)	Straight via	100% (Maximum)
		80% (Average)
3-step PPR	Straight via	100% (Maximum)
		95.5% (Average)

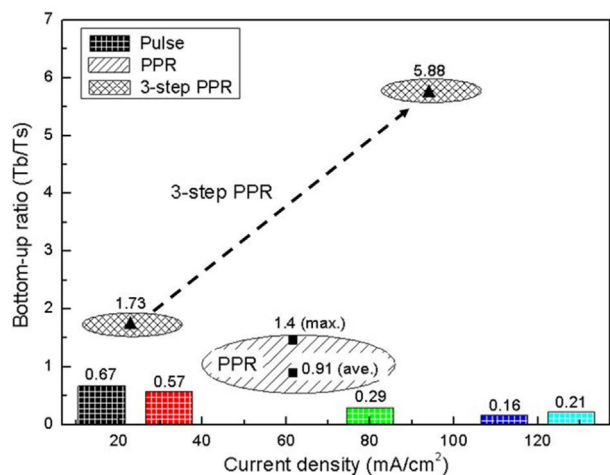


Fig. 4. Comparison of bottom-up ratio according to current waveform type.²¹⁾

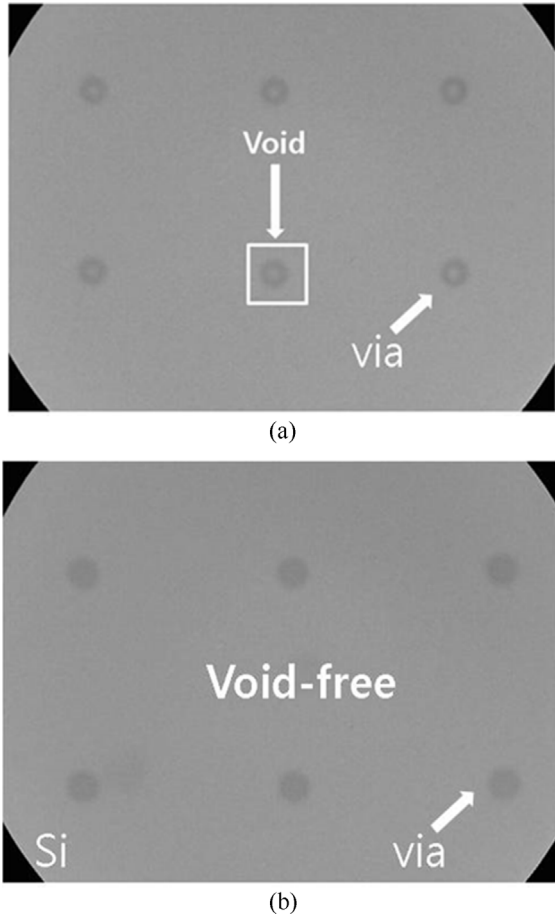


Fig. 5. Images from X-ray inspection and FE-SEM for Cu fillings with and without defects: (a) X-ray result including a defect, and (b) X-ray result without defect.²⁰⁾

으로 나타났다.²¹⁾

또한, x-ray 비 파괴 분석 시, 펄스 도금의 경우 TSV Cu 충전부에 기포(void)가 쉽게 생성되었지만, 3단계 PPR 최적조건에서는 void가 관찰되지 않는 양호한 충전조건에서, 1개의 chip 당 192개의 via hole이 모두 100% 충전됨

을 확인할 수 있었다.²⁰⁾ (그림 5 참조)

Cu 전해도금의 생산성 향상을 위한 4" 웨이퍼의 위치에 따른 Cu 충전 연구가 보고되었다.²²⁾ 이 연구에 따르면, 대면적에 전류를 가해주는 위치에 따라 전류가 인가되는 지점으로부터의 거리에 따른 저항의 증가로 충전율이 감소하는 경향을 보였다. 즉, 전류 공급위치로부터 0~0.5 cm 거리에 위치한 TSV의 경우 100%의 Cu 충전이 확인되었지만, 4.5~5 cm 거리에 위치한 TSV의 경우 충전율이 약 95%로 비아의 입구 부분이 완전히 충전되지 않는 경향을 보였다(그림 6 참조).

4. TSV상의 로우 알파 솔더 범핑

실리콘 칩의 3차원 적층을 위해서 솔더 범프를 형성한다. 솔더 범핑이란, 칩을 기판에 직접 접속하기 위한 전도성 금속(솔더) 돌기를 Cu가 전해도금 된 관통홀에 형성시키는 것을 말한다. 기판에 형성된 전극 단자에 범프를 형성하여 범프와 기판의 전극 단자를 접합시킴으로써 전기적 접속이 이루어진다. 따라서, 전극 단자에 균일한 범프를 형성하는 기술이 중요하다.

Cu가 전해도금 된 TSV의 범프 형성은 포토레지스트(PR) 몰드를 사용하여 전해도금방법으로 이루어진다.²³⁾ 그러나 이 공정은 PR coating, film masking, UV lightening, patterning 및 PR stripping 등의 리소그래피 공정을 포함하고 있어서 복잡하며, 공정 원가가 증가하고 생산성이 다소 떨어진다. 그러나, Jung 등의 연구에서는 Si wafer 상의 Cu plug 위에 이러한 리소그래피 공정 없이 전해도금을 실시하여 Sn 범프를 제조하였으며, 결합이 없는 양호한 범프를 형성하였다.²⁴⁾ (Fig. 7 참조)

한편, 로우알파 솔더는 방출되는 알파선 입자의 방출량이 단위면적(cm²)에서 1시간 동안 1 count 이하로 방출되는 솔더로, 표 3의 기준으로 그 등급을 분류한다. 이러한 로우알파 솔더는 최근 전자제품의 경박단소 경향에 따라

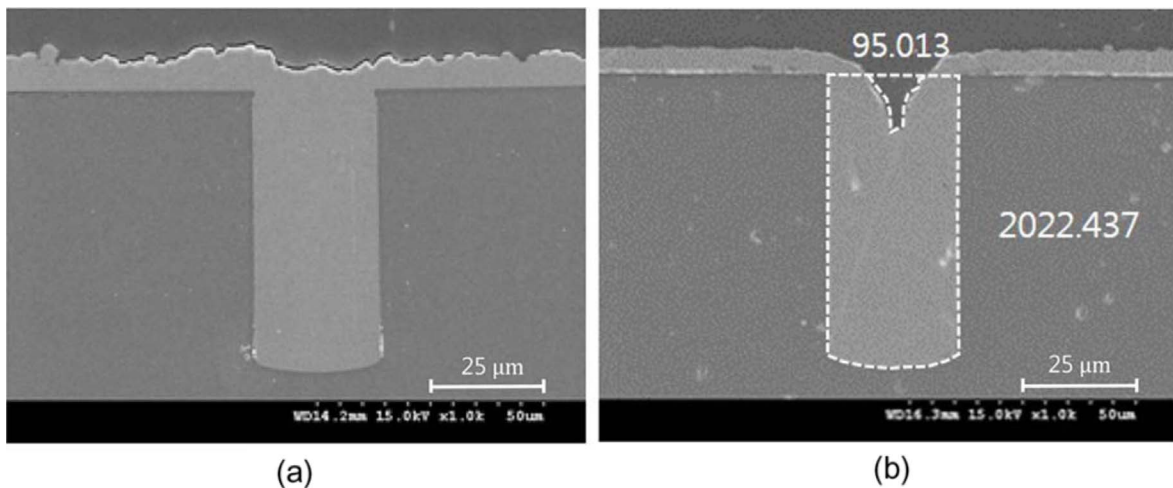


Fig. 6. SEM cross section of TSV according to distance from current supplying position in a 5×5 cm² Si chip. (a) 0~0.5 cm, and (b) 4.5~5 cm.²²⁾

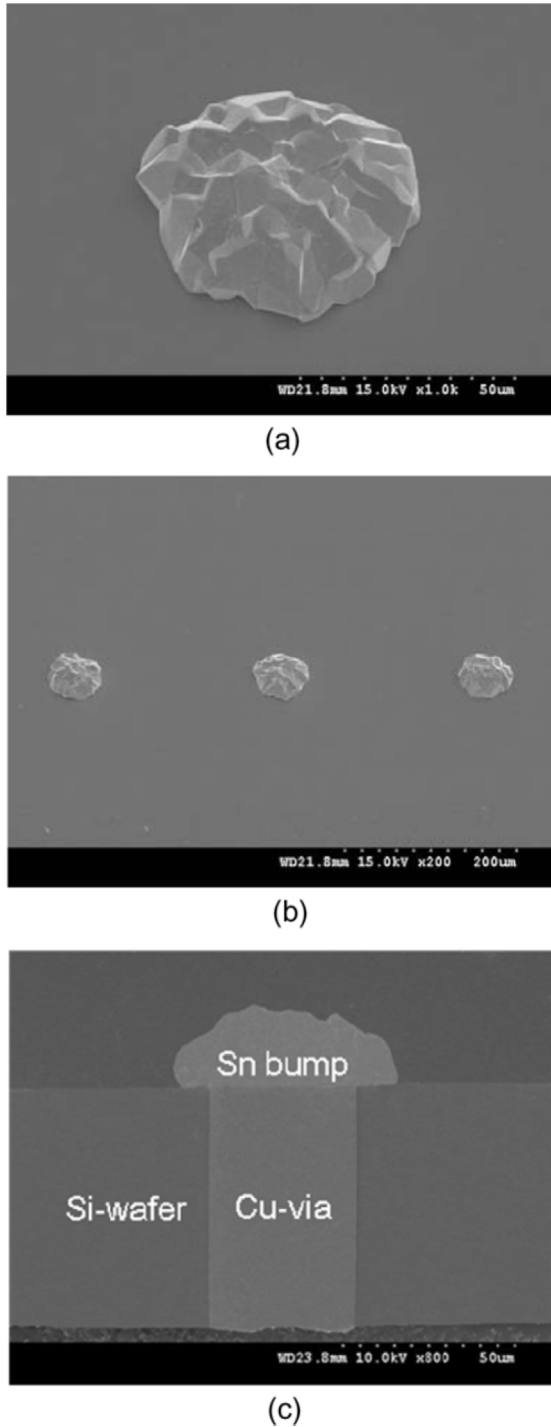


Fig. 7. Sn bumps formed on the Cu filling by dc electroplating without PR mould, (a) bump appearance, (b) bumps having good uniformity, and (c) cross section of a bump.²⁴⁾

대두된 문제인 소프트 에러를 방지할 수 있는 솔더 재료로 사용되고 있다.²⁵⁾ 소프트 에러는 주석 또는 솔더에 존재하는 Pb, Bi와 같은 방사성 동위원소로부터 높은 에너지의 알파 입자를 방출할 수 있는 불순물 원소들(예; ^{210}Pb , ^{210}Bi , ^{210}Po 등)이 함유되어 있다. 이에 관한 것으로, ^{201}Pb 가 붕괴 사슬을 가지고 있다는 것을 확인하였는데, 이것

Table 3. Low alpha solder grade.

Grade	Count per hour per square centimeter
LC 1	1 CPH
LC 2	0.2~0.5 CPH
LC 3	~0.005 CPH

은 결과적으로 소프트 에러를 발생시키는 약 5.4 MeV의 알파 입자를 발생시키는 것으로 확인되었다.²⁶⁾

일반적으로, 3차원 적층을 위한 범핑 기술로는 스크린 프린팅, 전해 도금, 진공 증착 및 솔더 볼 리플로우 방법 등이 있으며, 앞서 전술한 것처럼 전해도금 방법이 주로 사용된다. 그러나, 로우알파 솔더를 전해도금 법으로 범핑시키는 연구는 많이 보고되어 있지 않다. Jung 등은 리플로우 방법으로 로우알파 솔더를 Cu 전해도금된 TSV위에 범핑 하는 연구를 보고하였다.²⁷⁾ 연구 결과에 따르면, 실리콘 웨이퍼 관통홀 내부에 Cu 충전 후 솔더 볼 범핑을 위해 웨이퍼 칩의 윗부분을 연마하여 관통홀 부분이 드러나도록 하였다(그림 8 (a)). 그 후, 로우알파 솔더 볼을 관통홀 위에 위치시킨 뒤, 리플로우하여 직경 80 μm 급의 양호한 로우알파 솔더볼 범핑을 완료하였다(그림 8 (b)). 솔더 볼을 범프로 사용하는 방법은 볼의 직경에 따라 다양한 크기의 솔더 범프를 제조할 수 있는 장점이 있지만, 범프 크기의 미세화에는 한계가 있다는 단점을 가지고 있다. 리플로우 후 TSV 내부에 충전된 Cu와 솔더 범프 계면에 그림 8 (c), (d)와 같이 Ag_3Sn , Cu_6Sn 의 금속간화합물이 형성된 것을 확인하였다. 로우알파 솔더와 기존의 솔더의 금속간화합물은 동일하며, 다만 로우알파 솔더의 경도가 기존 솔더보다 조금 낮게 나타난다.

5. 결 론

본 연구는 TSV를 이용한 3차원 실장 기술에서 TSV의 Cu 충전 및 소프트에러 문제를 해결할 수 있는 로우알파 솔더 범핑에 대해 소개하였다. 반도체 패키징은 더 작은 면적에 더 많은 칩을 실장이 필요하고, 제조 가격도 저렴해야 하며, 소프트 에러 등의 소자 오작동도 감소되어야 한다. 본고에서 기술한 TSV 충전 기술 및 로우 알파 솔더 범핑 기술은 산업현장에 적용되고 있지만, 아직 연구하고 개선되어야 할 부분도 많이 남아 있다. 이에 관해 지속적인 연구가 진행된다면 장래의 3차원 패키징 연구에 많은 기여를 할 것으로 기대된다.

감사의 글

이 논문은 2014년도 서울시립대학교 연구년교수 연구비에 의하여 연구되었습니다.

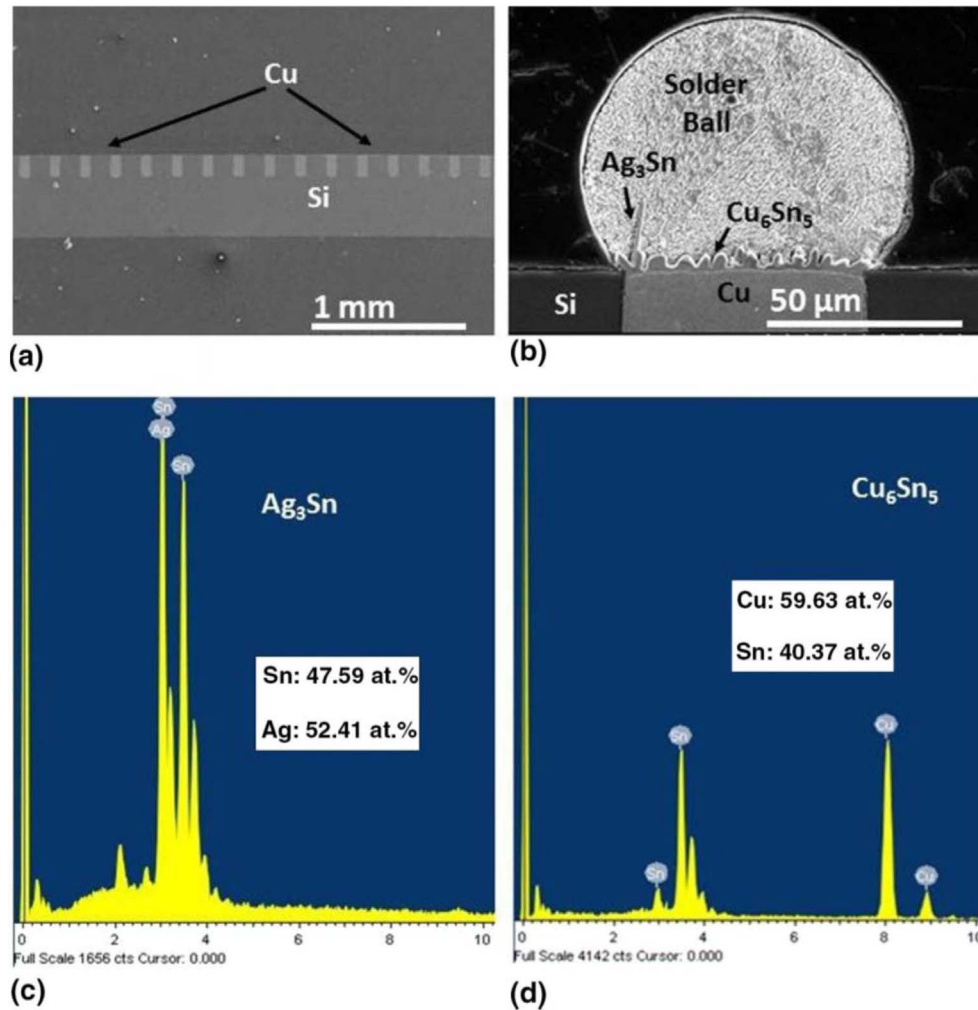


Fig. 8. Cross section of the (a) Cu filling in 16 via holes (electroplating time; 4 h, cathodic current density; -8 mA/cm^2 , anodic current density; $+16 \text{ mA/cm}^2$), (b) top view of the IMCs on the solder interface, (c) EDS analysis of Ag_3Sn , and (d) Cu_6Sn_5 IMC.²⁷⁾

References

1. J. H. Jun, I. R. Kim, M. Mayer, Y. N. Zhou, S. B. Jung, and J. P. Jung, "A New Non-PRM Bumping Process by Electroplating on Si Die for Three Dimensional Packaging", *Materials Transactions*, 51(10), 1887 (2010).
2. S. Kumar, D. H. Jung, and J. P. Jung, "High-Speed Shear Test for Low Alpha Sn-1.0%Ag-0.5%Cu (SAC-105) Solder Ball of Sub-100- μm Dimension for Wafer Level Packaging", *IEEE Trans. Compon., Packag. Manuf. Technol.*, 3(3), 441 (2013).
3. S. J. Hong, Y. W. Lee, K. S. Kim, K. J. Lee, J. O. Kim, J. H. Park, and J. P. Jung, "Filling via hole in Si-wafer for 3 Dimensional Packaging", *Proc. The Korean Welding and Joining Society (KWS), Samcheok*, 227 (2006).
4. W. Seo, J. H. Park, J. Y. Lee, M. K. Cho, and G. S. Kim, "Via Cleaning Process for Laser TSV Process", *J. Microelectron. Packag. Soc.*, 16(1), 45 (2009).
5. S. P. Shen, W. H. Chen, W. P. Dow, T. Kamitamari, E. Cheng, J. Y. Lin, and W. C. Chang, "Copper seed layer repair using an electroplating process for through silicon via metallization", *Microelectronic Engineering*, 105, 25 (2013).
6. T. Kenji, T. Hiroshi, T. Yoshihiro, Y. Yasuhiro, H. Masataka, S. Tomotoshi, M. Tadaihiro, and B. Manabu, "Current status of research and development for three-dimensional chip stack technology", *J. Appl. Phys.*, 40, 3032 (2001).
7. R. Lee, R. Hon, and C. K. Wong, "3D stacked flip chip packaging with through silicon vias and copper plating or conductive adhesive filling", *Proc. 55th Elec. Pack. Tech. Conf. (EPTC), Lake Buena Vista*, 795 (2005).
8. H. Lee, M. Choi, S. H. Kwon, J. H. Lee, and Y. Kim, "Characteristic of Through Silicon Via's Seed Layer Deposition and Via Filling", *Kor. J. Mater. Res.*, 23(10), 550 (2013).
9. B. H. Kim, H. C. Kim, K. J. Chun, J. H. Ki, and Y. S. Tak, "Cantilever-type microelectromechanical systems probe card with through-wafer interconnects for fine pitch and high-speed testing", *J. Applied Physics*, 43(6B), 3877 (2004).
10. F. Inoue, H. Philipsen, A. Radisic, S. Armini, Y. Civale, P. Leunissen, M. Kondo, E. Webb, and S. Shingubara, "Electroless Cu deposition on atomic layer deposited Ru as novel seed formation process in through-Si vias", *Electrochimica Acta*, 100(30), 203 (2013).
11. M. Knaut, M. Junige, V. Neumann, H. Wojcik, T. Henke, C. Hossbach, A. Hiess, M. Albert, and J. W. Bartha, "Atomic layer deposition for high aspect ratio through silicon vias", *Microelec. Eng.*, 107, 80 (2013).
12. S. Yamamoto, K. Itoi, T. Suemasu, and T. Takizawa, "Si

- through-hole interconnections filled with Au-Sn solder by molten metal suction method”, Proc. 16th IEEE International Conference, Kyoto, 642 (2003).
13. C. Lee, S. Tsuru, Y. Kanda, S. Ikeda, and M. Matsumura, “Formation of 100- μ m-deep Vertical Pores in Si Wafers by Wet Etching and Cu Electrodeposition”, J. Electrochem. Soc., 156(12), D543 (2009).
 14. T. Hayashi, K. Kondo, T. Saito, M. Takeuchi, and N. Okamoto, “High-Speed Through Silicon Via(TSV) Filling Using Diallylamine Additive”, J. Electrochem. Soc., 158(12), 715 (2011).
 15. H. Y. Li, E. Liao, X. F. Pang, H. Yu, X. X. Yu, and J. Y. Sun, “Fast Electroplating TSV Process Development for the Via-Last Approach”, Proc. 60th Electronic Components and Technology Conference (ECTC), Las Vegas, 777, IEEE Components (2010).
 16. H. Banha, A. Funabashi, and F. Kondo, “High speed TSV filling”, Proc. 24th Micro Electron. Sympo. (MES), Osaka, 53 (2015).
 17. A. Pohjoranta and R. Tenno, “A Method for Microvia-Fill Process Modeling in a Cu Plating System with Additives”, J. Electrochem. Soc., 154(10), D502 (2007).
 18. I. R. Kim, S. C. Hong, and J. P. Jung, “High Speed Cu Filling into Tapered TSV for 3-dimensional Si Chip Stacking”, J. Met. Mater., 49(5), 388 (2010).
 19. I. R. Kim, J. K. Park, Y. C. Chu, and J. P. Jung, “High speed Cu Filling Into TSV by Pulse Current for 3 Dimensional Chip Stacking”, J. Met. Mater., 48(7), 667 (2010).
 20. S. C. Hong, W. G. Lee, W. J. Kim, J. H. Kim, and J. P. Jung, “Reduction of defects in TSV filled with Cu by high-speed 3-step PPR for 3D Si chip stacking”, Microelectronics Reliability, 51, 2228 (2011).
 21. S. C. Hong, D. H. Jung, J. P. Jung, and W. J. Kim, “Effective Cu Filling Method to TSV for 3-dimensional Si Chip Stacking”, Korean J. Met. Mater., 50(2), 152 (2012).
 22. S. J. Lee, Y. J. Jang, J. H. Lee, and J. P. Jung, “Cu-Filling Behavior in TSV with Positions in Wafer Level”, J. Microelectron. Packag. Soc., 21(4), 91 (2014).
 23. P. Dixit, C. W. Tan, L. Xu, N. Lin, J. Miao, J. Pang, P. Backus, and R. Preisser, “Fabrication and characterization of fine pitch on-chip copper interconnects for advanced wafer level packaging by a high aspect ratio through AZ9260 resist electroplating”, J. Miceomech. Microeng., 17(5), 1078 (2007).
 24. S. J. Hong, J. H. Jun, J. P. Jung, and M. Mayer, “Sn Bumping Without Photoresist Mould and Si Dice Stacking for 3-D Packaging”, IEEE Transactions on Advanced Packaging, 33(4), 912 (2010).
 25. S. Kumar, D. H. Jung, and J. P. Jung, “Wetting behavior and elastic properties of low alpha SAC105 and pure Sn solder”, J. Mater. Sci.: Mater. Electron., 24(6), 1748 (2012).
 26. J. F. Ziegler and W. A. Lanford, “The effect of sea level cosmic rays on electronic devices”, J. Appl. Phys., 52(6), 4305 (1981).
 27. D. H. Jung, A. Sharma, K. H. Kim, Y. C. Choo, and J. P. Jung, “Effect of Current Density and Plating Time on Cu Electroplating in TSV and Low Alpha Solder Bumping”, J. Mater. Eng. and Perf., 24(3), 1107 (2015).



- 정도현
- 서울시립대학교 신소재공학과
- 전자패키징, 접합부신뢰성평가
- e-mail: jdh1016@uos.ac.kr



- Kumar Santosh
- 서울시립대학교 신소재공학과
- 3D패키징, 전해도금
- e-mail: skjitr@gmail.com



- 정재필
- 서울시립대학교 신소재공학과
- 마이크로접합, 전자패키징
- e-mail: jujung@uos.ac.kr