

# 병렬 오차 증폭기 구조를 이용하여 과도응답특성을 개선한 On-chip LDO 레귤레이터 설계

손현식<sup>1</sup>, 이민지<sup>1</sup>, 김남태<sup>2</sup>, 송한정<sup>\*</sup>  
<sup>1</sup>인제대학교 나노융합공학과, <sup>2</sup>인제대학교 전자T기계자동차공학부

## Design of a On-chip LDO regulator with enhanced transient response characteristics by parallel error amplifiers

Hyun-Sik Son<sup>1</sup>, Min-Ji Lee<sup>1</sup>, Nam Tae Kim<sup>2</sup>, Han-Jung Song<sup>1\*</sup>

<sup>1</sup>Department of Nanoscience and Engineering Inje University

<sup>2</sup>Department of Electronic Telecommunications, Mechanical & Automotive Engineering Inje University

**요약** 본 논문은 병렬 오차 증폭기 구조를 적용하여 과도응답특성 개선한 LDO 레귤레이터를 제안한다. 제안하는 LDO 레귤레이터는 고 이득, 좁은 주파수 대역의 오차증폭기 (E/A1)와, 저 이득, 넓은 주파수 대역의 오차증폭기 (E/A2)로 이루어지며, 두 오차증폭기를 병렬 구조로 설계해서 과도응답특성을 개선한다. 또한 슬루율을 높여주는 회로를 추가하여 회로의 과도응답특성을 개선하였다. 극점 분할 기법을 사용하여 외부 보상 커패시터를 온 칩 화하여 IC 칩 면적을 줄여 휴대기기 응용에 있어서도 적합하게 설계 하였다. 제안된 LDO 레귤레이터는 매그나칩/하이닉스 0.18  $\mu\text{m}$  CMOS 공정을 사용하여 회로 설계 하였고 칩은 500  $\mu\text{m}$  X 150  $\mu\text{m}$  크기로 레이아웃을 실시하였다. 모의실험을 한 결과, 2.7 V ~ 3.3 V의 입력 전압을 받아서 2.5 V의 전압을 출력하고 최대 100 mA의 부하 전류를 출력한다. 레귤레이션 특성은 100 mA ~ 0 mA에서 26.1 mV의 전압 변동과 510 ns의 정착시간을 확인하였으며, 0 mA에서 100 mA의 부하 변동 시 42.8 mV의 전압 변동과 408 ns의 정착 시간을 확인하였다.

**Abstract** This paper presents the transient-response improved LDO regulator based on parallel error amplifiers. The proposed LDO regulator consists of an error amplifier (E/A1) which has a high gain and narrow bandwidth and a second amplifier (E/A2) which has low gain and wide bandwidth. These amplifiers are in parallel structure. Also, to improve the transient-response properties and slew-rate, some circuit block is added. Using pole-splitting technique, an external capacitor is reduced in a small on-chip size which is suitable for mobile devices. The proposed LDO has been designed and simulated using a Megna/Hynix 0.18  $\mu\text{m}$  CMOS parameters. Chip layout size is 500  $\mu\text{m}$  X 150  $\mu\text{m}$ . Simulation results show 2.5 V output voltage and 100 mA load current in an input condition of 2.7 V ~ 3.3 V. Regulation Characteristic presents voltage variation of 26.1 mV and settling time of 510 ns from 100mA to 0 mA. Also, the proposed circuit has been shown voltage variation of 42.8 mV and settling time of 408 ns from 0 mA to 100 mA.

**Keywords** : Capacitor-less, LDO regulator, On-chip, Parallel error amplifier, PMIC

### 1. 서론

스마트폰 및 태블릿 PC와 같은 개인 휴대 전자기기의

수요가 크게 증가 되었고 보편화 되고 있다. 또한, 무선 인터넷 기반의 시설들이 확충됨에 따라 이런 개인 휴대 전자기기의 수요는 점차 더 증가할 것으로 예상된다. 대

본 논문은 2014년 교육부와 한국연구재단의 지역혁신창의인력양성사업의 지원을 받아 수행된 연구임(NRF-2014H1C1A1066686)

\*Corresponding Author : Han Jung Song(Inje Univ.)

Tel: +82-55-320-3873 email: hjsong@inje.ac.kr

Received August 7, 2014

Revised (1st January 30, 2015, 2nd June 2, 2015, 3rd August 18, 2015,

Accepted September 11, 2015

4th August 31, 2015)

Published September 30, 2015

표적인 전력 관리용 IC (Power management IC)는 DC-DC 변환기와 LDO 레귤레이터로 구분된다. 이중에 LDO 레귤레이터는 DC-DC 변환기에 비해 효율이 떨어 지지만 잡음 특성이 좋아 민감한 회로의 전원 IC로 많이 사용된다. 최근 시스템-온-칩 (System-on-chip, SOC)의 경향에 따라 LDO의 외부 커패시터를 내장하는 추세에 있다. 기존의 단일 오차 증폭기 구조는 신호 경로가 단일 하므로 과도응답특성과 정착 시간을 개선하기 위해 오차 증폭기의 전압 이득과 대역폭을 동시에 만족 할 수 없었다. 그래서 단일 오차 증폭기 구조는 두 가지 성능을 적 절히 타협함으로써 해서 결과를 얻어야 하며, 이로 인해 과 도응답특성 및 정착 시간에 영향을 미친다. 또한 넓은 부 하를 출력하는 LDO 레귤레이터는 패스트랜지스터의 큰 사이즈로 인해 게이트 커패시턴스가 커지게 되며 이는 응답속도를 저하시킨다.

본 논문에서는 우수한 성능이 요구되는 휴대기기 시 스템에 적용하기 위해 외부 커패시터를 On-chip하여 칩 사이즈를 줄이며, 서로 다른 특성을 가지는 오차 증폭기 를 병렬 구조로 설계하여 과도응답특성 및 정착시간을 개선시킨다. 또한 Slew-rate 향상 회로를 삽입하여 패스 트랜지스터로 인해 저하된 응답속도를 개선한다.

## 2. 기존 LDO의 동작 원리

기본적인 LDO 레귤레이터는 그림 1에 나타내었다.

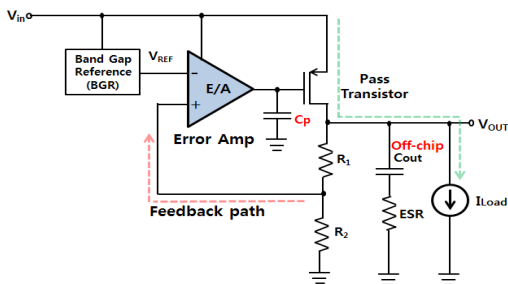


Fig. 1. Conventional LDO Regulator structure.

LDO 레귤레이터의 동작 원리는 기준전압회로 (BGR)에서 기준전압 ( $V_{REF}$ )을 입력받아 피드백 전압과 비교하여 오차 신호를 패스 트랜지스터에 전달하며 이로 인해 수식 (1)과 같은 출력 전압을 유지한다. 또한 LDO 의 성능을 나타내는 지표로서 가장 중요한 Line

Regulation과 Load Regulation이 있다. Line Regulation 은 입력 전압  $V_{in}$ 의 변동량에 대한  $V_{out}$ 의 변동량으로 수 식 (2)와 같다. Load Regulation은 부하 전류  $I_{Load}$ 의 변 동량에 대한  $V_{out}$ 의 변동량으로 에러앰프의 전압이득 (DC Gain)이 클수록 우수한 성능을 가지며 수식 (3)과 같다.

$$V_{OUT} \cong \left(1 + \frac{R_1}{R_2}\right) V_{REF} \quad (1)$$

$$\text{Line Regulation} = \frac{\Delta V_{OUT}}{\Delta V_{IN}} \quad (2)$$

$$\text{Load Regulation} = \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \quad (3)$$

그림 2는 LDO 레귤레이터의 부하 전류 증가에 따른 주파수 응답을 나타내었다. 패스 트랜지스터를 통하여 많은 전류를 부하에 공급하기 때문에 aspect ratio (W/L) 가 증가한다. 이로 인해 발생하는 큰 기생 커패시터 ( $C_p$ ) 로 인해 저주파 대역에 위치하는 non-dominant pole을 형성하게 되어 시스템의 안정도를 저하시키며 이를 보상 하기 위해 출력 단에 큰 커패시터가 요구된다. 이는 LDO 레귤레이터의 루프 대역폭을 감소 할 뿐만 아니라 응답 속도를 떨어트린다. 이를 해결하기 위해서 주파수 특성 분석을 통한 적절한 보상 기법을 사용해야 한다.

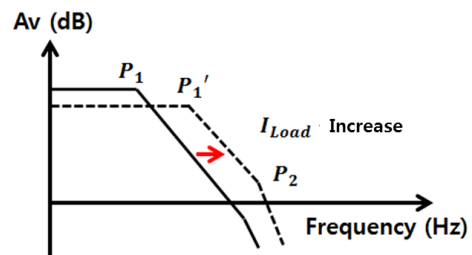


Fig. 2. Conventional LDO regulator Frequency response

## 3. 제안하는 LDO 레귤레이터 구조

### 3.1 제안하는 LDO 레귤레이터 주파수 보상법

본 논문에서는 주파수 보상기법 중 하나인 Pole-splitting 기법을 사용하여 On-chip화 하였으며, 이 와 같은 소신호 모델을 그림 3에 나타내었다.

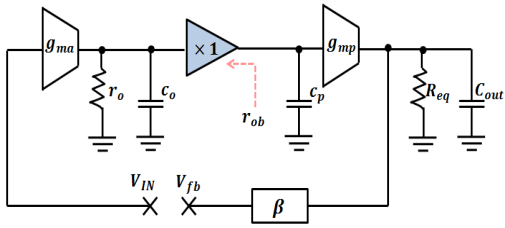


Fig. 3. Small-signal model of a LDO regulator with buffer frequency compensation

오차증폭기와 패스 트랜지스터의 게이트 사이에 버퍼를 삽입함으로써 수식 (4)와 같은 전달함수를 구할 수 있다. 또한 이는 3차 시스템이므로 3개의 Pole을 식 (5, 6, 7)에 나타내었다.

$$T(s) = \frac{V_{fb}}{V_{IN}} = \frac{\beta g_{ma} g_{mp} r_o R_L}{(1 + sr_o c_o)(1 + sr_ob c_p)(1 + sR_L C_{out})} \quad (4)$$

$$P_1 = \frac{1}{C_L R_L} \quad (5)$$

$$P_2' = \frac{1}{c_p R_L} \quad (6)$$

$$P_2'' = \frac{1}{c_r r_o} \quad (7)$$

이와 같은 Pole-splitting의 주파수 특성을 그림 4에 나타내었다.

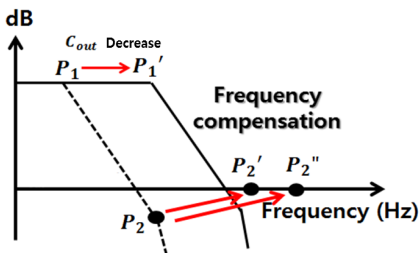


Fig. 4. Frequency response of buffer compensation

버퍼의 낮은 입력 커패시턴스 및 출력 저항 특성으로 인해 기존의  $P_2$ 를  $P_2'$ ,  $P_2''$ 의 고주파 영역의 두 Pole로 Splitting이 가능하다. 따라서 단위 이득 주파수 (Unit-Gain Frequency)의 제한이 완화됨에 따라 Dominant pole  $P_1$ 이 좀 더 높은 주파수로 이동 가능하며 주파수 보상에 필요한 외부 커패시터인  $C_{out}$ 이 작아져 집적화에 유리한 측면이 있다.

### 3.2 제안하는 LDO 레귤레이터 회로도

제안하는 LDO 레귤레이터의 회로도에는 그림 5에 나타내었다. 기존 LDO 레귤레이터 회로에서 슬루레이트 (Slew rate) 향상 회로인 M1 ~ M11 병렬 구조식 오차증폭기 (E/A)와 패스 트랜지스터 사이의 버퍼 (Buffer) 및 기준전압회로 (BGR)로 구성되었다.

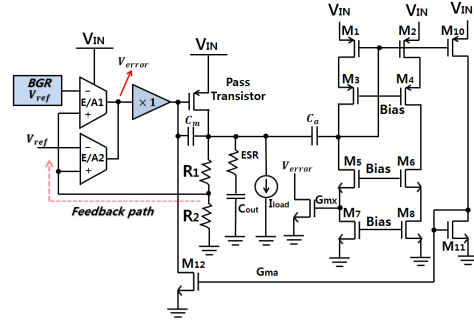


Fig. 5. Proposed LDO regulator circuit

그림 6은 제안하는 LDO 레귤레이터의 개루프 소신호 모델을 나타내었다. High-speed 경로인  $G_{ma}$  및  $G_{mx}$ 로 구성되어 이는 패스 트랜지스터의 게이트 커패시터에 추가적인 전류를 공급함으로써 느린 응답속도를 개선할 수 있다. [1, 2, 6]

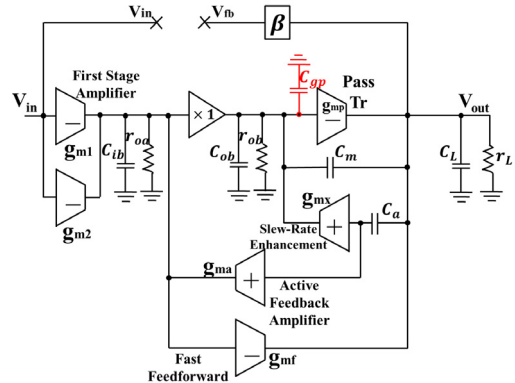


Fig. 6. Open-loop small-signal model of the proposed LDO regulator

Active feedback compensation 커패시터  $C_a$ 는 LDO 레귤레이터의 Dominant pole을 구성한다. 또한 Slew-rate enhancement 블록은 정상상태에서는 비활성화를 유지한다.

### 3.3 병렬 오차증폭기 구조의 LDO 레귤레이터

제안하는 LDO 레귤레이터는 병렬 오차증폭기 구조를 가지므로써, Open-loop 주파수 응답에 Pole/Zero를 추가되며, 이는 Open-loop 이득이 증가된다. 본질적으로, 증폭기 시스템의 동작 주파수를 형성 할 뿐만 아니라 이득을 제공하는 역할을 한다. E/A 1은 양호한 성능을 보장하기 위해 높은 이득을 가지며 대역폭은 좁게 설계하여 구성하며, E/A 2는 패스 트랜지스터의 기생 커패시터를 빠르게 충전하기 위해 낮은 이득 및 넓은 대역폭을 가지도록 설계하였다. 그림 7의 병렬 오차증폭기 주파수 응답에서 E/A 1은  $P_x$ 를 결정하며, E/A 2는  $Z_x$ 를 결정한다. 그림으로, 낮은 이득으로 구성된 E/A 2의 바이패스 경로를 통해 AC 신호가 피드포워드 중심으로 돌게 된다. [3,4,7]

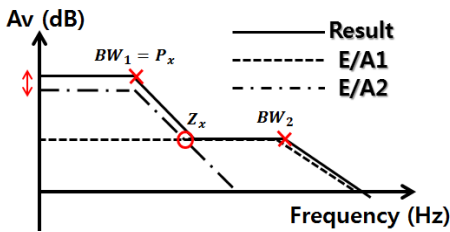


Fig. 7. Parallel amplifier pole/zero pair realization

### 3.4 제안하는 LDO 레귤레이터의 오차증폭기 회로

제안하는 LDO 레귤레이터 회로에 사용된 오차증폭기 E/A 1은 그림 8에 나타내었다. 기존의 Folded cascode 구조에서 Common source를 삽입하여 출력 저항을 증가시키므로써 높은 전압 이득을 얻을 수 있다.

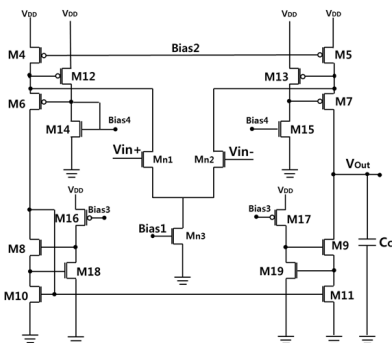


Fig. 8. Error amplifier (E/A1) circuit used in proposed LDO regulator

그림 9은 오차증폭기 (E/A1)의 동작 원리를 나타내었다. M11의 드레인 전압이 감소 시 M9가 차단되어 M9의  $V_{GS}$ 가 상승하여  $i_o$ 가 증가한다. 결과적으로, 부하 전류의 변화에 따라 Negative feedback을 통해 부하 전류의 변화가 감소하고 이는 LDO 레귤레이터의 과도응답 특성을 개선하고 안정적인 출력 전압을 공급 할 수 있다. [5]

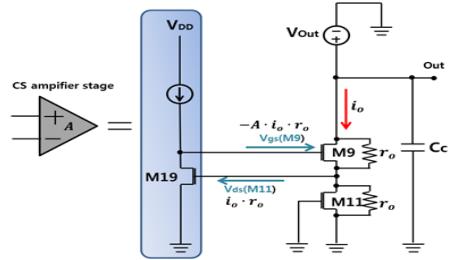


Fig. 9. Determining the output impedance of a regulated drain

그림 10은 E/A2의 회로도를 나타내었다. 기존의 Folded cascode 방식의 증폭기를 설계하여 출력 저항을 낮추어 이득을 낮추고 대역폭을 넓게 설계하였다.

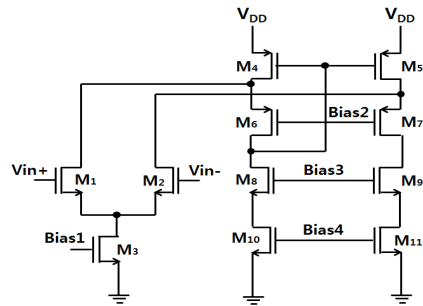


Fig. 10. Error amplifier (E/A 2) circuit used in proposed LDO regulator

## 4. 시뮬레이션 결과 및 레이아웃

제안하는 LDO 레귤레이터는 0.18um 1poly-5metal 공정을 사용하여 설계하였고, Spectre를 사용하여 시뮬레이션 및 검증을 하였다. 휴대기기의 입력 전압을 고려하여 2.7V~3.3V의 범위에서 2.5V의 출력하도록 구현하였다.

그림 11는 제안하는 LDO레귤레이터에 사용된 오차증폭기 E/A 1, E/A 2의 AC response 시뮬레이션 결과이

다. 그 결과를 표 1에 정리하였다. 오차 증폭기 E/A 1은 E/A 2에 비해 전압 이득은 크지만 좁은 대역폭을 가지기 때문에 총 전류는 E/A 2보다 작다. 전압 이득은 89 dB이고, 대역폭은 17.5 kHz이다. 반면 E/A 2는 전압이 29 dB로 낮은 이득을 가지며, 9.21 MHz의 넓은 대역폭을 가진다.

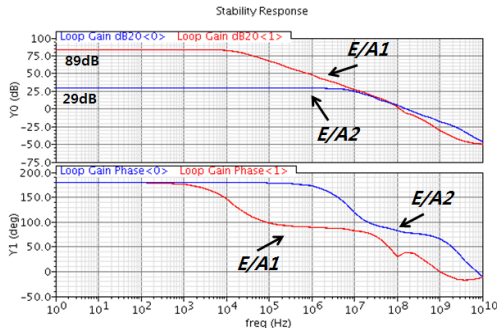


Fig. 11. AC response simulation result

Table 1. Design specifications of the proposed circuit

Parameter	Simulation results	
	E/A1	E/A2
Supply voltage	3.3V	
Gain	89dB	29dB
Phase margin	41°	65°
Bandwidth (-3dB)	17.5KHz	9.21MHz

그림 12은 제안하는 LDO 레귤레이터의 AC response를 시뮬레이션 하였다. 시뮬레이션 조건은 부하가 각각 0mA, 50mA 및 100mA의 넓은 부하조건에서 시뮬레이션 하였다. 전압 이득은 각각의 부하조건에서 90dB 이상의 전압이득을 가지며, 위상 마진은 경부하 및 중부하에서 60°를 가진다. 이는 LDO 레귤레이터가 넓은 부하 조건에서도 안정적인 출력을 가지는 것을 의미한다.

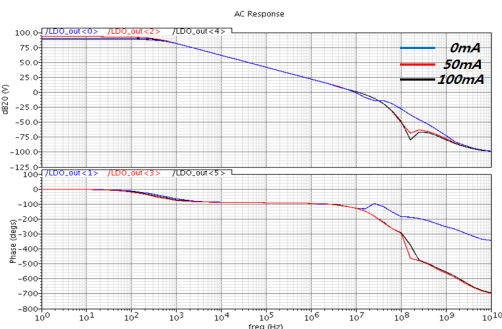


Fig. 12. Stability simulation results of LDO regulator

그림 13은 제안하는 병렬 오차 증폭기 구조의 LDO 레귤레이터의 과도응답 시뮬레이션을 나타내었다.

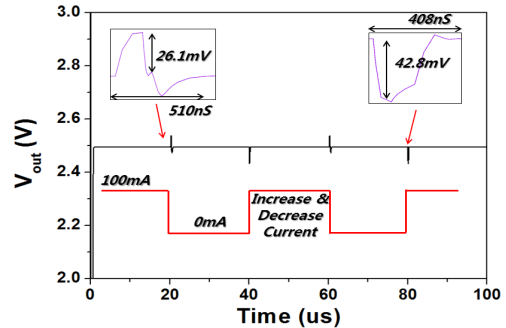


Fig. 13. Simulated load transient response of proposed LDO regulator

부하의 변동이 100 mA ~ 0 mA에서 26.1 mV의 전압 변동과 510 ns의 정착시간을 확인하였으며 0 mA에서 100 mA의 부하 변동 시 42.8 mV의 전압 변동과 408 ns의 정착 시간을 확인하였다.

Table 2. Comparison of proposed LDO Regulator.

	Conventional LDO regulator [8]	Proposed LDO regulator
Technology	0.5 um	0.18 um
Supply voltage	2.2 V - 5 V	2.7 - 3.3 V
Output voltage	2.055 V - 2.1 V	1.8 V
Load current	0 - 300mA	0 - 100mA
Voltage peak (Overshoot)	241 mV	26.1 mV
Voltage peak (Under shoot)	300 mV	42.8 mV
Settling time (Over shoot)	4 uS	510 nS
Settling time (Under shoot)	4 uS	408 nS

제안하는 LDO 레귤레이터와 기존의 LDO 레귤레이터의 특성을 비교한 내용은 표 2에 나타내었다. 기존 단일 오차 증폭기 구조는 2단 OTA 구조이다 [8]. 그에 반해 제안하는 LDO 레귤레이터는 병렬 오차증폭기를 적용하고 Slew-rate 회로를 추가하여 과도응답특성을 개선하였다. 수치적으로 비교하였을 시, 부하의 전류 변동이 제안하는 회로가 2배 정도 적다고는 하지만 8배 빠른 응답특성을 보였다. 부하의 급작스러운 변동에서 전압의 변동도 기존의 LDO에 비해 제안하는 회로는 대략 10 배 정도 향상되었다.

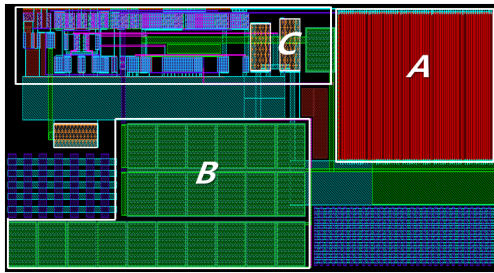


Fig. 14. Layout of the proposed LDO regulator

그림 14는 0.18  $\mu\text{m}$  1 poly-5 metal 공정을 사용하여 설계한 LDO 레귤레이터의 레이아웃이다. A는 패스 트랜지스터이며, B는 LDO 레귤레이터에 사용된 커패시터이다. C는 병렬 오차 증폭기 및 피드백 저항으로 구성되었다. 또한 칩 면적은  $500 \mu\text{m} \times 150 \mu\text{m}$ 이다.

## 5. 결론

본 논문에서는 LDO 레귤레이터의 중요 지표인 과도 응답 특성과 정착 시간을 개선하기 위해 병렬 오차 증폭기 구조의 LDO 레귤레이터를 제안하였다. 기존의 단일 오차 증폭기 구조는 신호 경로가 단일하므로 과도응답 특성과 정착 시간을 개선하기 위해 오차 증폭기의 전압 이득과 대역폭을 동시에 만족 할 수 없었다. 그래서 단일 오차 증폭기 구조는 두 가지 성능을 적절히 타협함으로써 결과를 얻어야 하며, 이로 인해 과도응답특성 및 정착 시간에 영향을 미친다. 반면 제안하는 병렬 구조의 오차 증폭기를 사용한 LDO 레귤레이터는 두 오차 증폭기의 전압 이득 및 대역폭에 차이를 두어, 과도응답특성 및 정착 시간을 개선하였다. 추가적으로 Slew rate 향상 회로를 삽입하여 더욱 빠른 정착 시간을 가지게 되고, 이는 LDO 레귤레이터의 과도응답특성이 더욱 좋아진 것을 알 수 있다. 또한 Pole-splitting 기법을 사용하여 LDO 레귤레이터의 외부 커패시터를 집적화함으로써 칩 크기를 줄일 수 있는 장점이 있다. 본 논문에서 설계된 회로를 바탕으로 휴대기기의 전원 관리 IC에 널리 사용 될 것으로 사료된다.

## References

- [1] Ho, Edward NY, and Philip KT Mok. "A capacitor-less CMOS active feedback low-dropout regulator with slew-rate enhancement for portable on-chip application.", IEEE transaction on circuits and system, Vol. 57, No. 2, pp. 80-84, 2010.  
DOI: <http://dx.doi.org/10.1109/TCSII.2009.2038630>
- [2] Lee, Hoi, Philip KT Mok, and Ka Nang Leung. "Design of low-power analog drivers based on slew-rate enhancement circuits for CMOS low-dropout regulators.", IEEE transaction on circuits and systems, Vol. 52, No. 9, pp. 563-567, 2005.  
DOI: <http://dx.doi.org/10.1109/TCSII.2005.850781>
- [3] Rincon-Mora, Gabriel, and Phillip E. Allen. "Optimized frequency-shaping circuit topologies for LDOs.", IEEE Transactions on circuits and systems, Vol. 45, No. 6, pp. 703-708, 1998.  
DOI: <http://dx.doi.org/10.1109/82.686689>
- [4] Rincon-Mora, Gabriel. Analog IC Design with Low-Dropout Regulators (LDOs). McGraw-Hill, Inc., 2009.
- [5] Baker, R. Jacob. CMOS: circuit design, layout, and simulation. Vol. 18. John Wiley & Sons, 2011.
- [6] Guo, Jianping, and Ka Nang Leung. "A 6-W Chip-Area-Efficient Output-Capacitorless LDO in 90-nm CMOS Technology.", IEEE Journal of solid-state circuits, Vol. 45, No. 9, pp. 1896-1905, 2010.  
DOI: <http://dx.doi.org/10.1109/JSSC.2010.2053859>
- [7] Gavriel A, Rincon-mora, pilip E. Allen, "A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator", IEEE Journal of solid-stage circuits, Vol. 33, No. 1, pp. 36-44, 1998.  
DOI: <http://dx.doi.org/10.1109/4.654935>
- [8] Bo-Min Kwon, Han-Jung Song "Design of the LDO Regulator with 2-stage wide-band OTA for High Speed PMIC, The Korea Academia-Industrial Cooperation Society, Vol. 11, No 4, pp. 1222-1228, 2010.  
DOI: <http://dx.doi.org/10.5762/KAIS.2010.11.4.1222>



손 현 식(Hyun-Sik Son)

[준회원]



- 2013년 2월 : 인제대학교 전자공학과 (공학사)
- 2015년 2월 : 인제대학교 나노융합공학과 (공학석사)

<관심분야>  
반도체 회로 설계 PMIC

송 한 정(Han-Jung Song)

[정회원]



- 1986년 2월 : 한양대학교 전자공학과 (공학사)
- 1988년 2월 : 한양대학교 전자공학과 (공학석사)
- 2000년 2월 : 한양대학교 전자공학과 (공학박사)
- 2004년 3월 ~ 현재 : 인제대학교 나노융합공학부 교수

<관심분야>  
반도체 소자 신뢰성 및 회로설계

이 민 지(Min-Ji Lee)

[준회원]



- 2013년 2월 : 인제대학교 나노공학부 (공학사)
- 2013년 3월 : ~ 현재 : 인제대학교 나노융합공학과 재학 중

<관심분야>  
반도체 회로 설계 PMIC

김 남 태(Nam-Tae Kim)

[정회원]



- 1986년 2월 : 한양대학교 전자공학과 (공학사)
- 1988년 2월 : 한양대학교 전자공학과 (공학석사)
- 1992년 2월 : 한양대학교 전자공학과 (공학박사)
- 1992년 6월 ~ 1995년 9월 : 한국 전자통신연구소 선임연구원
- 1995년 2월 ~ 현재 : 인제대학교 전자 IT기계자동차공학부 교수

<관심분야>  
각종 도파계와 복사계의 전자계 해석, 광대역 무선부품 해석 및 설계, 회로 설계를 위한 소자 모델링 등