

비대칭 고장전류 저감 기능을 갖는 초전도 한류기의 최적 저항 결정 방안

A Decision Method for the Optimal Insertion Resistance of a Superconducting Fault Current Limiter with Reduction of an Asymmetric Fault Current

김 창 환* · 김 규 호** · 이 상 봉†
(Chang-Hwan Kim · Kyu-Ho Kim · Sang-Bong Rhee)

Abstract - Fault currents characteristics contain decaying DC offset. First cycle peak value of fault currents is higher than steady-state fault current value. These characteristics can affect the operation of protective device. To reduce the asymmetric fault current, the method using a series connection of two hybrid-type Superconducting Fault Current Limiter(SFCL) components, an auxiliary SFCL and a main SFCL, has been proposed. The auxiliary SFCL limits the first half cycle fault current, while main SFCL limits the steady state fault currents. This paper proposed a decision method of the optimal insertion resistance of auxiliary and main SFCL components. To verify the effectiveness of proposed scheme, the various simulations are performed by using Electromagnetic Transient Program(EMTP).

Key Words : Asymmetric fault current, DC offset, Fault inception angle, SFCL, EMTP

1. 서 론

전력에너지 사용량 증가에 따른 대응량화, 계통 간 연계 확대 및 분산 전원 도입 등 전원 설비의 증대가 진행됨에 따라 전력 계통의 총 임피던스 감소로 인한 고장전류 증가가 야기되고 있다. 고장전류를 저감시키기 위하여 초전도 한류기(Superconducting Fault Current Limiter : SFCL)를 계통에 적용하는 방안이 제시되어 현재까지 다양한 종류의 초전도 한류기가 연구 개발되고 있다[1-4].

지금까지 개발된 초전도 한류기 중 하이브리드 초전도 한류기는 저항형 초전도 한류기에 비해 초전도체의 부담을 줄여 경제적 부담을 감소시키며, 반주기 이후 동작 하이브리드 초전도 한류기는 고장 발생 반주기 후에 고장전류를 제한하기 때문에 보호협조가 용이하다는 장점을 지니고 있다[5, 6]. 일반적으로 하이브리드 초전도 한류기의 초전도 소자 및 한류 소자의 임피던스는 계통 내 보호기기의 차단용량 및 정상상태 고장전류를 고려하여 설계된다.

하지만, 계통에 고장이 발생하게 되면 고장전류는 계통 조건 및 고장 발생 시점에 따라 초기에 직류 성분이 포함된 비대칭 고장전류(asymmetric fault current) 특성을 갖으며 그 크기나

파형이 다른 양상으로 나타나게 되므로 고장전류의 정상상태 크기만을 고려하여 설계된 초전도 한류기의 경우에는 고장전류 크기에 따른 임피던스 조절이 용이하지 않아 실제 원하는 값으로 고장전류를 제한하지 못하는 경우도 발생하게 된다[7]. 기존 하이브리드 초전도 한류기의 비대칭 고장 전류 제한 능력을 향상시키기 위하여 비대칭 고장전류 저감을 목적으로 하는 보조 초전도 한류기를 추가로 투입하는 방안이 제시되었다[8].

본 논문에서는 상기 방안을 기반으로 계통 고장 시 발생하는 비대칭 고장전류 제한을 위한 보조 초전도 한류기 투입 저항 결정 방법 및 정상 상태 고장 전류 제한을 위한 메인 초전도 한류기 투입 저항 결정 방법을 제안하였다. 제안한 방법은 보조 초전도 한류기 투입 시 최대 비대칭 고장전류의 크기와 투입 이전의 정상 고장전류의 크기를 등식 제약 조건으로 설정하여 투입 저항을 결정하는 방법이다. 제안한 방법의 검증을 위하여 EMTP를 이용한 모의를 수행하였다.

2. 비대칭 고장전류와 하이브리드 초전도 한류기

2.1 비대칭 고장전류

전력 계통에서 고장이 발생하면 고장전류는 고장 발생 직후 과도상태에서 시간 축에 대하여 비대칭인 전류가 흐르게 되며, 이 비대칭 전류는 시간 축에 대하여 대칭인 교류 성분(ac component)과 시간 경과에 따라 진동 감쇠하며 소멸하는 직류 성분(dc component)으로 나누어진다. 직류 성분은 교류 성분의 오프셋을 유발하며 오프셋의 정도는 계통의 회로정수(X/R 비)와

† Corresponding Author : Dept. of Electrical Engineering, Yeungnam University, Korea

E-mail : rrsd@yu.ac.kr

* Dept. of Electrical Engineering, Yeungnam University, Korea

** Dept. of Electrical Engineering, Hankyong University, Korea

Received : July 30, 2014; Accepted : December 22, 2014

고장 발생 시점의 전원 위상에 의해 결정된다. 일반적으로 저항과 인덕터가 연결된 직류 R-L 회로에서의 비대칭 전류 특성은 전압 방정식에 관한 미분방정식의 해로 구할 수 있고 식 (1)과 같다[9, 10].

$$i(t) = i_{accomponent}(t) + i_{dccomponent}(t) = \frac{\sqrt{2} V}{Z} [\sin(\omega t + \alpha - \theta) - \sin(\alpha - \theta)e^{-t/\tau}] \quad (1)$$

여기서,

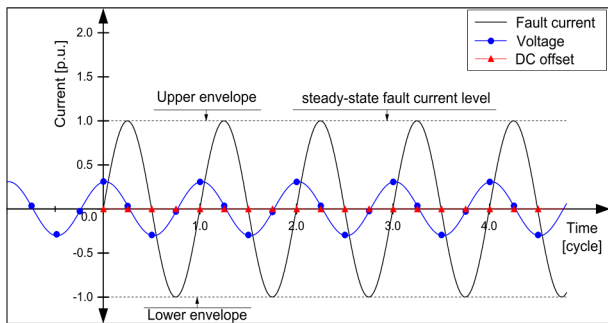
α : 고장 발생 시 전원 위상

$Z = \sqrt{R^2 + X^2}$, $\theta = \tan^{-1}(\omega L/R)$, $\tau = L/R$

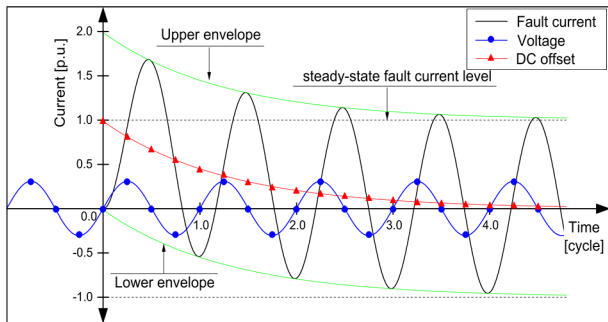
고장 발생 직후의 과도 상태에서, 직류 성분의 크기는 고장 발생 시점에서의 전원 위상에 따라 식 (2)와 같은 범위를 가지게 된다.

$$i_{dc} = \begin{cases} 0, & \text{when } \alpha = \theta \\ \sqrt{2} \frac{V}{Z}, & \text{when } \alpha = (\theta \pm \frac{\pi}{2}) \end{cases} \quad (2)$$

그림 1은 고장 발생각이 90도인 경우와 0도인 경우의 고장전류 양상을 나타낸 일반적인 파형이며, 0도인 경우 고장 발생 최초 1주기 내에서 파고치가 가장 크게 나타남을 확인할 수 있다.



(a) 고장 발생 각 90°



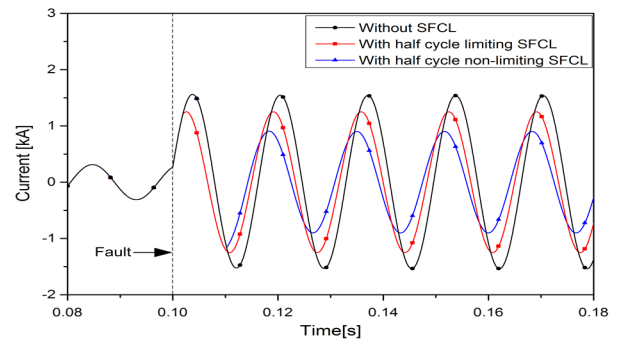
(b) 고장 발생 각 0°

그림 1 고장 발생 각에 따른 고장전류
Fig. 1 Fault current according to fault angle

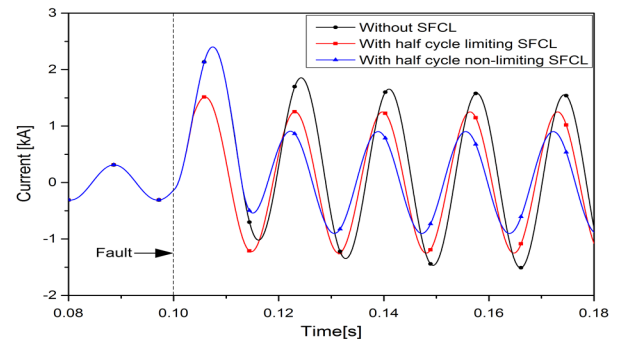
2.2 하이브리드 초전도 한류기

하이브리드 초전도 한류기는 크게 초전도 소자, 고속 스위치 그리고 한류 소자 부분으로 구성되어 있다. 정상 시 초전도 소자와 고속 스위치를 통해서 정상 전류가 흐르고, 고장 발생 시 초전도 소자에 임계전류 이상의 전류가 흘러 퀘치가 발생되면 고속 스위치가 동작하여 병렬로 연결된 한류 소자로 전류를 우회시켜 한류 임피던스에 의해 고장전류를 제한하는 동작 특성을 가지며, 투입되는 시기에 따라 고장 발생 반주기 이내 또는 이후 동작을 하는 두 가지 종류로 나눌 수 있다. 공통적으로 초전도 소자는 고장 발생 시 트리거 역할만을 하므로 저항형 초전도 한류기에 비해 초전도 소자의 사용량을 상대적으로 저감시킬 수 있어 회복 시간, 소형화, 경제성 등의 부분에서 많은 장점을 가지고 있다.

그림 2는 고장 발생각에 따른 반주기 이내 및 이후 동작 초전도 한류기 적용 시 고장전류 파형을 나타낸다. 그림 2(a)는 고장 발생각이 90도인 경우이며, 그림 2(b)는 고장 발생각이 0도인 경우이다. 그림에서 공통적으로 초전도 한류기 동작 시 정상 상태 고장전류를 제한하는 것을 확인할 수 있다. 반주기 이후 동작 초전도 한류기의 경우 고장 발생 최초 1주기 내의 비대칭 고장전류 크기를 직접적으로 제한하지 못하는 동작 특성을 나타낸다. 반면에, 반주기 이내 동작 초전도 한류기의 경우 고장 발생 최초 1주기 내의 비대칭 고장전류 크기를 직접적으로 제한할 수 있는 특성을 나타내지만 비대칭 고장전류 크기 제한만을 고려하여 설



(a) 고장 발생 각 90°



(b) 고장 발생 각 0°

그림 2 하이브리드 초전도 한류기 적용 시 고장전류 파형
Fig. 2 Fault current waveforms of hybrid SFCL

계하게 되면 정상 상태 고장전류를 실제 원하는 값으로 제한하지 못하는 경우도 발생하게 된다.

3. 비대칭 고장전류를 고려한 초전도 한류기

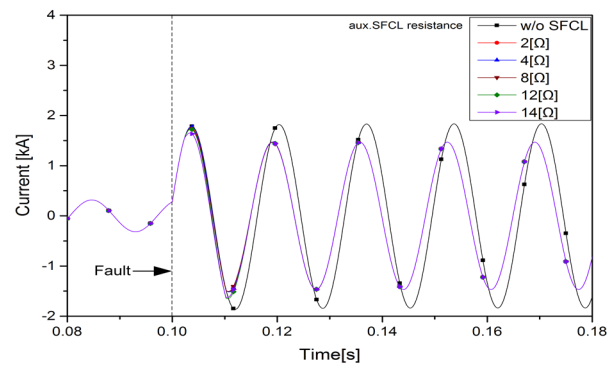
3.1 보조 초전도 한류기

앞서 살펴본 바와 같이 고장전류는 고장 발생 각에 따라 그 크기가 정해지며, 고장 발생 시 최초 1주기 내의 비대칭 고장전류의 크기가 가장 크게 나타난다. 기존의 초전도 한류기의 경우 비대칭 고장전류와 정상 상태 고장전류를 동시에 제한하기 어려우므로 이를 보완하기 위하여 2 대의 초전도 한류기를 직렬로 구성하여 1 대는 정상 상태 고장전류 제한을 위한 반주기 이후 초전도 한류기를 메인 초전도 한류기로 설정하고, 나머지 1 대는 비대칭 고장전류 차단이 용이한 반주기 이내 초전도 한류기를 보조 초전도 한류기로 설정하여 계통에 설치하여 비대칭 고장전류를 저감하는 방안이 제시되었다[8].

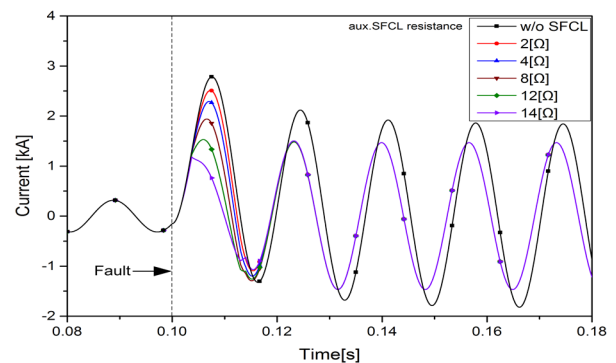
상기 방안은 그림 3의 동작 순서도와 같이 고장이 발생하면 고장각 검출부(A)에서 정상 운전시의 전압 파형 영교차 시각(zero-crossing time)과 고장 발생 시 검출된 시각의 데이터를 비교하여 고장 발생 각을 계산하며, 이 때 계산된 각도가 0도 부근일 경우 비대칭 고장전류가 발생하게 되므로 이를 즉시 제한하도록 보조 초전도 한류기(B)가 우선 투입되고, 이후 메인 초전도 한류기(C)가 켜지면 스위치 제어부(D)에 의해 절체 스위치

(SW1, SW2)가 동작하여 보조 초전도 한류기를 초전도 상태로 회복하고 이후의 정상 상태 고장전류에 대해서는 메인 초전도 한류기를 이용하여 제한하도록 하는 방법이다.

그림 4는 제안된 초전도 한류기의 보조 초전도 한류기 투입 저항 크기를 변경시켰을 경우의 고장전류 파형을 나타낸다. 그림 4(a) 90도 고장의 경우 보조 초전도 한류기가 동작하지 않으므로 고장전류 파형이 변화되지 않음을 알 수 있으며, 그림 4(b) 0도 고장의 경우 보조 초전도 한류기가 동작하게 되므로 투입 저항을 증가시킬수록 비대칭 고장전류 저감률이 증가하는 것을 확인할 수 있다. 또한 그림 4(a), (b)에서 메인 초전도 한류기 동작 이후의 정상 상태 고장전류는 보조 초전도 한류기의 투입 저항 변화에 관계없이 일정한 값을 유지함을 알 수 있다.



(a) 고장 발생각 90도



(b) 고장 발생각 0도

그림 4 보조 초전도 한류기 투입 저항에 따른 특성 곡선

Fig. 4 Fault current waveforms according to resistances of aux.SFCL

만일 보조 초전도 한류기를 실 계통에 적용할 경우, 투입 저항이 너무 작다면 비대칭 고장전류 저감 효과가 미미할 수 있으며, 투입 저항이 너무 크면 고장 발생 최초 1주기 내의 고장전류를 필요 이상 저감시키게 되어 보호기기의 오·부동작을 야기할 수 있다. 따라서 본 논문에서는 비대칭 고장전류 저감을 위한 초전도 한류기의 최적 투입 저항 결정 방법을 수립하고자 한다.

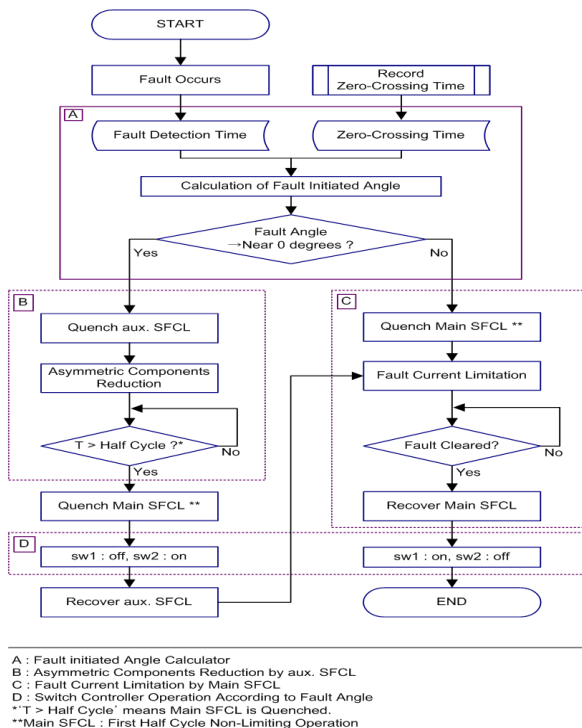


그림 3 초전도 한류기 동작 순서도

Fig. 3 Flowchart of SFCLs operation

3.2 초전도 한류기 최적 투입 저항 결정 방안

3.2.1 보조 초전도 한류기 투입 저항

일반적으로 고장 발생 시 고장전류는 선로의 리액턴스 성분에 의해 전압보다 $\tan^{-1}(X/R)$ 인 지상 전류가 흐르게 된다. 따라서 비대칭 고장전류의 파고치는 교류 성분과 직류성분의 합이 최대가 되는 고장 발생 최초 반주기 부근(0.5 cycle)에서 나타나게 되며, 참고문헌 [10]에서는 비대칭 고장전류의 파고치를 계산하기 위한 방법으로 식 (3)과 같은 근사 법을 제시하고 있다.

$$I_{peak} = I_{ac,peak} + I_{dc} = \sqrt{2} I_{ac,rms} \left[1 + e^{-\frac{2\pi\tau}{(X/R)}} \right] \quad (3)$$

여기서, $\tau = 0.49 - 0.1e^{-\frac{X/R}{3}}$

보조 초전도 한류기의 최적 투입 저항 값을 결정하기 위하여 상기의 식 (3)을 기반으로 보조 초전도 한류기 투입 시 최대 비대칭 고장전류($I_{peak_0deg}(with R_{aux,SFCL})$)를 투입 이전의 정상 상태 고장전류($I_{peak_s.s}(w/o R_{aux,SFCL})$)에 최대 비대칭 고장전류 교정 계수 K_1 을 곱한 값으로 저감하는 등식 제약 조건을 수립하였으며, 아래의 식 (4)와 같다.

$$I_{peak_0deg}(with R_{aux,SFCL}) = K_1 \cdot I_{peak_s.s}(w/o R_{aux,SFCL}) \quad (4)$$

본 논문에서는 상기 등식 조건을 간략화하기 위하여 고장 발생 시 가장 큰 고장전류를 발생시키는 3상 단락의 대칭 고장에 대하여 논의하기로 한다. 대칭 고장의 경우 영상분이 존재하지 않기 때문에 정상분만을 이용하여 식 (3)의 R 과 X 를 식 (5)~(6)과 같이 계산할 수 있다. 또한 단락 사고의 경우 고장 저항의 크기를 고려하지 않아도 되므로 식(5)의 R_{fault} 를 생략할 수 있다. 보조 초전도한류기가 동작하는 경우의 투입 저항을 $R_{aux,SFCL}$ 이라고 하면 식 (3)의 R 을 $R+R_{aux,SFCL}$ 로 교체하여 계산할 수 있으며 양변을 정리하여 나타내면 식 (7)과 같다.

$$R = R_{source} + R_{line1} + R_{fault} \quad (5)$$

$$X = X_{source} + X_{line1} \quad (6)$$

$$1 + e^{-\frac{2\pi\tau}{(X/(R+R_{aux,SFCL}))}} = K_1 \cdot \frac{\sqrt{(R+R_{aux,SFCL})^2 + X^2}}{\sqrt{(R^2 + X^2)}} \quad (7)$$

여기서, $\tau_1 = 0.49 - 0.1e^{-\frac{X/(R+R_{aux,SFCL})}{3}}$

- R_{source} : 전원임피던스의 저항 성분
- R_{line1} : 선로 정상분 임피던스의 저항 성분
- R_{fault} : 고장저항
- X_{source} : 전원임피던스의 리액턴스 성분
- X_{line1} : 선로 정상분 임피던스의 리액턴스 성분

따라서 전원 임피던스 및 선로의 임피던스를 대입한 후, 식 (7)을 $R_{aux,SFCL}$ 에 대하여 전개하면 보조 초전도 한류기의 최적 저항 값을 결정할 수 있다.

항 값을 결정할 수 있다.

3.2.2 메인 초전도 한류기 투입 저항

메인 초전도 한류기의 경우, 반주기 이후의 정상 상태 고장전류를 제한하기 위하여 동작한다. 투입되는 저항 값을 결정하기 위하여 본 연구에서는 식 (8)과 같은 등식 제약 조건을 수립하였다.

$$I_{peak_s.s}(with R_{M,SFCL}) = K_2 \cdot I_{peak_s.s}(w/o R_{M,SFCL}) \quad (8)$$

상기 식은 초전도 한류기 미적용 시의 정상 상태 고장전류 ($I_{peak_s.s}(w/o R_{M,SFCL})$)를 1.0[pu]로 설정하고, 여기에 정상상태 고장전류 교정 계수 K_2 (단, $K_2 < 1$)를 곱한 값을 메인 초전도 한류기 투입 시의 고장전류 값($I_{peak_s.s}(with R_{M,SFCL})$)으로 제한하도록 설정하는 방안이다.

등식 조건을 다시 나타내면 식 (9)와 같다.

$$\frac{\sqrt{2} V_{ac,rms}}{\sqrt{(R+R_{M,SFCL})^2 + X^2}} = K_2 \cdot \frac{\sqrt{2} V_{ac,rms}}{\sqrt{(R^2 + X^2)}} \quad (9)$$

여기서 양변을 정리하여 최종적으로 메인 초전도 한류기에 대한 식으로 나타내면 식 (10)과 같으며 식 (5),(6)을 대입하여 투입 저항($R_{M,SFCL}$)을 결정할 수 있다.

$$R_{M,SFCL} = \frac{-R \cdot K_2 \pm \sqrt{R^2 + (1 - K_2^2)X^2}}{K_2}, (R_{M,SFCL} > 0) \quad (10)$$

4. 사례 연구

4.1 모의 계통

그림 5는 제안한 초전도 한류기 투입 저항 결정 방법의 타당성을 분석하기 위한 모의 선로를 나타낸다. 전원 임피던스의 X/R 비를 표 1과 같이 case 1~5의 경우로 설정하였으며, 모의 선로에 초전도 한류기를 적용하지 않았을 경우와 초전도 한류기를 적용하였을 경우에 대하여 0.1[s]에 Z_{line1} 과 Z_{line2} 사이에 3상 단락의 영구 사고를 각각 모의하였다.

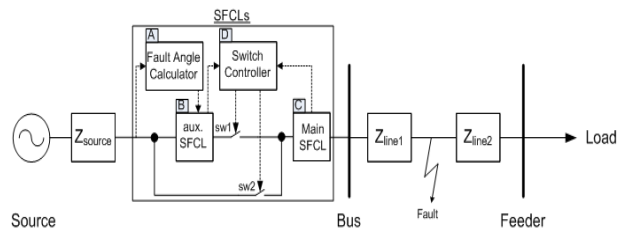


그림 5 모의 선로
Fig. 5 Test system

표 1 모의 선로 파라미터

Table 1 Test system parameters

항목	데이터		
전원 전압	22.9[kV-Y]		
선로임피던스 (R+jX)	0.182+j0.391[Ω/km] $Z_{line1}, Z_{line2} = 5$ [km]		
부하	Load : 10[MVA] / p.f 95[%]지상		
	전원임피던스 (R+jX)	SFCL 투입 저항	
		Main	aux.
case 1	1+j2[Ω]	3.005[Ω]	1.1225[Ω]
case 2	1+j4[Ω]	4.800[Ω]	2.2250[Ω]
case 3	1+j6[Ω]	6.702[Ω]	3.3981[Ω]
case 4	1+j8[Ω]	8.658[Ω]	4.6051[Ω]
case 5	1+j10[Ω]	10.640[Ω]	5.8290[Ω]

표 1의 보조 및 메인 초전도 한류기 투입 저항 값은 식 (7), (10)에 의하여 계산된 결과 값이다. 이 때, 투입 저항을 결정하기 위하여 교정 계수 K_1, K_2 를 다음과 같이 임의의 값으로 설정하였다.

$$K_1 = 1.0, \quad K_2 = 0.7 \quad (11)$$

상기 교정 계수 값은 등식 제약 조건의 타당성을 검증하기 위한 목표 값을 의미한다. 즉, 비대칭 고장 전류는 보조 초전도 한류기 투입 시 1.0[pu]로 저감되어야 하며, 정상 상태 고장 전류는 메인 초전도 한류기 투입 시 0.7[pu]로 저감되어야 함을 의미한다.

4.2 모의 결과

4.2.1 초전도 한류기 미적용 시 고장전류

그림 6은 초전도 한류기가 미 적용된 모의 선로에 전원 임피던스를 case 1~5까지 변경시켰을 경우의 0도 고장전류 파형을 나타내며, 각각의 고장전류 파고치는 표 2와 같다.

표 2에서와 같이 전원 임피던스의 X/R 비가 증가함에 따라 파고치 발생 시각도 고장 발생 최초 반주기(0.5 cycle)에 가까워짐을 확인할 수 있으며, 0도 고장전류의 파고치(I_{peak_0deg})도 1.248[pu]에서 1.562[pu]로 증가하는 것을 알 수 있다.

4.2.2 초전도 한류기 적용 시 고장전류

다음의 그림 7은 동일한 조건하에서 제안한 최적 투입 저항 결정 방법을 통하여 설정된 보조 초전도 한류기와 메인 초전도 한류기를 선로에 투입한 경우의 고장 모의 결과이다. 그림 6과 마찬가지로 고장 발생 각이 0도일 경우에 대하여 모의하였으며, 고장 각 검출부 동작 설정 범위를 만족하므로 보조 초전도 한류기의 동작이 활성화되어 투입 저항에 의해 최초 1주기 내의 비

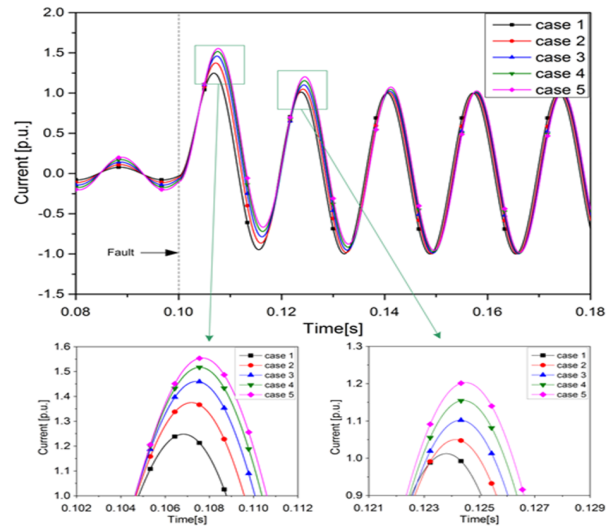


그림 6 초전도 한류기 미적용 시 고장전류 파형

Fig. 6 Fault current waveforms without SFCLs

표 2 보조 초전도 한류기 미적용 시 고장전류 크기

Table 2 Fault current magnitude without SFCLs

case	X/R (Z_{source})	$I_{peak_0deg} / I_{peak_s.s}$ [pu]	T_{peak_0deg} [cycle]
1	2	1.248	0.396
2	4	1.377	0.418
3	6	1.463	0.430
4	8	1.522	0.441
5	10	1.562	0.448

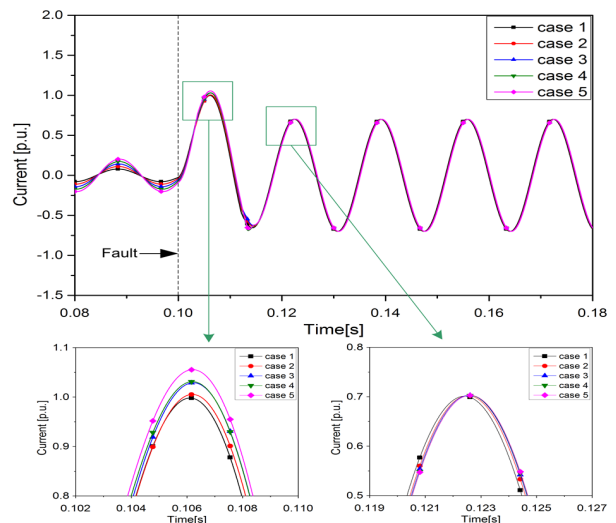


그림 7 제안한 초전도 한류기 적용 시 고장전류 파형

Fig. 7 Fault current waveforms of proposed SFCL

대칭 고장전류의 크기가 1차적으로 제한되고, 이후 메인 초전도 한류기에 의해 고장전류의 크기가 제한됨을 확인할 수 있다.

이 때, 비대칭 고장전류의 파고치는 case1의 경우, 보조 초전도 한류기 도입 전 1.248[pu]에서 도입 후 0.9979[pu]로 약 20.5% 가량 저감된 것을 확인할 수 있으며 목표 설정값인 1.0[pu]와 -0.21%의 오차를 보인다. 표 3에 case 1~5에 대한 비대칭 고장전류 파고치와 저감률을 나타내었다.

표 3 초전도 한류기 적용 시 고장전류 크기

Table 3 Fault current magnitude with SFCLs

case	X/R (Z_{source})	$I_{peak_0deg}/I_{peak_s.s}$ [pu]	Reduction ratio[%]
1	2	0.9979	20.50
2	4	1.0053	26.99
3	6	1.0188	30.38
4	8	1.0310	32.26
5	10	1.0460	33.01

모의 결과, 본 논문에서 제안한 식 (4)의 등식 제약 조건을 전제로 하여 식 (7)을 만족하는 저항값($R_{aux,SFCL}$)을 보조 초전도 한류기의 투입 저항으로 설정한 다음 계통에 투입하였을 경우 정상 상태 고장전류의 크기는 0.7[pu]로 유지하며 비대칭 고장전류의 크기를 약 1.05[pu] 이하로 저감시킬 수 있음을 확인하였다.

5. 결 론

기존의 하이브리드 초전도 한류기의 문제점을 보완하기 위하여 계통에 고장 발생 시 비대칭 고장전류의 저감을 위한 보조 초전도 한류기와 메인 초전도 한류기의 상호 동작 방안이 제시되었으며, 본 논문에서는 이를 기반으로 실 계통에 투입하기 위한 보조 및 메인 초전도 한류기의 최적 저항값 결정 방법을 제안하였다.

보조 초전도 한류기 투입 저항의 경우, 최대 비대칭 고장전류 발생 시점이 고장 발생 최초 반주기 부근에 형성되는 특성을 이용한 기존의 비대칭 고장전류 크기 계산 근사 법을 응용하여 결정 방법을 수립하였다. 그리고 메인 초전도 한류기 투입 저항의 경우, 정상 상태 고장전류의 크기에 교정 계수를 곱한 값을 메인 초전도 한류기 투입 시의 고장전류 값으로 제한하는 등식 제약 조건을 설정하여 투입 저항을 결정하였다.

제안한 방법의 검증을 위하여 EMTF를 이용한 모의 시험을 수행하였다. 그 결과 비대칭 고장전류를 투입 이전의 정상 상태 고장전류 5% 오차 범위 이내의 크기로 제한함을 확인하였고, 정상 상태 고장전류의 크기 또한 설정한 값으로 제한함을 확인하였다. 모의 결과에서 나타나는 바와 같이, 최적 투입 저항이 설정된 보조 및 메인 초전도 한류기로 접근한 고장전류 저감 방안은 비대칭 고장전류의 최댓값을 정상상태 고장전류 레벨로 저감시켜줌으로써 계통에 연결된 기기들의 손상을 방지하고, 보호기기의 정상 동작 신뢰도 향상에 기여할 수 있을 것으로 사료된다. 향후,

본 연구에서의 동작 방안을 기초 자료로 활용하여 1선 지락 등 불평형 고장에서의 사례 분석을 통해 과전류 계전기 및 재폐로 차단기와의 보호협조에 관한 후속 연구를 진행할 것이다.

References

- [1] B. W. Lee and S. B. Rhee, "Test requirements and performance evaluation for both resistive and inductive superconducting fault current limiters for 22.9 kV Electric Distribution Network in Korea", IEEE Trans. Appl. Superconduct., vol. 20, No. 3, pp.1114 - 1117, Jun. 2010.
- [2] S. H. Lim, "Operational Characteristics of Flux-Lock Type SFCL With Series Connection of Two Coils", IEEE Trans. Appl. Superconduct., vol.17, No.2, pp.1895-1898, June 2007
- [3] B. W. Lee, K. B. Park, J. Sim, I. S. Oh, H. G. Lee, H. R. Kim, O. B. Hyun, "Design and Experiments of Novel Hybrid Type Superconducting Fault Current Limiters", IEEE Trans. Appl. Superconduct., vol.18, No.2, pp.624-627, June 2008
- [4] O. B. Hyun, J. W. Sim, H. R. Kim, K. B. Park, S. W. Yim and I. S. Oh, "Reliability Enhancement of the Fast Switch in a Hybrid Superconducting Fault Current Limiter by Using Power Electronic Switches", IEEE Trans. Appl. Superconduct., vol. 19, No. 3, pp.1843-1846, June. 2009.
- [5] J. S. Kim, S. H. Lim, J. C. Kim, J. S. Choi, "Analysis on Current Limiting Characteristics of a Hybrid SFCL with the First Half Cycle Limiting Operation Due to Resistance of Superconducting Element", Trans. KIEE, vol. 60, No. 10, pp.1817-1822, 2011
- [6] G. H. Lee, K. B. Park, J. Sim, Y. G. Kim, I. S. Oh, O. B. Hyun, B. W. Lee, "Hybrid Superconducting Fault Current Limiter of the First Half Cycle Non-Limiting Type", IEEE Trans. Appl. Superconduct., vol.19, No.3, pp.1888-1891, June 2009
- [7] S. B. Rhee, C. H. Kim, K. H. Kim, J. C. Kim, O. B. Hyun, "An Analysis of Superconducting Fault Current Limiter Operation According to Asymmetry Fault Current", Trans KIEE, vol. 58, No. 3, pp.450-454, 2009.
- [8] C. H. Kim, K. H. Kim, H. C. Seo, C. H. Kim, S. B. Rhee, "Operational Method of Superconducting Fault Current Limiter with Reduction Function of Asymmetric Fault Current", KIIEE, vol. 28, No. 10, pp.56-62, 2014.
- [9] Glover, J. D., Sarma, M. S., & Overbye, T. J., "Power System Analysis and Design", CI-Engineering, 5th ed., 2011

- [10] IEEE Recommended Practice for Calculating AC Short-Circuit Currents in Industrial and Commercial Power Systems, IEEE Standard 551, 2006.

저 자 소 개



김 창 환(Chang-Hwan Kim)

2013년 영남대학교 전기공학과 졸업. 2013년~현재 동 대학원 전기공학과 석사과정.



김 규 호(Kyu-Ho Kim)

1988년 2월 한양대 전기공학과 졸업. 1990년 8월 동 대학원 전기공학과 졸업(석사). 1996년 2월 동 대학원 전기공학과 졸업(박사). 1996년 3월 안산공과대학 전기과 부교수. 2008년 9월~현재 국립한경대학교 전기공학과 부교수.



이 상 봉(Sang-Bong Rhee)

1994년 한양대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2004년 동 대학원 전기공학과 졸업(박사). 2012년~현재 영남대학교 전기공학과 조교수.