

단상 에너지 측정용 IC 구현

이연성*, 서해문*, 김동구°

Implementation of Single-Phase Energy Measurement IC

Youn-Sung Lee*, Hae-Moon Seo*, Dong Ku Kim°

요약

본 논문에서는 전력 정보를 측정하기 위한 단상 에너지 측정용 IC의 구현 방법을 제안한다. 제안된 전력 측정용 IC는 2개의 PGA(Programmable Gain Amplifier), 2개의 $\Sigma\Delta$ modulator, reference 회로, LDO(Low-dropout) regulator, 온도 센서, 필터부, 계산 엔진, 보정 제어부, 레지스터, 외부 인터페이스로 구성된다. 0.18- μm CMOS 공정으로 제작되었고, 32-pin QFN package로 제작되었다. 구현된 IC는 3.3V 전원을 공급받아 동작하며, 동작 클럭 주파수는 4,096 kHz이고, IC 동작시 소비 전력은 10 mW이다.

Key Words : energy measurement, energy meter, single phase, computation engine, calibration

ABSTRACT

This paper presents a single-phase energy measurement IC to measure electric power quantities. The entire IC includes two programmable gain amplifiers (PGAs), two $\Sigma\Delta$ modulators, a reference circuit, a low-dropout (LDO) regulator, a temperature sensor, a filter unit, a computation engine, a calibration control unit, registers, and an external interface block. The proposed energy measurement IC is fabricated with 0.18- μm CMOS technology and housed in a 32-pin quad-flat no-leads (QFN) package. It operates at a clock speed of 4,096 kHz and consumes 10 mW in 3.3 V supply.

I. 서론

최근 효율적인 에너지 사용과 관리를 위해 에너지 소모 기기들에 대한 에너지 사용량을 측정하고 사용자가 직접 모니터링하기 위한 기능을 가정 및 공공건물에 적용하는 추세이다¹⁻³. 에너지 사용량에 대한 측정은 부하(Load)에 입력되는 교류 전압과 전류를 측정하여 소비 전력 및 에너지 사용량을 계산하는 방법으로 이루어지며, 전압 및 전류 센서와 에너지 측정용 IC를 통해 구현할 수 있다.

전압 및 전류 센서는 부하에 입력되는 110V 또는

220V의 교류 전압과 부하에서 소비되는 전류를 에너지 측정용 IC가 입력 받을 수 있는 크기의 신호로 변환한다. 전압 센서로는 감압 회로(Voltage Divider) 또는 VT(Voltage Transformer)가 많이 사용되고, 전류 센서로는 주로 shunt 저항 또는 CT(Current Transformer)가 사용된다. 에너지 측정용 IC는 센서에 의해 센싱된 전압 및 전류 신호를 사용하여 전압 및 전류의 실효값(Root Mean Square; RMS), 유효 전력(Active Power), 누적 유효 전력(Accumulated Active Power) 등 다양한 전력정보를 계산하는 기능과 라인 전압의 주파수, 전압 상승 및 저하(Voltage Swell or

* 본 연구는 2015년 산업통상자원부의 재원으로 한국에너지기술연구원(KETEP)의 지원을 받아 수행하였음. [No. 20142010102390, 비절전 전자(가전)기기(Legacy Device)에 대한 에너지 관리 기술 개발]

• First Author : KETI and School of Electrical and Electronic Engineering, Yonsei Univ., yslee@keti.re.kr, 정희원

° Corresponding Author : School of Electrical and Electronic Engineering, Yonsei Univ., dkkim@yonsei.ac.kr, 종신회원

* Korea Electronics Technology Institute (KETI), bmoons@keti.re.kr, 정희원

논문번호 : KICS2015-08-276, Received August 31, 2015; Revised November 5, 2015; Accepted December 3, 2015

Sag), 과전류(Over-current) 등 전력 변화 상황을 감지하는 기능을 수행한다.

전압 및 전류 센서는 센서마다 다른 이득 오차를 가지고 있다. 특히, Transformer로 구현된 센서는 이득 오차 외에 신호에 위상 전이를 발생시킨다^[4]. 센서의 이득 오차 및 위상 전이, RC 주변 회로의 오차, DC 오프셋 등은 센싱된 전압 및 전류 신호의 크기와 위상에 영향을 미쳐 에너지 측정용 IC에서 계산된 전력 정보의 정밀도를 저하시킬 수 있다. 따라서, 측정된 전력 정보의 정밀도를 높이기 위해서는 DC 오프셋, 이득 오차 및 위상 오프셋을 추정하여 보정하는 것이 필요하다^[5].

이득 및 위상에 대한 보정 과정은 주로 PC 기반의 보정 제어기(calibration controller)를 통해 이루어진다. 보정 제어기는 에너지 측정용 IC의 측정값을 이용하여 이득 및 위상에 대한 보정 파라미터를 계산하고, 에너지 측정용 IC에 적용한다. 에너지 측정용 IC의 측정값이 허용 오차를 만족할 때까지 보정 파라미터를 갱신하고 적용하는 과정은 반복된다. PC 기반의 보정 제어기를 통한 방법은 보정 절차가 복잡하고, 긴 보정 시간이 요구된다. 따라서, 에너지 측정용 IC에 보정 제어기를 내장시키면, 복잡한 보정 절차를 개선하여 보정 시간을 단축시킬 수 있다.

본 논문에서는 전압 및 전류 센싱 신호를 이용하여 다양한 전력 정보를 측정하기 위한 보정 제어기가 내장된 H/W 기반의 에너지 측정용 IC의 구현 방법 및 결과를 기술한다. 논문의 구성은 다음과 같다. II장에서는 에너지 측정용 IC의 개요와 전력 정보에 대해 소개하고, III장에서는 H/W기반의 에너지 측정용 IC 구조를 기술한다. IV장에서는 제안된 에너지 측정용 IC의 구현 결과를 보여주고, V장에서는 결론을 맺는다.

II. 에너지 측정용 IC 개요

본 장에서는 에너지 측정용 IC의 개요와 IEEE Standard 1459에 정의되어 있는 단상(Single-Phase) 시스템에서 사용되는 전력 정보에 대해 기술한다^[6].

단상 에너지 측정용 IC는 그림 1과 같이 아날로그 전방부(Analog Front End; AFE), 필터부(Filter Unit; FU), 계산 엔진(Computation Engine; CE), 보정 제어부(Calibration Control Unit; CCU), 레지스터 및 외부 인터페이스(Registers & External Interface; EIF)로 구성된다. AFE는 PGA (Programmable Gain Amplifier)와 $\Sigma\Delta$ modulator로 구성되어 센서로부터 입력되는 아날로그 신호를 디지털 신호로 변환한다.

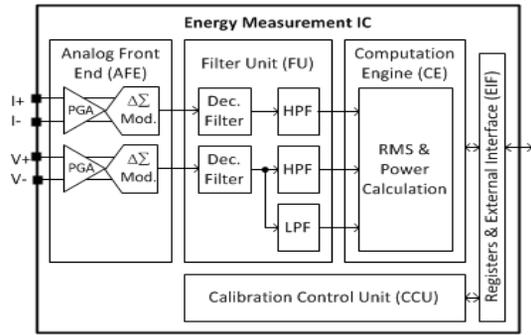


그림 1. 단상 에너지 측정용 IC 블록도
Fig. 1. Block diagram of single-phase energy measurement IC

FU는 Decimation 필터, 고역 통과 필터(High Pass Filter; HPF), 저역 통과 필터(Low Pass Filter; LPF)로 구성되어 AFE로부터 입력되는 신호의 샘플링 속도를 낮추는 기능과 전압 및 전류 신호에 포함되어 있는 DC 오프셋, 고조파 성분 및 잡음을 제거하는 기능을 수행한다. CCU는 센서 및 센서 주변 회로의 오차로 인한 이득 오차, 위상 오프셋을 추정하여 보정하는 기능을 수행한다.

CE는 FU에서 출력되는 전압 및 전류 신호를 사용하여 다양한 전력 정보를 계산한다. 표 1은 디지털 전압 $v(n)$ 및 전류 $i(n)$ 샘플 신호를 사용하여 계산되는 전력 정보를 나타내며, 여기서 N 은 전력 정보를 계산하기 위해 사용되는 전압 및 전류의 샘플수를 나타낸다. 레지스터는 계산된 전력 정보, 에너지 측정용 IC를 제어하기 위한 정보, 전력 변화 조건에 감지된 상태 정보 등을 저장한다. EIF는 외부의 micro-controller가 에너지 측정용 IC의 레지스터를 read/write할 수 있도록 인터페이스를 제공하는 기능을 수행한다.

표 1. 전력 정보
Table 1. Electric power quantities

Electric Quantity	Value
Voltage RMS	$V_{RMS} = \sqrt{\frac{1}{N} \times \sum_{n=0}^{N-1} (v(n)^2)}$
Current RMS	$I_{RMS} = \sqrt{\frac{1}{N} \times \sum_{n=0}^{N-1} (i(n)^2)}$
Active power	$P = \frac{1}{N} \sum_{n=0}^{N-1} (v(n) \times i(n))$
Reactive power	$Q = \frac{1}{N} \sum_{n=0}^{N-1} \left(v(n - \frac{\pi}{2}) \times i(n) \right)$
Apparent power	$S = V_{RMS} \times I_{RMS}$
Power factor	$PF = \frac{P}{S}$

III. 에너지 측정용 IC 설계

본 장에서는 H/W 기반의 에너지 측정용 IC를 구현하기 위한 AFE, FU, CE, CCU, EIF의 구조에 대해 기술한다.

3.1 아날로그 전방부 (AFE)

AFE는 2개의 PGA와 2개의 $\Sigma\Delta$ modulator로 구성된다. PGA는 이득이 다른 다양한 종류의 센서와 인터페이스하기 위해 센싱된 전압 및 전류의 크기를 조정하기 위해 사용되며, $\Sigma\Delta$ modulator의 입력 범위의 신호로 증폭하는 기능을 수행한다.

$\Sigma\Delta$ modulator는 아날로그 신호를 디지털 PDM (Pulse Density Modulation) 신호로 변환하는 기능을 수행하며, 응용 분야에 따라 다양한 구조로 설계될 수 있다. Single-loop 구조의 $\Sigma\Delta$ modulator는 multi-loop 구조에 비해 고사양의 증폭기와 다수의 비교기가 필요하지 않기 때문에 저전력으로 동작하는 장점을 가지고 있다. 또한, CIFF(Cascade Integrator Feedforward) 구조는 CIFB(Cascade Integrator Feedback) 구조에 비해 첫 번째 적분기의 계수가 작기 때문에 증폭기의 부하를 작게하여 저전력 증폭기 설계에 용이하고, 모든 적분기의 출력 신호가 작아지기 때문에 고조파 성분들을 줄일 수 있는 장점이 있다. 또한, 하나의 feedback DAC를 사용하면 레퍼런스 전압 버퍼의 저전력 설계 및 선형성 확보가 가능하다⁷⁾. 저전력 에너지 측정용 IC 구현을 위해 $\Sigma\Delta$ modulator는 single-loop, 3-order, 1-bit DAC feedback을 갖는 CIFF 구조로 설계되었으며, 1,024 kHz 클럭으로 샘플링된 1-bit PDM 신호를 출력시킨다. $\Sigma\Delta$ modulator의 블록도는 그림 2와 같다.

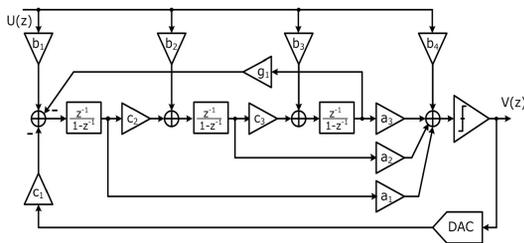


그림 2. 3차 $\Sigma\Delta$ modulator의 블록도
Fig. 2. Block diagram of 3-order $\Sigma\Delta$ modulator

3.2 필터부 (FU)

FU는 2개의 Decimation 필터, 2개의 HPF, 1개의 LPF로 구성된다. Decimation 필터는 $\Sigma\Delta$ modulator

로부터 출력되는 1,024 kHz로 샘플링된 1-bit PDM 신호를 4 kHz 또는 8 kHz로 샘플링된 24-bit 데이터로 변환한다. Decimation 필터는 그림 3과 같이 4차 CIC(Cascaded Integrator-Comb.)필터, CIC 보상 필터, Half-Band 필터로 구성된다⁸⁾. CIC 보상 필터와 Half-Band 필터는 FIR(Finite Impulse Response) 필터 구조로 설계되었고, 하드웨어 크기를 줄이기 위해 하나의 MAC(Multiply Accumulate)을 시분할하여 사용하도록 설계되었다.

HPF는 전압 및 전류 신호에 포함되어 있는 DC 옵셋을 제거하기 위해 사용된다. HPF는 cut-off 주파수가 4.45 Hz인 1차 IIR(Infinite Impulse Response) 필터로 설계되었고, DC 옵셋을 39dB 감쇄시킨다. LPF는 전압 신호에 포함되어 있는 고조파 성분 및 잡음을 제거하기 위해 사용되며, LPF의 출력 전압 신호는 라인 전압의 주파수를 추정하기 위해 사용된다. LPF는 cut-off 주파수가 140 Hz인 1차 IIR 필터로 설계되었다. 1차 IIR 필터는 2개의 가산기, 2개의 곱셈기, 2개의 지연소자가 필요하지만, MUX(multiplexer) 및 지연소자를 추가하여 하나의 곱셈기를 시분할하여 사용하는 구조로 설계되었다. 그림 4는 HPF 기능을 갖는 1차 IIR 필터 블록도를 나타낸다.

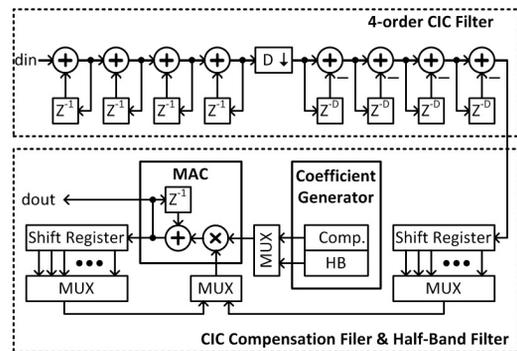


그림 3. Decimation 필터의 블록도
Fig. 3. Block diagram of decimation filter

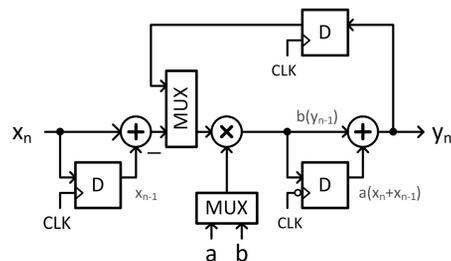


그림 4. 1차 IIR 고역통과 필터의 블록도
Fig. 4. Block diagram of 1-order IIR HPF

3.3 계산 엔진 (CE)

전력 정보를 계산하기 위해서는 다수의 곱셈 및 나눗셈 연산이 필요하지만, 빠른 클럭을 사용하여 곱셈기와 나눗셈기를 시분할하여 사용하면 사용되는 곱셈기와 나눗셈기의 수를 줄일 수 있다⁵⁾.

그림 5는 곱셈기와 나눗셈기를 시분할하여 사용하는 CE의 블록도를 나타낸다. 제안된 CE는 4-ch MAC(Multiply-Accumulate), 나눗셈기, arccosine 블록, square root 블록, MA(Multiply-Adder), 레지스터 및 MUX로 구성된다. 4-ch MAC은 순시 전압 및 전류의 제곱, 순시 유효 전력, 순시 무효 전력을 계산하기 위해 사용되고, 나눗셈기는 평균값 및 나눗셈 연산을 위해 사용된다. Square root 블록을 사용하여 실효값 계산이 가능하며, arccosine 블록은 전압 및 전류의 위상차를 계산하는데 사용된다. 곱셈기, 임시 레지스터, 가산기로 구성된 MA는 두 개의 곱셈 연산 결과의 합 또는 차를 계산하기 위해 사용될 수 있다. 각각의 연산 블록의 결과는 레지스터에 저장되며, 레지스터에 저장된 연산 블록의 결과는 MUX를 통해 다른 연산 블록에서 사용될 수 있다. 하드웨어 크기를 줄이기 위해 곱셈기, 나눗셈기, square root 블록, arccosine 블록은 각각 shift-and-add multiplication, non-restoring division, non-restoring square root, CORDIC(Coordinate Rotation Digital Computer) 알고리즘으로 설계되었다.

CE의 동작은 다음과 같다. 24-bit 전압 및 전류 신호는 4 kHz 또는 8 kHz마다 CE에 입력된다. 4-ch MAC은 1,024 kHz 클럭으로 동작하며, 4-ch MAC에서 사용되는 24 x 24 곱셈기는 곱셈 연산을 위해 24개의 클럭이 사용된다. 따라서, 8 kHz 속도로 입력되는 전압 및 전류 신호에 대해 1,024 kHz 클럭으로 동

작하는 곱셈기는 최대 5번의 곱셈 연산이 가능하기 때문에 1개의 곱셈기를 시분할하여 순시 전압의 제곱, 순시 전류의 제곱, 순시 유효 전력 및 순시 무효 전력과 같은 4개의 계산 값을 계산하는 것이 가능하다. 곱셈기의 출력 값들은 각각 4-ch MAC의 누적기를 통해 누적된다. 일정 시간 동안 누적된 4개의 값은 64 x 32 나눗셈기를 통해 평균값으로 계산된다. 64 x 32 나눗셈기는 나눗셈 연산을 위해 32개의 클럭이 사용되며, 1,024 kHz로 동작한다. 또한, 순시 전압의 제곱, 순시 전류의 제곱, 순시 유효 전력 및 순시 무효 전력의 평균값은 보통 1초에 한 번씩 계산되기 때문에 1개의 나눗셈기를 시분할하여 4개의 평균값을 계산하는 것이 가능하다. 순시 전압 제곱의 평균값과 순시 전류 제곱의 평균값은 square root 블록에 입력되어 전압 및 전류의 실효값을 계산하는데 이용된다. 이와 같은 방법으로 CE에서 사용되는 곱셈기 및 나눗셈기와 같은 연산블록들을 1,024 kHz의 클럭으로 동작시키면, 4 kHz 또는 8 kHz로 입력되는 전압 및 전류 신호에 대해 표 1에서 제시된 전력 정보를 시분할하여 계산하는 것이 가능하다.

제안된 CE는 연산 블록을 시분할하여 사용하는 구조로 설계되어 전력 정보를 계산하기 위한 필요한 연산 블록수를 줄일 수 있어 구현시 H/W 면적을 줄일 수 있는 장점이 있다.

3.4 보정 제어부 (CCU)

이득 오차 및 위상 옵셋은 미리 알고 있는 레퍼런스 전압과 전류 신호를 사용하여 추정할 수 있다. 레퍼런스 전압 및 전류의 실효값과 측정된 실효값을 이용하여 이득 오차를 추정한다. 또한, 레퍼런스 전압과 전류의 위상차와 측정된 위상차를 이용하여 위상 옵셋을 추정한다.

이득 오차 추정 및 보정 과정은 전압 및 전류 신호에 대해 각각 이루어지며, 그림 6(a)는 전압 신호에 대한 이득 오차 추정 절차를 나타낸다. 에너지 측정용 IC에 미리 알고 있는 실효값을 갖는 레퍼런스 전압 및 전류를 인가한다. CE에서 측정된 전압 신호에 대한 실효값($VRMS_{MEA}(i)$)과 레퍼런스 실효값($VRMS_{REF}$)의 차를 이용하여 전압 신호의 이득 오차($e_{VRMS}(i)$)를 계산한다. $e_{VRMS}(i)$ 가 허용 오차(e_{MAX})보다 작은 경우 현재 이득 $g_V(i)$ 를 레지스터에 저장하고, 추정과정을 종료한다. 만약, $e_{VRMS}(i)$ 가 e_{MAX} 보다 큰 경우는 이득을 갱신하고, 반복 횟수 카운트(i)를 증가시킨다. 갱신된 이득 $g_V(i+1)$ 는 i 번째 이득 추정 절차에서 사용된 이득 $g_V(i)$ 에 $VRMS_{REF}$ 와 $VRMS_{MEA}(i)$ 의 비를 곱하는

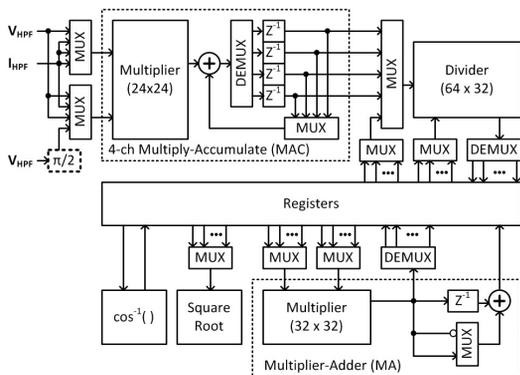


그림 5. 계산 엔진의 블록도
Fig. 5. Block diagram of computation engine

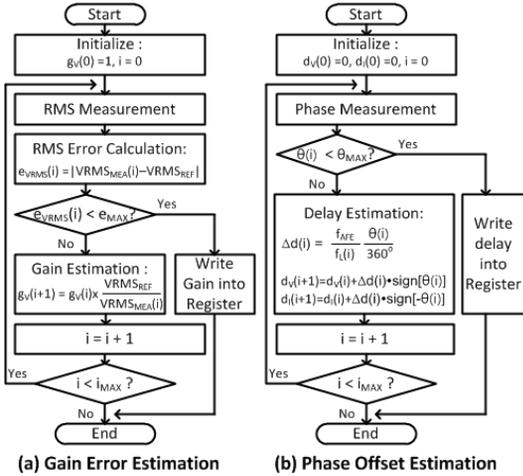


그림 6. (a) 이득 오차 및 (b) 위상 옵셋 추정 절차
Fig. 6. (a) Gain error and (b) phase offset estimation procedures

방법으로 갱신된다. 즉, VRMSREF보다 VRMSMEA(i)가 작은 경우는 gv(i+1)은 증가되고, VRMSREF보다 VRMSMEA(i)가 큰 경우는 gv(i+1)은 감소하게 된다. i가 최대값(iMAX)보다 작은 동안 추정 과정을 반복한다. 갱신된 이득 gv(i+1)를 사용하여 전압 신호의 이득 오차는 그림 7과 같이 필터부의 곱셈기를 통해 보정된다.

그림 6(b)와 그림 8은 위상 옵셋 추정 절차 및 보정 과정을 나타낸다. 에너지 측정용 IC에 미리 알고 있는 레퍼런스 전압 및 전류를 인가하고, 전압 및 전류 신호간의 위상차를 추정한다. i번째 위상 옵셋 추정 과정에서 추정된 위상차 θ(i)를 보정하기 위해 전압 및 전류 신호에 대한 ΣΔ modulator의 출력 PDM 신호를 지연시키는 방법이 사용된다. 예를 들어 θ(i)가 양수인 경우는 전압 신호에 대한 ΣΔ modulator의 출력 PDM 신호를 지연시키고, θ(i)가 음수인 경우는 전류 신호에 대한 ΣΔ modulator의 출력 PDM 신호를 지연시키면, 전압 및 전류 간에 발생된 위상차 θ(i)를 보정할 수 있다. 또한, θ(i)를 보정하기 위한 지연 값은 식(1)을 통해 계산된다.

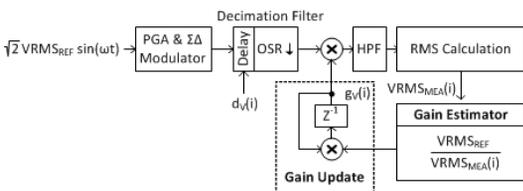


그림 7. 전압 신호의 이득 오차 보정 방법
Fig. 7. Gain error compensation scheme of voltage signal

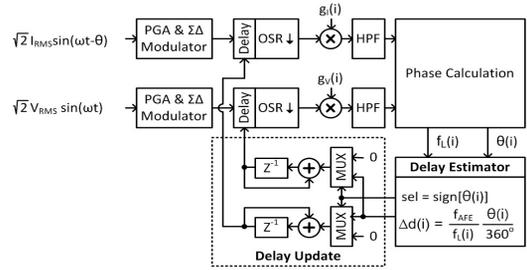


그림 8. 위상 옵셋 보정 방법
Fig. 8. Phase offset compensation scheme

$$\Delta d(i) = \frac{f_{AFE}}{f_L(i)} \frac{\theta(i)}{360^\circ} \quad (1)$$

여기서 fAFE는 ΣΔ modulator의 샘플링 클럭의 주파수로 1,024kHz에 해당되고, fL(i)는 i번째 위상 추정 과정에서 추정된 전압의 라인 주파수이다. CE에서 측정된 전압 및 전류 신호간의 위상차 θ(i)가 허용 오차 (θMAX) 보다 작은 경우는 현재 지연값을 레지스터에 저장하고, 추정과정을 종료한다. 만약, θ(i)가 θMAX보다 큰 경우는 전압 및 전류 채널에 대한 지연값을 갱신하고, 반복 횟수 카운트(i)를 증가시킨다. i가 최대값(iMAX)보다 작은 동안 추정 과정을 반복한다. 추정된 위상 옵셋은 그림 8과 같이 ΣΔ modulator의 출력 신호를 지연시켜 보정된다.

제안된 CCU는 기존의 PC기반 보정 제어기의 이득 및 위상 보정 절차를 단순화시켜 보정 시간을 단축시킬 수 있는 장점을 가지고 있다.

3.5 외부 인터페이스 (EIF)

Micro-controller는 UART(Universal Asynchronous Receiver/Transmitter) 명령어를 통해 에너지 측정용 IC의 레지스터를 read/write할 수 있다. 그림 9는 UART 인터페이스 블록의 구조도를 나타낸다. UART

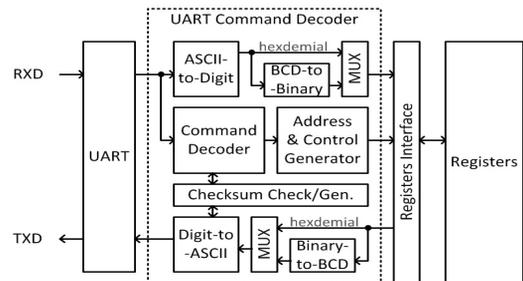


그림 9. UART 인터페이스 블록도
Fig. 9. Block diagram of UART interface

명령 디코더는 UART를 통해 수신된 ASCII (American Standard Code for Information Interchange) 코드 형태의 명령어를 해석하여 레지스터를 read/write하기 위한 주소 및 제어 신호 발생한다. UART 통신의 신뢰성을 확보하기 위해 UART 명령어에는 checksum 필드가 포함되어 있다. 또한, 레지스터의 데이터는 BCD(Binary-coded Decimal) 또는 Hex-decimal 형태의 ASCII 코드로 외부에 제공된다.

IV. 에너지 측정용 IC 구현

제안된 에너지 측정용 IC는 그림 10과 같이 AFE와 디지털 블록으로 구현되었다. AFE는 2개의 PGA, 2개의 $\Sigma\Delta$ modulator, reference 회로, LDO (Low-Dropout) regulator, 온도 센서로 구성된다. 디지털 블록은 FU, CE, CCU, EIF로 구성되며, 표 2와 같이 총 16만 3천 게이트로 구현되었다. 그림 11은 제안된 에너지 측정용 IC의 layout을 나타낸다.

에너지 측정용 IC는 0.18- μm CMOS 공정으로 제작되었고, 5mm x 5mm 크기의 32-pin QFN

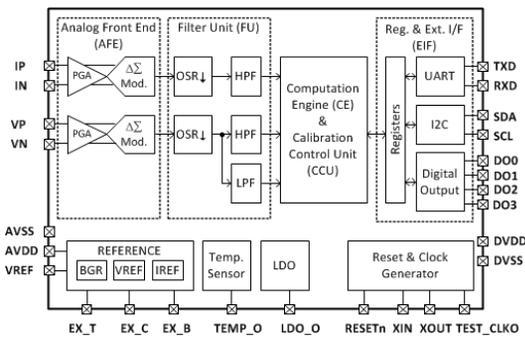


그림 10. 제안된 에너지 측정용 IC의 블록도
Fig. 10. Block diagram of the proposed energy measurement IC

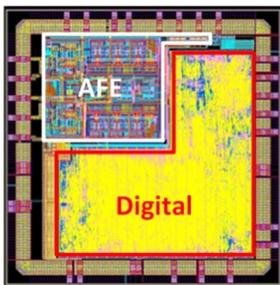


그림 11. 에너지 측정용 IC의 레이아웃
Fig. 11. Layout of energy measurement IC

표 2. 디지털 블록 구현 결과
Table 2. Implementation results for digital block

Digital Block	Equivalent Gates (k)	Ratio
Filter & Compensation	77.8	47.7%
Computation Engine	39.4	24.1%
Calibration Control	6.3	3.9%
Register & External I/F	39.7	24.3%
Total	163.2	100%

(quad-flat no-leads) package로 제작되었다. 제작된 IC는 3.3V 전원을 공급받아 소비 전력 10 mW로 동작하며, 동작 클럭 주파수는 4,096 kHz이다.

그림 12는 제안된 에너지 측정용 IC를 검증하기 위한 테스트 보드를 나타내고, 그림 13은 검증환경을 나타낸다. 제작된 에너지 측정용 IC의 정밀도를 측정하기 위해 신호 발생기를 사용하였다. 신호 발생기를 통해 전압 및 전류 채널에 각각 60Hz 주파수, 최대값 1V sine 신호를 입력시키고, 이득 및 위상 보정 과정을 수행하였다. 이득 및 위상 보정 과정을 마친 후, 전류 채널의 크기를 1.4V부터 0.7mV까지 변화시키면서 에너지 측정용 IC가 계산한 전류의 실효값, 유효 전력 및 무효 전력에 대한 정밀도를 측정하였다. 측정 결과 그림 14와 같이 전류 dynamic range 1000:1 범위에서 측정된 전류의 실효값(I_{RMS}), 유효 전력(P_{AVG}) 및 무효



그림 12. 에너지 측정용 IC 테스트 보드
Fig. 12. Energy measurement IC test board

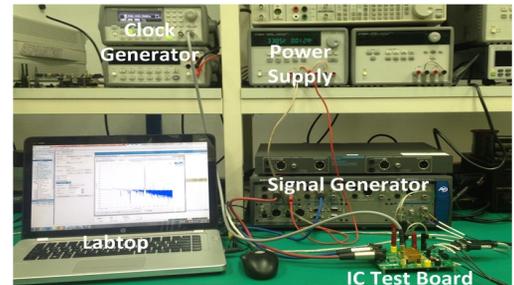


그림 13. 에너지 측정용 IC의 검증 환경
Fig. 13. Test environment for energy measurement IC

전력(Q_{AVG})에 대한 정밀도 오차가 0.1% 미만인 것을 확인하였다. 그림 15는 $\Sigma\Delta$ modulator에 60Hz 주파수의 4V sine wave를 입력시킨 후에 측정한 전력 스펙트럼 밀도(power spectral density)를 나타낸다. peak SNDR(signal-to-noise and distortion ratio)은 94.57 dB로 측정되었다.

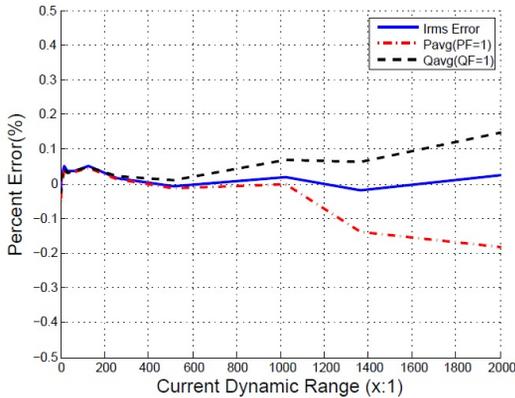


그림 14. 에너지 측정용 IC의 정밀도 측정
Fig. 14. Measured accuracy of energy measurement IC

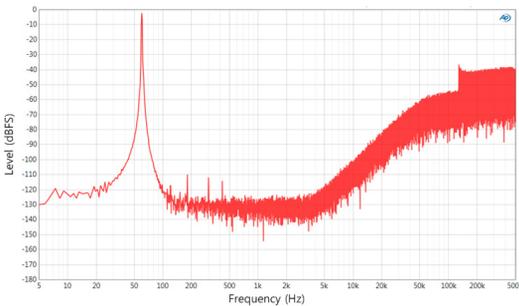


그림 15. $\Sigma\Delta$ modulator의 전력 스펙트럼 밀도 측정
Fig. 15. Measured power spectral density of $\Sigma\Delta$ modulator

V. 결 론

본 논문에서는 전압 및 전류 센싱 신호를 이용하여 전력 정보를 측정하기 위한 H/W 기반의 에너지 측정용 IC의 구현 방법 및 구현 결과를 기술하였다.

제안된 전력 측정용 IC는 2개의 PGA, 2개의 $\Sigma\Delta$ modulator, reference 회로, LDO regulator, 온도 센서로 구성된 AFE와 FU, CE, CCU, EIF로 구성된 디지털 블록으로 구성된다. 제안된 IC의 CE는 연산 블록을 시분할하여 사용하는 구조로 설계되어, H/W 구현 면적 및 소모 전력을 줄일 수 있는 장점이 있다. 또한,

CCU가 내장되어, 제안된 IC가 적용된 전력 측정용 시스템의 보정 절차를 단순화하고, 보정 시간을 단축할 수 있는 장점이 있다. 제안된 에너지 측정용 IC는 0.18- μm CMOS 공정으로 제작되었고, 32-pin QFN package로 제작되었다. 제작된 IC는 3.3V 전원을 공급받아 소비 전력 10 mW로 동작한다.

References

- [1] H. K. Min, T. An, S. W. Lee, S. R. Lee, and I. H. Song, "Power signal recognition with high order moment features for non-intrusive load monitoring," *J. KICS*, vol. 39C, no. 7, pp. 608-614, Jul. 2014.
- [2] J. H. Lee, S. H. Kim, C. S. Oh, M. S. Seo, Y. D. Kim, and H. J. Park, "Implementation of smart multi-tap system based on zigbee communication," *J. KICS*, vol. 39C, no. 10, pp. 930-936, Oct. 2014.
- [3] S. I. Hwang, T. J. Park, Y. K. Sohn, and G. P. Jeon, "Smart grid use case and service requirement based on M2M: Energy management system for public buildings," *J. KICS*, vol. 38C, no. 7, pp. 612-620, Jul. 2013.
- [4] W. Koon, "Current sensing for energy metering," in *Proc. IIC-China Conf.*, pp. 321-324, 2002.
- [5] Y. S. Lee, J. W. Seo, J. W. Wee, M. G. Kang, and D. K. Kim, "Single-phase energy metering chip with built-in calibration function," *KSII Trans. Internet and Inf. Syst.*, vol. 9, no. 8, pp. 3112-3129, Aug. 2015.
- [6] IEEE Std. 1459, *IEEE Standard Definitions for the Measurement of Electric Power Quantities Under Sinusoidal, sinusoidal, Balanced, or Unbalanced Conditions*, IEEE, Mar. 2010.
- [7] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*, Piscataway NJ: IEEE press, 2005.
- [8] E. B. Hogenauer, "An economical class of digital filters for decimation and interpolation," *IEEE Trans. Acoust., Speech, Signal Process.*, vol. 29, no. 2, pp. 155-162, Apr. 1981.

이 연 성 (Youn-Sung Lee)



1996년 2월 : 광운대학교 컴퓨터공학과 공학사
1998년 2월 : 광운대학교 컴퓨터공학과 공학 석사
2008년 9월~현재 : 연세대학교 전기전자공학부 박사 과정
2003년 7월~현재 : 전자부품연구원 (KETI) 책임연구원

<관심분야> 방송/통신 시스템, VLSI 아키텍처

김 동 구 (Dong Ku Kim)



1983년 2월 : 한국항공대학교 통신공학과 졸업
1985년 : U.S.C. Dept of Electrical Engineering 석사
1992년 : U.S.C. Dept of Electrical Engineering 박사
1994년~현재 : 연세대학교 공과대학 전기전자공학과 정교수

<관심분야> 5세대 이동통신 시스템, 협력 MIMO 기술, 무선 이동 Relay 기술, Compressed Sensing, 소형셀 기술

서 해 문 (Hae-Moon Seo)



1998년 2월 : 경북대학교 전자공학과 공학사
2000년 2월 : 경북대학교 전자공학과 공학 석사
2009년 8월 : 경북대학교 전자공학과 공학 박사
2005년 2월~현재 : 전자부품연구원 (KETI) 책임연구원

<관심분야> NRE-H System, Platform B/M modeling, Service Design Architecture