

# 우회 bin의 병렬처리가 가능한 HEVC CABAC 부호화기의 설계

## Design of HEVC CABAC Encoder With Parallel Processing of Bypass Bins

김 두 환\*, 문 전 학\*, 이 성 수\*\*

DooHwan Kim\*, Jeonhak Moon\*, Seongsoo Lee\*\*

### Abstract

In the HEVC CABAC, the probability model is updated after a bin is encoded and next bin is encoded based on the updated probability model. Conventional CABAC encoders can encode only one bin per cycle, which cannot increase the encoding throughput. The probability model does not need to be updated in the bypass bins. In this paper, a HEVC CABAC encoder is proposed to increase encoding throughput by parallel processing of bypass bins. The designed CABAC encoder can process either a regular bin or maximum 4 bypass bins in a cycle. On the average, it can process 1.15~1.92 bins in a cycle. Synthesized in 0.18 um technology, its gate count, maximum operating speed, and the maximum throughput are 78,698 gates, 136 MHz, and 261 Mbin/s, respectively.

### 요 약

HEVC CABAC에서는 하나의 bin을 부호화한 후 확률 모델을 업데이트하고, 업데이트된 확률 모델로 다음 bin을 부호화한다. 기존 CABAC 부호화기는 매 사이클마다 1개의 bin밖에 부호화하지 못하여 처리율을 향상시킬 수 없었다. 본 논문에서는 확률 모델의 업데이트가 필요없는 우회 bin을 병렬처리 함으로서 처리율을 높인 HEVC CABAC 부호화기를 제안한다. 설계된 CABAC 부호화기는 매 사이클마다 1개의 정규 bin을 처리하거나 최대 4개의 우회 bin을 처리할 수 있으며, 평균적으로 매 사이클당 1.15~1.92개의 bin을 처리한다. 0.18 um 공정에서 합성한 결과, 게이트 수는 메모리를 포함하여 78,698 게이트, 최대 동작 속도는 136 MHz, 최대 처리율은 261 Mbin/s이다.

*Key words* : HEVC, CABAC, multi-bin, high-efficiency, parallel-processing

\* School of Electronic Engineering, Soongsil University

★ Corresponding author: sslee@ssu.ac.kr, 02-820-0692

※ Acknowledgment

“This research was supported by the Industrial Core Technology Development Program funded by the Ministry of Trade, Industry & Energy (10052009, Development of Futuristic Fusion-Semiconductor Core IP).”

Manuscript received Dec 20, 2015; revised Dec 25, 2015; accepted Dec 28, 2015.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## 1. 서론

HEVC<sup>[1],[2]</sup>에서는 엔트로피 코딩 기법 중 가장 처리 효율이 높은 문맥 기반 적응적 이진 산술 부호화 (CABAC: context-adaptive binary arithmetic coding)<sup>[3]-[5]</sup>을 이용하여 부호화를 수행한다. CABAC에서는 하나의 bin (bin)을 부호화한 후 확률 모델을 업데이트하고, 업데이트된 확률 모델로 다음 bin을 부호화한다. 이러한 방법은 압축 효율을 극대화하지만, 한편으로는 현재 bin의 부호화가 끝나기 전에는 확률 모델이 업데이트

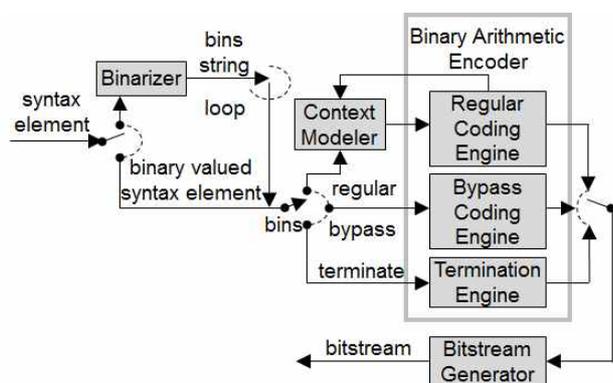


Fig. 1. Block diagram of HEVC CABAC encoder

그림 1. HEVC CABAC 부호화기의 블록도

트되지 않아 다음 bins을 부호화할 수가 없으며 CABAC 부호화기는 매 사이클마다 하나의 bins만 부호화할 수 있다<sup>[6]</sup>.

영상 압축 기법에서 화면 크기가 증가하면 필요한 연산량도 대체적으로 이에 비례해서 증가하는데, 영상 압축 기법의 다른 프로세스에서는 여러 개의 하드웨어로 병렬 처리를 수행하기 때문에 하드웨어의 크기는 증가할지언정 구현에는 큰 문제가 되지 않는다. 그러나 CABAC은 각 bins의 부호화를 순차적으로 수행해야 하기 때문에 병렬 처리가 어려우며 화면 크기가 UHD (ultra high definition)급이 되면 하드웨어 구현에 많은 문제점이 발생하게 된다<sup>[6]</sup>.

본 논문에서는 이러한 문제점을 개선하기 위해 확률 모델의 업데이트가 필요없이 고정 확률을 사용하는 우회 bins을 병렬처리 함으로서 처리율 (throughput)을 높이는 HEVC CABAC 부호화기를 제안하고 이를 하드웨어로 구현하였다.

## II. 아키텍처 설계

### 1. CABAC 부호화의 동작 분석

CABAC 부호화기는 그림 1과 같이 이진화기 (binarizer), 문맥 모델러 (context modeler), 이진 산술 부호화기 (binary arithmetic encoder), 비트 생성기 (bit generator)의 4개 모듈로 구성된다. 이진화기에서는 이진 값으로 표현되지 않은 구문 요소 (SE: syntax element)의 값을 각각의 타입에 맞는 방식으로 이진화한다.

이진화기를 통해 bins열 (binstring)으로 변환된

구문 요소들은 문맥 모델러를 통해 각 bins마다의 확률을 결정하게 된다. 문맥 모델러는 bins의 값과 그 구문 요소의 주변 정보, 이전에 부호화된 bins의 확률을 통해 해당 bins의 확률을 결정하게 된다. 이때 발생확률이 높은 값은 MPS (most probable symbol)로, 그 확률은 pStateIdx로 모델링된다. 이렇게 확률 모델링을 거치는 모드를 정규 (regular) 모드라 하며, 우회 (bypass) 모드에서는 문맥 모델러가 확률 모델링을 하지 않고 고정 확률을 사용한다. 이밖에 비트 하나만 생성하고 종료하는 종료 (terminate) 모드가 있다.

이진 산술 부호화기에서는 문맥 모델러를 통해 결정된 확률 모델을 이용해 각각의 bins을 이진 산술 부호화한다. CABAC에서는 일반적인 적응적 이진 산술 코딩과 달리 범위(range)를 0~510까지의 정수 범위로 단순화시킨 후, 범위를 간격으로 나누는 과정을 근사화하여 테이블 참조로 구현이 가능하도록 하였다. 정규 부호화의 경우 먼저 LPS (least probable symbol) 간격을 테이블 참조로 계산한 후 현재 범위를 MPS의 간격과 LPS의 간격으로 분할한다. 그 후 부호화 된 bins의 값에 대한 범위를 결정한다. 범위에 재정규화 (renormalization)가 필요한 경우 부호화기는 재정규화를 수행하며 이를 통해 비트를 생성한다.

### 2. CABAC 부호화기 아키텍처 설계

본 논문에서 제안하는 CABAC 부호화기는 정규 모드에 해당하는 bins은 기존과 동일하게 매 사이클당 1개씩만 부호화하지만 우회 모드로 동작하는 bins은 매 사이클당 최대 4개까지 동시에 부호화함으로써 처리 속도를 향상시켰다.

제안하는 아키텍처의 처리 흐름은 그림 2와 같다. 이진화기의 처리 속도와 문맥 모델러의 처리 속도를 맞추기 위해 두 모듈 사이에는 깊이 (depth)가 2인 FIFO 메모리가 존재한다. 이진 산술 부호화기의 경우 재정규화 과정에서 비트를 생성하기 위해서는 하나의 bins에 0~수 사이클이 걸린다. 여기서 비트 생성기를 재정규화에서 분리할 경우 두 모듈을 독립적으로 동작시킬 수 있기에 본 논문에서는 두 모듈을 분리시킨 후 두 동작의 처리 속도를 맞추기 위해 깊이가 64인 FIFO 메모리를 두었다.

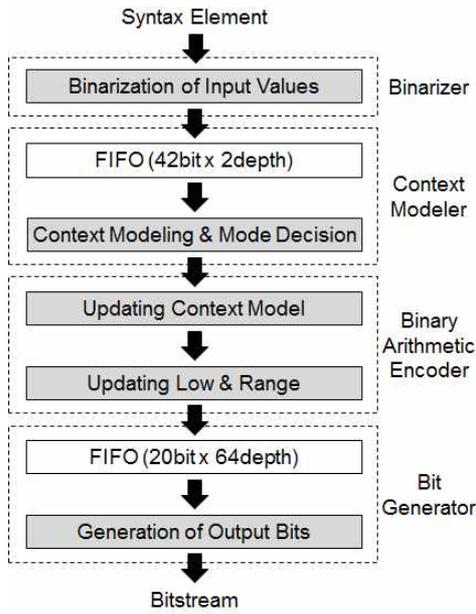


Fig. 2. Processing flow of HEVC CABAC encoder  
 그림 2. HEVC CABAC 부호화기의 처리 흐름

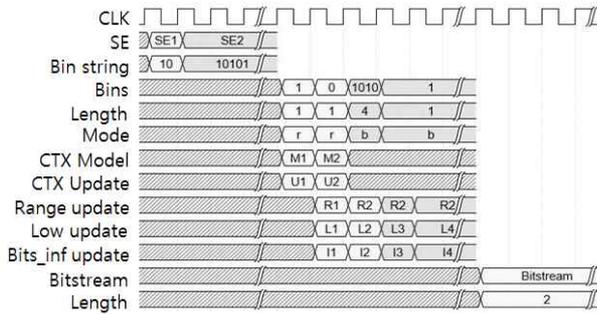


Fig. 3. Timing diagram of HEVC CABAC encoder  
 그림 3. HEVC CABAC 부호화기의 타이밍도

이 CABAC 부호화기의 동작을 나타내는 타이밍도는 그림 3과 같다. 구문 요소는 이진화기를 거쳐 같은 사이클에 bin열로 변환되며, bin열은 FIFO 메모리를 거쳐 문맥 모델러를 통해 bin, bin 길이, 부호화 모드, 문맥 모델로 변환된다. 문맥 모델러에서 정규 모드로 결정되면 하나의 bin만 이진 산술 부호화기로 전송하지만, 우회 모드로 동작하는 bin이 연속해서 나타난다면 최대 4개의 bin을 묶어서 그 개수와 함께 전송한다.

이진 산술 부호화기에서는 해당 사이클에 문맥 모델 (CTX Model: context model)을 업데이트하여 문맥 모델러로 전달하며, 다음 사이클에 간격들을 업데이트한다. 비트 생성기가 재정규화와 같은 루프에서 동작할 경우 따로 비트 생성을 위한 정보가 필요하지 않지만, 두 동작을 독립적으로 수행하기 위해서는 몇 번의 재정규화 과정이

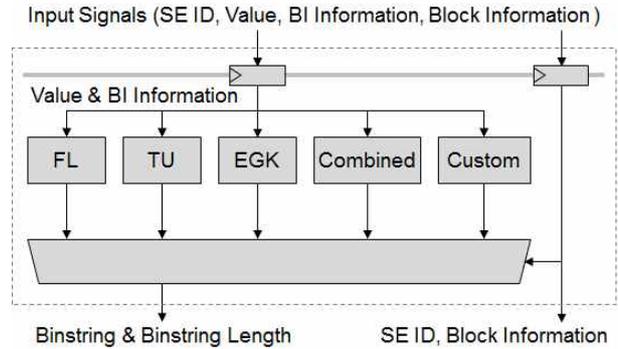


Fig. 4. Block diagram of binarizer  
 그림 4. 이진화기의 블록도

수행 되었는지 여부와 그 과정에서 생성된 정보들을 누적하여 비트 생성기로 전달하여야 한다. 변화된 정보들은 FIFO 메모리를 거쳐 비트 생성기에서 비트로 변환된다.

### III. 구성 모듈 설계

#### 1. 이진화기

이진화기의 블록도는 그림 4와 같다. 이진화기의 역할은 이진수로 표현되지 않은 구문 요소들을 이진수인 bin으로 변환한 후, bin의 모임인 bin열과 그 길이를 계산하여 문맥 모델러로 전달하는 것이다. 이진화기는 단수 (single) 모드, 조합 (combined) 모드, 맞춤 (custom) 모드로 동작한다. 단수 모드에서는 기본적인 이진화 방식인 고정 길이 (FL: fixed length), 절삭 단항 (TU: truncated unary), k차 지수 골롬 (EGK: k-th order exp-Golomb) 방식 중에서 하나의 방식으로 이진화를 수행한다. 조합 모드에서는 이들을 조합하여 이진화를 수행하며, 일례로 절삭 라이스 (TR: truncated Rice) 방식은 TU 방식과 FL 방식을 조합한 것이다. 맞춤 모드에서는 미리 정의된 변환표를 사용하여 이진화를 수행한다<sup>[3]</sup>.

이진화기는 한 사이클에 1개에서 최대 31개의 bin까지 출력하는데 비해 문맥 모델러에서는 한 사이클에 최대 4개의 bin까지 처리가 가능하므로 본 논문에서는 하나의 이진화기만 사용하였다.

#### 2. 문맥 모델러

문맥 모델러의 블록도는 그림 5와 같다. 문맥

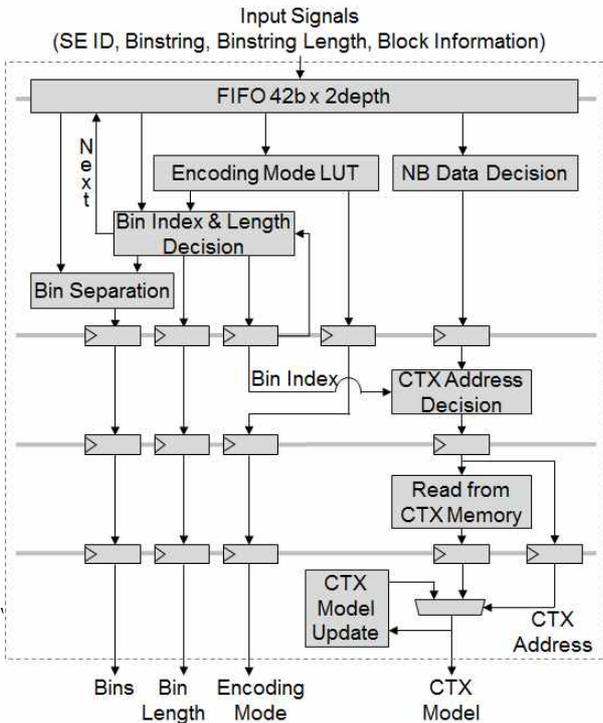


Fig. 5. Block diagram of context modeler  
 그림 5. 문맥 모델러의 블록도

모델러는 입력으로 bin열을 받아 부호화 모드 (encoding mode)를 판단하고 이에 맞게 bin을 쪼갬다. 정규 모드일 경우 bin을 1개씩 쪼개어 각 bin의 문맥 모델을 계산하여 bin과 함께 이진 산술 부호화기로 넘긴다. 우회 모드일 경우에는 남은 bin의 개수에 따라 최대 4개까지 쪼개어 문맥 모델과 함께 이진 산술 부호화기로 넘긴다.

문맥 모델은 문맥 요소의 타입과 깊이 정보, bin의 인덱스 정보 등과 이전에 부호화 된 이웃 블록의 데이터를 참조하여 결정 된다. 따라서 문맥 모델러는 초기 확률 모델을 생성하기 위한 테이블, 현재 확률 모델을 저장할 메모리, 이웃 블록의 참조 데이터를 저장하기 위한 메모리를 필요로 한다<sup>[4]</sup>. 또한 처리 속도를 맞추기 위한 FIFO의 폭 (width)을 줄이기 위해 적절한 데이터 포맷을 정할 필요가 있는데, 본 논문에서는 bin열의 최대 길이인 31 비트에 맞춰 입력 정보의 데이터 포맷을 정함으로서 FIFO의 폭을 최소화 하였다. 문맥 모델러는 동작 속도를 향상시키기 위하여 그림 5와 같이 4단계의 파이프라인으로 나뉘어져 있다.

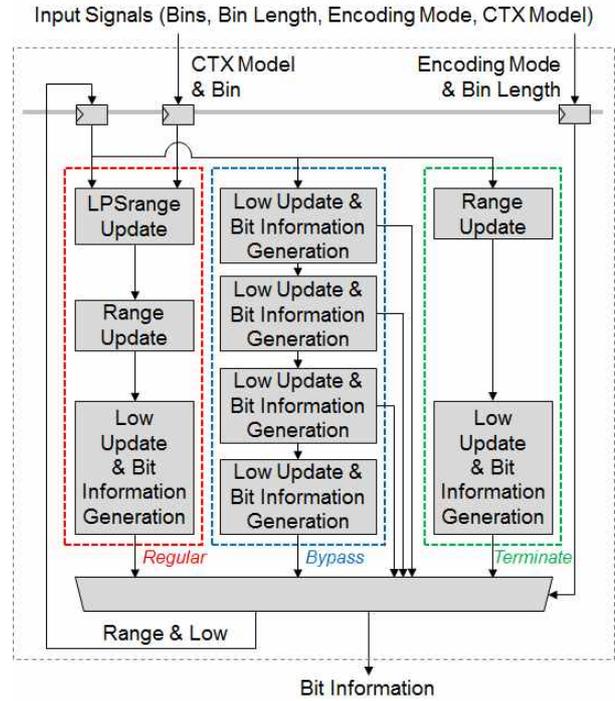


Fig. 6. Block diagram of binary arithmetic encoder  
 그림 6. 이진 산술 부호화기의 블록도

### 3. 이진 산술 부호화기

이진 산술 부호화기의 블록도는 그림 6과 같다. 입력으로 bin, bin 길이, 부호화 모드, 문맥 모델을 받으며, bin과 문맥 모델을 통해 부호화를 수행한 후 bin 길이와 부호화 모드를 통해 결과를 선택하여 출력한다<sup>[5]</sup>.

정규 모드의 경우 LPSrange와 Range 업데이트를 포함하기에 데이터패스가 가장 길다. CABAC 부호화기의 처리 속도를 향상시키기 위해 본 논문에서는 우회 모드로 부호화 되는 bin을 최대 4개까지 병렬 처리한다. 우회 모드로 동작하는 bin 4개를 병렬 처리하는 데이터패스와 bin 1개를 처리하는 정규 모드의 데이터패스의 최악 경로 (critical path)가 지연 시간이 거의 비슷하기 때문에 처리량과 동작속도를 가장 최적화시킬 수 있다. 종료 모드의 경우 비트 하나만 생성하기 때문에 병렬 처리의 필요성이 없다.

본 논문에서는 비트 생성기를 이진 산술 부호화기와 분리를 하였기에 이진 산술 부호화기의 출력은 비트를 생성하기 위한 데이터들이 된다. 이 데이터들은 몇 번의 재정규화가 수행되었는지에 대한 정보, 재정규화가 수행되면서 생성된 비

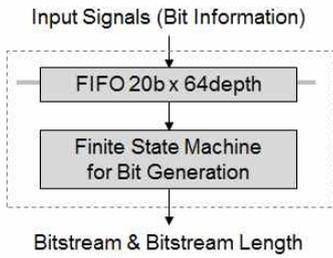


Fig. 7. Block diagram of bit generator  
그림 7. 비트 생성기의 블록도

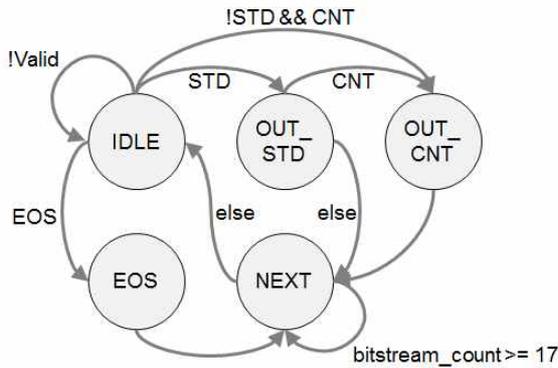


Fig. 8. State diagram of bit generator FSM  
그림 8. 비트 생성기 FSM의 상태도

트에 대한 정보, 재정규화가 수행되었으나 비트를 생성하지 않았을 경우를 누적한 정보 등을 포함한다. 이러한 정보는 빈에 따라 생성되지 않을 수도 있으며, 이에 따라 이진 산술 부호화기의 유효한 비트 정보는 0~4개가 된다. 이에 비해 비트 생성기는 하나의 비트 정보를 처리하기 위해 1~3 사이클이 필요하기 때문에 두 모듈 사이의 처리속도를 맞추기 위하여 이진 산술 부호화기의 출력을 FIFO 메모리에 저장하여 전달한다.

4. 비트 생성기

비트 생성기의 블록도는 그림 7과 같다. 비트 생성기는 유한 상태 머신 (FSM: finite state machine)으로 동작하며 그 상태도는 그림 8과 같다. FSM의 상태는 총 5개로 IDLE, OUT\_STD, OUT\_CNT, NEXT, EOS이다.

IDLE은 비트 정보가 들어오기 전 대기 상태로 IDLE에서는 비트 정보가 들어왔을 때 생성된 비트들에 대한 정보를 통해 가장 먼저 생성된 하나의 비트만을 출력한다. 그 후 비트를 생성하지 않았을 때의 누적 정보가 존재할 경우 상태는 OUT\_STD로 전이된다. OUT\_STD에서는 누적

Table 1. Simulation results  
표 1. 시뮬레이션 결과

Sequence	Configuration	QP	Throughput (bin/cycle)
Nebuta Festival (10 bit, 2560×1600 pixel, 60 frame/s)	LD	0	1.92
		7	1.76
		22	1.35
	RA	0	1.89
		7	1.64
		22	1.40
Traffic (8 bit, 2560×1600 pixel, 30 frame/s)	LD	0	1.57
		7	1.43
		22	1.24
	RA	0	1.50
		7	1.31
		22	1.16
People On Street (8 bit, 2560×1600 pixel, 30 frame/s)	LD	0	1.67
		7	1.45
		22	1.28
	RA	0	1.62
		7	1.38
		22	1.23
Basketball Drive (8 bit, 1920×1080 pixel, 50 frame/s)	LD	0	1.69
		7	1.40
		22	1.17
	RA	0	1.60
		7	1.34
		22	1.15

정보를 이용하여 비트를 생성한다. OUT\_CNT에서는 생성된 비트들에 대한 정보가 하나 이상이 있을 경우 IDLE에서 출력되지 못한 나머지 비트들을 출력한다. NEXT 상태에서는 현재 비트 정보로 생성된 비트열 (bitstream)과 그 길이를 출력 후 FIFO로부터 다음 비트 정보를 요청한다. 들어온 비트 정보가 슬라이스의 종료에 대한 정보를 갖고 있을 경우 EOS 상태로 전이되며 플러싱 (flushing) 동작을 수행한다.

IV. 성능 분석, 구현 및 검증

설계된 부호화기의 성능을 분석하기 위해 HEVC 테스트 모델인 HM11<sup>[2]</sup>로 시뮬레이션을 수행하였다. 사용된 영상은 Nebuta Festival,

Table 2. Implementation results

표 2. 구현 결과

Technology (um)		0.18
Maximum Throughput (bin/cycle)		1.92
Maximum Operating Frequency (MHz)		136
Maximum Processing Speed (Mbin/s)		261.12
Gate Counts (gate)	Total	78,698
	Binarizer	2,652
	Context Modeler	28,433
	Binary Arithmetic Encoder	5,943
	Bit Generator	41,632

Traffic, People On Street, Basketball Drive의 4개이며 LD (low delay), RA (random access)의 2개 구성에서 0, 7, 22의 3개 QP (quantization parameter)로 시뮬레이션을 진행하였으며 그 결과는 표 1과 같다.

제안하는 부호화기는 처리율, 즉 빈/사이클 수가 정규모드에서 1 빈/사이클, 우회모드에서 1~4 빈/사이클이지만, 실제로는 우회모드가 차지하는 비율이 20% 정도이며<sup>[6]</sup>, 이를 반영한 최종 처리율은 1.15~1.92 빈/사이클이 된다. 이는 매 사이클당 하나의 빈밖에 처리하지 못하는 기존 CABAC 부호화기에 비해 15~92%의 성능이 향상되었다는 것을 의미한다.

본 논문에서 설계한 CABAC 부호화기는 우회 모드 빈이 연속적으로 발생하였을 경우에만 최대 4개까지 병렬 처리를 수행하기 때문에, 연속된 우회 빈이 많이 발생할수록 처리율이 향상된다. 일반적으로는 영상의 크기가 증가할수록 QP가 줄어 비트량이 증가하고 이에 따라 우회 빈이 연속적으로 나타나는 경향이 있다. 표 1에서 알 수 있듯이 영상 크기와 비트 해상도가 가장 높은 Nebuta Festival 영상에서 처리율이 가장 높은 것을 볼 수 있으며, 그 중에서도 QP가 0일 때 가장 높게 나타나는 것을 볼 수 있다. 즉 본 논문에서 제안하는 하드웨어는 비트량이 클수록 처리율이 증가하여 보다 효율적으로 동작한다.

설계된 CABAC 부호화기를 0.18 um 공정에서 구현하고 정상적인 동작을 확인하였다. 합성 결과는 표 2와 같으며 게이트 수는 메모리를 포함하여 78,698 게이트, 최대 동작 속도는 136 MHz, 최대 처리속도는 261 Mbin/s이다.

## V. 결론

본 논문에서는 CABAC 부호화기의 처리율을 높이기 위해 우회 모드 빈을 최대 4개까지 병렬 처리하여 성능을 높인 아키텍처를 제안하고 이를 하드웨어로 구현하였다. 제안하는 아키텍처는 영상의 비트량이 증가할수록 처리율이 높아지며, 기존의 CABAC 부호화기가 매 사이클당 하나의 빈만 처리할 수 있는 반면에 본 논문에서 제안하는 CABAC 부호화기는 매 사이클당 1.15~1.92개의 빈을 처리할 수 있다. 추후 정규 모드 빈을 병렬 처리하고 우회 모드 빈의 병렬 처리 개수를 늘리면 성능이 더욱 높아질 것으로 생각된다.

## References

- [1] B. Bross, W. Han, J. Ohm, G. Sullivan, and T. Wiegand, "JCTVC-L1003\_v34: High efficiency video coding (HEVC) text specification draft 10," Joint Collaborative Team on Video Coding (JCT-VC), Jan. 2013.
- [2] HEVC software repository HM-11 reference model, [https://hevc.hhi.fraunhofer.de/svn/svn\\_HEVCSoftware/branches/HM-11.0-dev/](https://hevc.hhi.fraunhofer.de/svn/svn_HEVCSoftware/branches/HM-11.0-dev/)
- [3] D. Pham, J. Moon, and S. Lee, "Hardware Implementation of HEVC CABAC Binarizer", Journal of IKEEE, vol. 18, no. 3, pp. 356-361, Sep. 2014.
- [4] D. Pham, J. Moon, D. Kim, and S. Lee, "Hardware Implementation of HEVC CABAC Binary Arithmetic Encoder", Journal of IKEEE, vol. 18, no. 4, pp. 630-635, Dec. 2014.
- [5] D. Kim, J. Moon, and S. Lee, "Hardware Implementation of HEVC CABAC Context Modeler", Journal of IKEEE, vol. 19, no. 2, pp. 254-259, Jun. 2015.
- [6] D. Zhou, J. Zhou, W. Fei, and S. Goto, "Ultra-High-Throughput VLSI Architecture of H.265/HEVC CABAC Encoder for UHD TV Applications", IEEE Transactions on Circuits and System for Video Technology, vol. 25, no. 3, pp. 497-507, Mar. 2015.

---

**BIOGRAPHY**


---

**Doohwan Kim** (Student Member)

2015: BS degree in Electronic Engineering, Soongsil University.

2015~Now: MS candidate in Electronic Engineering, Soongsil University.

<Main Interest> HEVC, Multimedia SoC Design

**Jeonhak Moon** (Student Member)

2005: BS degree in Electronic Engineering, Soongsil University.

2008: MS degree in Electronic Engineering, Soongsil University.

2008~Now: PhD candidate in Electronic Engineering, Soongsil University.

<Main Interest> HEVC, Multimedia SoC Design

**Seongsoo Lee** (Life Member)

1991: BS degree in Electronic Engineering, Seoul National University.

1993: MS degree in Electronic Engineering, Seoul National University.

1998: PhD degree in Electrical Engineering, Seoul National University.

1998~2000: Research Associate, University of Tokyo.

2000~2002: Research Professor, Ewha Womans University.

2002~Now: Professor in School of Electronic Engineering, Soongsil University.

<Main Interest> HEVC, Low-Power SoC Design, Multimedia SoC Design, Battery Management