

# 에너지 하베스팅을 위한 이중 모드 부스트 컨버터

## Dual Mode Boost Converter for Energy Harvesting

박형렬\*, 여재진\*, 노정진\*\*

Hyung-Ryul Park\*, Jae-Jin Yeo\*, JeongJin Roh\*\*

### Abstract

This paper presents the design of dual mode boost converter for energy harvesting. The designed converter boosts low voltage from energy harvester through a startup circuit. When the voltage goes above predefined value, supplied voltage to startup circuit is blocked by voltage detector. Boost controller makes the boosted voltage into  $V_{OUT}$ . The proposed circuit consists of oscillator for charge pump, charge pump, pulse generator, voltage detector, and boost controller. The proposed converter is designed and fabricated using a  $0.18\mu\text{m}$  CMOS process. The designed circuit shows that minimum input voltage is  $600\text{mV}$ , output is  $3\text{V}$  and startup time is  $20\text{ms}$ . The boost converter achieves 47% efficiency at a load current of  $3\text{mA}$ .

### 요약

본 논문은 에너지 하베스팅용 이중 모드 부스트 컨버터 설계에 관한 것이다. 설계된 회로는 에너지 하베스팅에 의해 출력된 작은 전압으로부터 startup 회로를 통해 승압된 전압을 얻는다. 이 전압이 일정 전압 이상이 되면, 전압 감지기에 의해 startup 회로에 공급되는 전압이 차단이 된다. 승압된 전압은 부스트 컨트롤러에 의해 최종적으로  $V_{OUT}$ 이 된다. 회로는 크게 전하 펌프를 위한 오실레이터, 전하 펌프, 펄스 생성기, 전압 감지기, 부스트 컨트롤러로 구성되어있다. 매그나칩 / SK하이닉스의  $0.18\mu\text{m}$  CMOS 공정을 사용하였다. 설계된 회로는 테스트 결과 최소 입력 전압은  $600\text{mV}$ 이며, 출력은  $3\text{V}$ 이고, startup time은  $20\text{ms}$ 이다. 제작된 부스트 컨버터의 효율은 load current가  $3\text{mA}$ 일 때, 47%로 측정되었다.

*Key words* : charge pump for low input voltage, dual mode boost converter, energy harvesting, low input voltage, startup

\* Dept. of Electronics and Communication Engineering, Hanyang University.

★ Corresponding author

[jroh@hanyang.ac.kr](mailto:jroh@hanyang.ac.kr) TEL: 031-400-5168

※ Acknowledgment:

This research was supported by the MSIP(Ministry of Science, ICT and Future Planning), Korea, under the ITRC(Information Technology Research Center) support program (IITP-2015-H8501-15-1002) supervised by the IITP(Institute for Information & communications Technology Promotion) and supported by the Industrial Core Technology Development Program(10049095, "Development of Fusion Power Management Platforms and Solutions for Smart Connected Devices") funded by the Ministry of Trade, Industry & Energy.

Manuscript received Oct. 23, 2015; revised Nov. 25, 2015; accepted Nov. 27, 2015.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

접는 모니터, 입는 컴퓨터, 휴대하고 다니며 자신의 건강상태를 언제 어디서든 체크 할 수 있는 헬스케어 시스템(healthcare system) 등의 제품은 외부에서 power 공급이 비효율적이거나, 배터리 교체가 어려워 스스로 power를 공급하는 것이 요구된다. 이러한 제품을 위해 주위에 산재해 있는 에너지를 획득하는 방식의 다양한 에너지 하베스터(energy harvester)가 개발되고 있다. 예를 들어, 전자파, 빛, 열, 진동, 기류 등이 있다. 이러한 형태의 에너지 하베스터에서 발생하는 power는 면적  $1\text{cm}^2$ 당 수  $\mu\text{W}$ 에서 수백  $\text{mW}$ 로 매우 작다.<sup>[1]</sup> 따라서 에너지 하베스터에서 생성된 전압이 회로를 동작시키는데 필요한 전압 보다 현저히 낮은 것이 문제가 된다. 부스터 컨버터(boost converter)는 낮은 입력 전압을 증압 시켜, 높은 출력 전압을 제공함으로써 이러한 문제점을 해결할 수 있다. 하지만 낮은 입력 전압은 부스터 컨버터 회로를 구동시키기 어렵다.

이전의 연구에서는 에너지 하베스터에서 출력된 전압을  $650\text{mV}$  외부 전압과  $2\text{V}$  배터리를 통해서 증폭시키는 부스터 컨버터가 제안되었다.<sup>[2][3]</sup> 또한, 진동에 의해 기계적 스위치를 동작 시켜서 전압을 증폭시키는 방법이 제안되었다.<sup>[4]</sup> 이러한 방법들은 추가적인 소자가 필요하므로, 휴대용 기기에 적합하지 않다.

본 논문에서는 기존의 부스터 컨버터에서는 추가적인 소자를 필요하다는 문제점을 개선한 새로운 방식의 이중모드 부스터 컨버터를 소개한다. II장에서는 startup 방법과 회로 구성 및 동작 원리에 대해 설명한다. 실험결과는 III에서 설명한다. 그리고 이 논문의 결론은 IV장에서 설명한다.

## II. 본론

### 1. Startup 방법

에너지 하베스팅을 위한 부스터 컨버터에서 가장 중요한 부분은 부스터 컨트롤러를 동작 시킬 수 있는 전압을 생성하는 방법이다. 비록 입력 전압이 부스터 컨트롤러(boost controller)를 구동

시킬 수 있는 전압보다 낮더라도, 일단 startup을 통해 부스터 컨버터의 output( $V_{OUT}$ ) 전압이 부스터 컨트롤러를 구동시킬 수 있는 전압 이상이 되면, 부스터 컨트롤러는 부스터 컨버터의 output으로부터 전원을 공급 받아, 부스터 컨버터가 동작하고, 원하는 출력을 얻을 수 있다.<sup>[5]</sup>

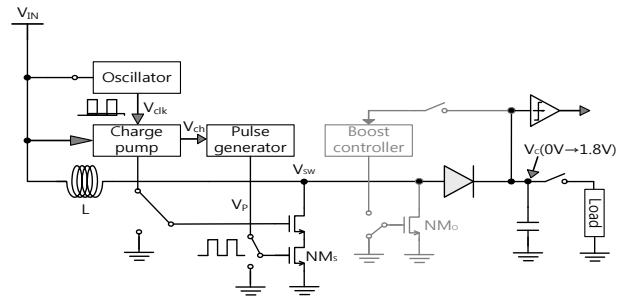


Fig 1. Startup mode in the proposed boost converter  
그림 1. 제안된 부스터 컨버터에서 startup 모드

그림 1은 제안된 부스터 컨버터 회로의 startup 모드를 나타낸 것이다. Startup 원리는 다음과 같다. 에너지 하베스팅에서 출력된 전압을 이용하여 오실레이터(oscillator)에서 클럭(clock)을 생성하고, 이 클럭과 하베스팅 출력 전압에 의해 전하 펌프(charge pump)가 문턱전압(threshold voltage)이상의 전압을 생성한다. 이 전압을 통해 펄스 발생기(pulse generator)가 NMOS 스위치를 on/off 하기 위한 펄스를 생성한다. 이 펄스를 통해  $NM_5$ 가 on/off 동작 하면서  $V_C$  전압이 일정 전압 이상 증가하게 된다. 전하 펌프에서 생성되는 출력 전압은 전하 펌프의 단(stage) 수에 비례 한다. 즉, 단 수가 많을수록 높은 출력 전압을 생성할 수 있다. 하지만, switching loss와 conduction loss로 인해 효율이 떨어진다. 따라서  $NM_5$ 는 문턱전압이 가장 작은  $1.8\text{V}$  트랜지스터( $600\text{mV}$ )를 사용하였다. 그리고  $NM_5$ 가 on/off 동작을 하면서 인덕터  $L$ 에 저장되어 있던 에너지가 전달되어  $V_{SW}$  전압이 순간적으로 증폭된다.  $1.8\text{V}$  트랜지스터의 source와 drain 전압 차이가  $1.8\text{V}$  이상이 되면 트랜지스터가 파괴될 수 있다.  $V_{SW}$ 의 순간 전압 증폭에 의해  $NM_5$ 의 파괴를 방지하기 위해 Stack 방식으로 NMOS를 추가로 연결하였다. 이 NMOS의 gate 전압에는 전하 펌프의 출력 전압을 연결하였다.

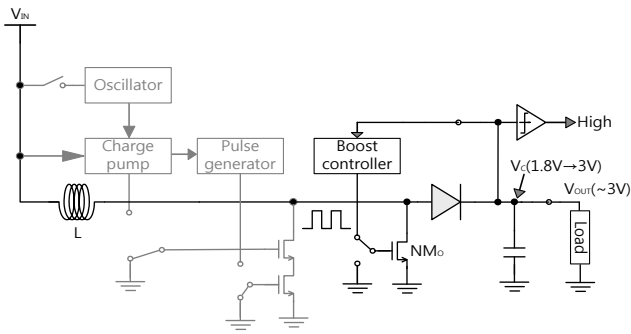


Fig 2. Operation mode in the proposed boost converter  
그림 2. 제안된 부스트 컨버터의 동작 모드

그림 2는 제안된 부스트 컨버터 회로의 동작 모드를 나타낸 것이다.  $V_C$  전압이 일정 전압 이상이 되면, 전압 감지기(voltage detector)의 출력 값이 high가 된다. 이때 startup 회로에 들어가는 전압이 차단이 되고, 부스트 컨트롤러가  $V_{OUT}$ 으로부터 전압을 공급받게 된다. 부스트 컨트롤러에서 생성된 PWM 신호를 통해 NMOS가 on/off 동작을 하면서  $V_C$  전압이 최종적으로 원하는 전압까지 증가하게 된다.

2. 회로구성 및 동작원리.

가. 오실레이터 설계

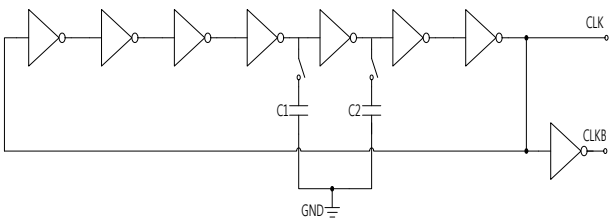


Fig 3. A 7-stage ring oscillator  
그림 3. 7단 오실레이터

전하 펌프는 중첩 되지 않은 두 개의 클락 신호에 의해 구동된다. 두 개의 클락 신호를 생성하기 위해 오실레이터를 설계하였다. 그림 3은 7단 오실레이터를 나타낸 그림이다. 인버터 단 수가 적으면 오실레이터의 출력 주파수가 높게 된다. 낮은 입력 전압에서 인버터는 weak inversion 영역에서 동작하기 때문에 인버터 속도가 출력 주파수를 따라가지 못하여 클락이 제대로 출력이 되지 않는다. 따라서 출력 주파수를

낮추기 위해서 7개의 인버터를 사용하였다. 또한 외부 입력 값에 의해 출력 클락의 주파수를 낮추기 위해서 스위치와 커패시터를 달아주었다.

나. 저전압용 전하 펌프 설계

대표적인 전하 펌프에는 커패시터를 사용하는 Dickson 전하 펌프<sup>[6]</sup>와 전압 더블러(voltage doubler)<sup>[7]</sup>가 있다.

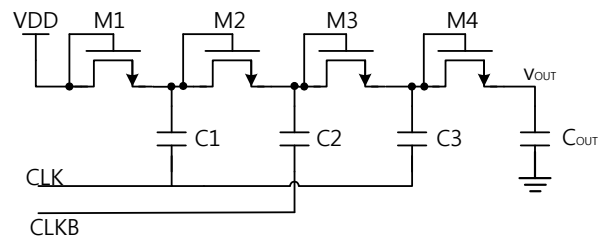


Fig 4. Dickson charge pump  
그림 4. Dickson 전하 펌프

그림 4에서 나타낸 Dickson 전하 펌프는 다이오드 커넥티드 트랜지스터에 연결된 커패시터로 구성되어있고, 중첩되지 않은 2개의 컨트롤 신호에 의해 구동된다. Dickson 전하 펌프는 전하가 다음 단으로 넘어갈 때, 다이오드로 인해 전압이 문턱전압만큼 감소가 발생하고, 뒷단으로 갈수록 바디효과(body effect)에 의해 문턱전압이 증가하여, 출력 효율이 떨어지는 단점이 있다. 따라서 낮은 전압에서는 사용되기 어렵다.

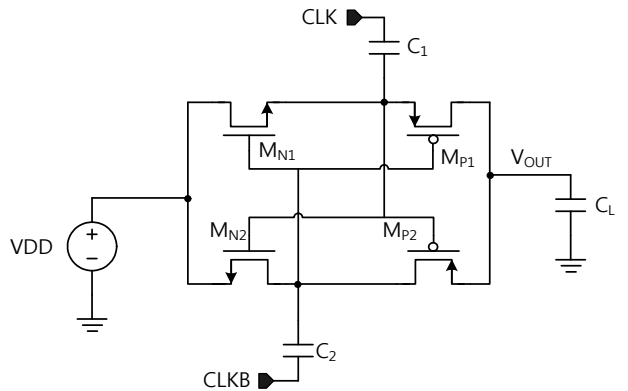


Fig 5. A 7-stage ring oscillator  
그림 5. 7단 오실레이터

그림 5는 전압 더블러를 나타내었다. 각 트랜지스터는  $R_{on}$  증가 저항<sup>[8]</sup>으로 나타낼 수 있으며, 크기는 수식 1과 같다.

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (1)$$

$V_{GS}$ 는 gate와 source 사이의 전압이고,  $V_{TH}$ 는 문턱전압,  $L$ 은 길이,  $W$ 는 폭이다.  $R_{on}$ 은 conduction loss를 야기하여 전하 펌프의 효율을 감소시킨다. 낮은 입력 전압에서 전하 펌프 내의 트랜지스터는 cut-off 영역에서 동작하고, 누설전류를 통해 전하 펌프가 충전된다. 게다가 트랜지스터의 큰  $R_{on}$  저항은 전압 감소를 야기하고 전하 펌프의 output 전압을 감소시킨다. 수식 1에서 보듯이,  $R_{on}$  저항을 줄이기 위해서는  $W$ 와  $L$  비율을 키우거나, 입력 전압  $V_{GS}$ 를 증가 시키는 방법, 그리고  $V_{TH}$ 를 감소시키는 방법이 있다. 수식에 따라  $W$ 를 증가시키고,  $L$ 을 감소시키면  $R_{on}$ 을 감소시킬 수 있지만, 실제 공정에서는  $V_{TH}$  증가로 인해 오히려 증가한다.<sup>[9]</sup>  $V_{GS}$ 는 에너지 하베스터에서 출력 되는 전압 값으로 고정이므로,  $R_{on}$ 을 줄이기 위해서는  $V_{TH}$ 를 감소시켜야 한다. NMOS의 문턱전압  $V_{TH}$  크기는 수식 2와 같다.

$$V_{TH} = V_{TH0} + \gamma(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|}) \quad (2)$$

$V_{TH0}$ 는  $V_{SB}=0$ 에 대한 임계 전압,  $\gamma$ 는 body effect 변수,  $\Phi_F$ 는 표면 전압 변수,  $V_{SB}$ 는 source와 body의 전압 차이를 나타낸다.  $V_{SB}$  전압이 음의 값을 가지면 문턱전압은  $V_{TH0}$ 보다 작아지고,  $R_{on}$ 을 감소시킨다. 기존 논문<sup>[10]</sup>에서는 전압 더블러를 기반으로 각 NMOS의 body 전압은 다음 단의 출력 전압과 연결하고, PMOS의 body 전압은 이전 단의 입력 전압과 연결하는 forward body biasing 기법을 사용하여 트랜지스터의 문턱전압을 줄임으로써  $R_{on}$  저항을 줄여 전압 감소를 줄이려고 하였다.

그림 6은 forward body biasing 기법을 사용한 전하 펌프를 나타낸 것이다.

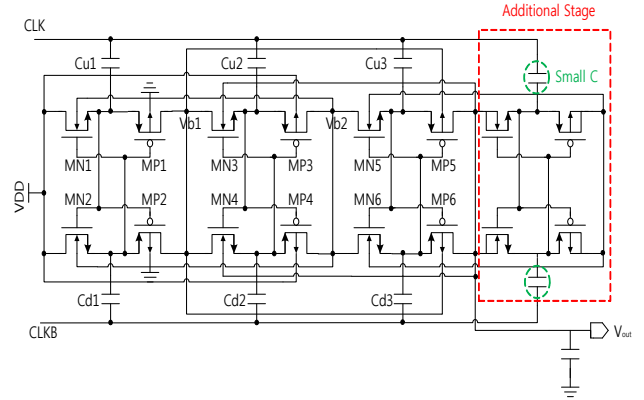


Fig 6. Charge pump circuit with forward body biasing

그림 6. Forward body biasing 기법을 사용한 전하 펌프

Forward body biasing 기법에 의해 NMOS의 body 전압과 source 전압의 차이는  $V_{DD}$ 가 된다. 이 값이 과도하게 크면 source와 body간에 short가 발생하여 큰 전류가 body에서 source로 흐를 수가 있다. 이것은 트랜지스터의 심각한 기능적 문제를 초래 한다.

$$I_{sub} = K_1 W e^{\frac{-V_{th}}{nV_{\theta}}} \left(1 - e^{\frac{-V}{V_{\theta}}}\right) \quad (3)$$

또한 NMOS의 on/off 상태 상관없이 body 전압이 source 전압보다  $V_{DD}$ 가 높기 때문에 항상 문턱전압이 작다. 수식 3<sup>[11]</sup>에 의하면 트랜지스터가 turn off 상태에서 낮은 문턱전압에 의해 누설전류가 크게 발생하여 효율이 떨어진다. 그리고 전하 펌프가  $Vb1$  노드를 서로 공유함으로써 MP1이 켜졌을 때, MN3와 MP2는 turn off 이므로 모든 전류가 MN4로 흘러야 하지만, 낮은 문턱전압에 의해 MN3와 MP2를 통해서 큰 누설전류가 흐름으로써 Cd2에 충분한 전류가 충전 되지 못하여, 효율이 떨어진다. 마지막으로 세 번째 단의 트랜지스터에 forward body biasing을 제공하기 위해 추가적으로 한 단을 더 설계 하여야 한다. 그로 인해, 면적 소모가 발생한다.

본 논문에서는 다음과 같은 방식을 제안한다.

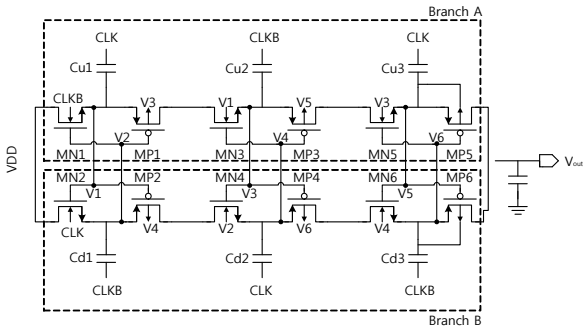


Fig 7. Proposed Charge pump for low voltage  
 그림 7. 제안된 낮은 전압용 전하 펌프

그림 7은 제안된 저전압용 전하 펌프를 나타낸 그림이다. 제안된 저전압용 전하 펌프는 독립적인 두 개의 전하 펌프로 구성되어 있다. branch A는 MN1, MP1, MN3, MP3, MN5, MP5, Cu1, Cu2, Cu3로, branch B는 MN2, MP2, MN4, MP4, MN6, MP6, Cd1, Cd2, Cd3로 구성되어 있고, output 출력은 서로 공유한다. 각 트랜지스터의 문턱전압을 줄이기 위하여 NMOS의 body 전압은 이전 단 NMOS의 출력전압에 연결하고, PMOS의 body 전압은 이후 단 PMOS의 입력전압에 연결하는 backward body biasing을 이용하였다.

$V_{DD}$ 는 그림 1에서  $V_{IN}$ 이고, 에너지 하베스터의 출력 전압이다. CLK과 CLKB는 오실레이터에서 출력되는 클락이다. CLKB가 high, CLK이 low인 경우, MN1과 MP2가 켜지고, 노드 V1은  $V_{DD}$ 로 충전이 된다. CLK이 high가 되면 노드 V2가  $V_{DD}$ 로 충전이 된다. 노드 V1은 커패시터 Cu1에 의해  $2V_{DD}$ 로 승압되고 MP1와 MN3가 켜지면서 노드 V3가  $2V_{DD}$ 로 충전이 된다. 다시 CLK이 low가 되면 노드 V3는  $3V_{DD}$ 로 승압되고, MP3와 MN5가 켜지면서, 노드 V5가  $3V_{DD}$ 가 된다. 마지막으로 Cu3에 의해 노드 V5가  $4V_{DD}$ 로 승압되고, 출력 전압  $V_{OUT}$ 는  $4V_{DD}$ 가 된다. 그림 8은 각 노드별 전압 변화를 나타낸 그림이다.

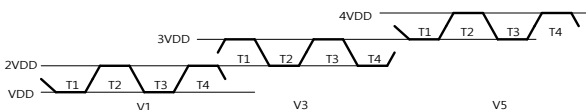


Fig 8. Corresponding voltage waveforms of proposed charge pump  
 그림 8. 제안된 전하 펌프의 노드별 전압 변화

T1 구간에서 MP3와 MN5가 켜지고, V3 전압은 V5로 전달이 된다. 하지만 두 트랜지스터의  $R_{on}$ 저항에 의해 전압 감소가 발생하여, V3보다 V5 전압이 작다. 즉, PMOS(MP3)의 body 전압이 source 보다 약간 작다. 이 경우, PMOS의 문턱전압이 작아져 전압 감소를 줄일 수 있다. 또한 NMOS(MN5)의 body 전압 (V3)이 source (V5) 보다 높은 전압이 가해져서, NMOS의 문턱전압이 작아져 전압 감소를 줄일 수 있다. T2 구간에서는 MP3와 MN5가 꺼지고, V3보다 V5 전압이  $V_{DD}$ 만큼 더 커진다. 따라서 NMOS의  $V_{SB}$  전압 증가로 인해 문턱전압이 증가 하고, 누설전류를 줄일 수 있다. 독립적인 두 개의 전하펌프를 설계하여 중간 node의 공유를 없앴고, 누설전류를 줄였다.<sup>[12]</sup>

다. 펄스 발생기

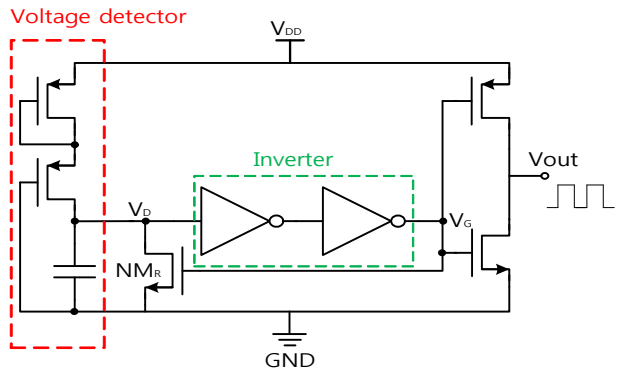


Fig 9. Pulse generator  
 그림 9. 펄스 발생기

그림 9는 펄스 발생기를 나타낸 그림이다. 펄스 발생기는 0.8V 전압 감지기<sup>[13]</sup>와 인버터(inverter), 그리고 스위치로 구성 되어 있다.  $V_{DD}$ 는 그림 1에서  $V_{ch}$ 이며, 저전압용 전하 펌프의 출력 전압이다. 전압 감지기 내부에 있는 커패시터에 전하가 충전 되어  $V_D$ 전압이 전하 펌프 출력 전압의 절반 이상이 되면 인버터를 통해서  $V_G$  전압이 0에서  $V_{DD}$ 로 증가한다.  $V_{OUT}$  전압은 0으로 감소한다.  $V_G$  전압이  $V_{DD}$ 가 되어  $NM_R$  switch가 켜지면서  $V_D$ 의 전압은 다시 0이 되고,  $V_{OUT}$  전압은  $V_{DD}$ 가 된다. 이러한 원리를 통해 크기  $V_{DD}$ 를 갖는 펄스가 발생하게 된다. Power 소모를 줄이기 위해  $NM_S$  트랜지스터의 크기가 크다. 따라서 인

버터 크기를 점차 증가시켜 NM<sub>S</sub> 트랜지스터를 충분히 구동 시킬 수 있도록 설계하였다. 그림 10은 전하 펌프의 출력 전압(V<sub>DD</sub>)과 펄스 발생기의 출력 전압(V<sub>OUT</sub>)의 시뮬레이션 파형을 나타낸 것이다. 크기 1.6V를 가지는 400kHz 펄스가 출력됨을 알 수 있다.

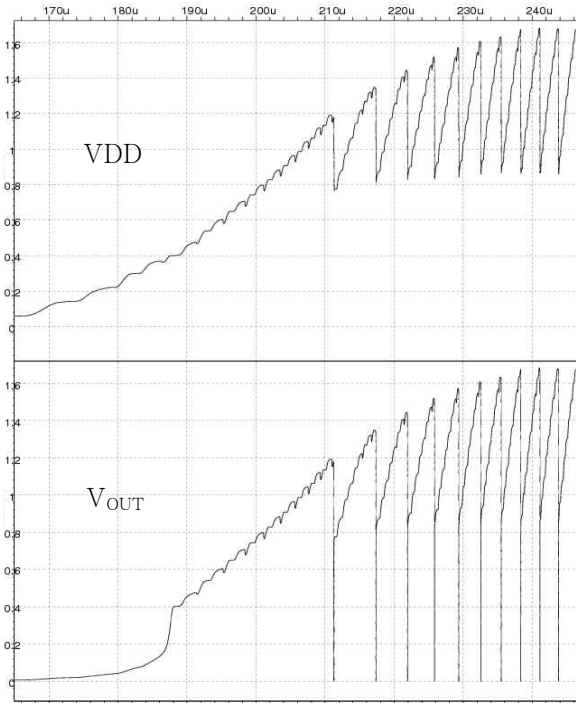


Fig 10. Simulated output voltage waveforms of charge pump and pulse generator

그림 10. 전하 펌프와 펄스 발생기 출력 전압 시뮬레이션 파형라. 출력 전압 감지기

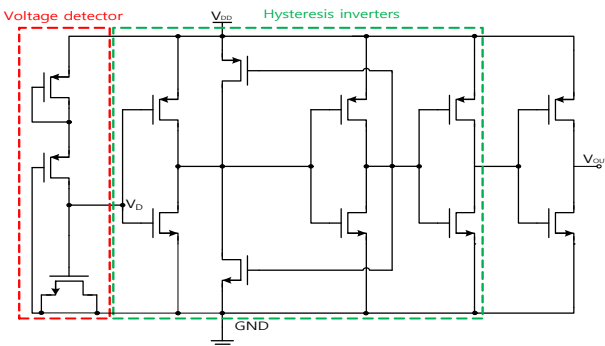


Fig 11. Boost converter output voltage detector  
그림 11. 부스트 컨버터 출력 전압 감지기

부스트 컨버터의 출력 전압을 감지하여 1.8V 이상이 되면 전하 펌프는 off 시키고, 부스트 컨

트롤러는 on 시키는 회로가 필요하다. 그림 11은 이러한 역할을 하는 출력 전압 감지기를 나타낸 그림이다. 전압 감지기 와 히스테리시스 기능을 가진 인버터로 구성되어 있다. V<sub>DD</sub>는 그림 1에서 V<sub>c</sub>이며, 부스트 컨버터의 출력 전압이다. 전압 감지기 내부에 있는 MOS 커패시터에 전하가 충전되어 V<sub>D</sub>전압이 부스트 컨버터 출력 전압의 절반 이상이 되면 인버터를 통해서 출력 전압 감지기의 출력이 high가 된다. 이 신호에 의해 전하 펌프는 off가 되고, 부스트 컨트롤러는 on이 된다. 부스트 컨버터의 출력 전압에는 리플(ripple) 잡음이 포함되어 있다. 이 잡음에 영향을 받아 출력 전압 감지기의 출력 전압인 디지털 신호가 흔들리게 된다. 이것을 방지하기 위해 인버터에 히스테리시스 기능을 추가하여 잡음 여유를 주었다.

마. 부스트 컨트roller

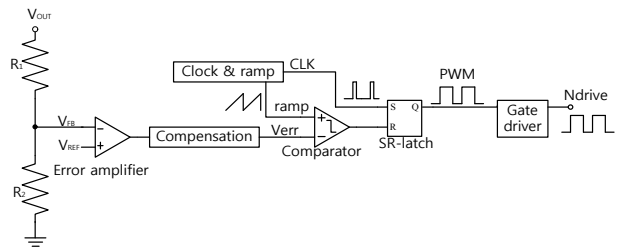


Fig 12. Block diagram of Boost controller  
그림 12. 부스트 컨트roller의 블록 다이어그램

그림 12는 부스트 컨트roller를 나타낸 것이다. 오차증폭기와 보상회로, 비교기, 클락, 램프 발생기, SR 래치, 그리고 게이트 드라이버로 구성하였다. R<sub>1</sub> 과 R<sub>2</sub>에 의해 저항 분배한 부스트 컨버터 출력 전압과 기준 전압 V<sub>REF</sub>를 비교하여 오차 증폭기(error amplifier)를 통해 오차 신호가 출력되고, 주파수 보상 회로(compensation)를 통해 보상 된 신호와 클락 신호에 동기 되어 구현된 톱니파(sawtooth wave)를 비교하여 SR 래치 회로의 리셋(reset) 신호가 된다. 셋(set) 신호는 오실레이터에서 생성된 클락을 사용한다. 그림 2에서 스위치 NM<sub>O</sub>는 NMOS 트랜지스터로 구현하였다. 이 트랜지스터는 수백 mA급의 전류가 흘러 전력 소모가 생기기 때문에, R<sub>on</sub>저항 값을 최소화하여야 한다. 따라서 그 크기가 매우 큰 트랜지스터



를 사용해야하며, 이 큰 트랜지스터를 구동하기 위해 게이트 드라이버를 사용하였다. 게이트 드라이버는 스위치 트랜지스터 구동을 위해 부스트 컨버터 출력 전압의 진폭을 가지는 신호를 생성한다.

### III 실험 결과

설계된 이중 모드 DC-DC 부스트 컨버터는 0.18 $\mu$ m 표준 CMOS 공정으로 제작되었다. 그림 13은 설계된 칩의 레이아웃으로 전체 칩 크기는 2mm<sup>2</sup>(2mm\*1mm)이다. 실제로 칩 크기의 대부분이 보상 회로의 커패시터와 power 스위치가 차지하고 있다. 제작된 컨버터는 그림 14와 같이 회로를 구성하여 테스트를 수행하였고 각각의 외부 소자들의 값은 표 1을 통하여 정리하였다. 다이오드는 쇼트키 다이오드를 사용하였으며, 순방향 전압은 1mA가 흐를 때, 0.37V이다. 그림 15는 설계된 칩의 성능을 측정하기 위해 제작된 PCB 테스트 보드이다. 그림 16은 칩 테스트 측정 결과이다. 그림 16에서 전하 펄스에 의해 1차적으로 20ms 동안 1.8V까지 출력 전압이 증폭되고, 부스트 컨트롤러에 의해 최종적으로 3V까지 증폭되는 것을 볼 수 있다. 그림 17은 출력 전류에 따른 측정된 효율을 나타낸 그림이다. 효율은

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times I_{IN}} \quad (3)$$

나타낼 수 있다. 출력 전류가 3mA일 때 최대 효율 47%를 가진다.

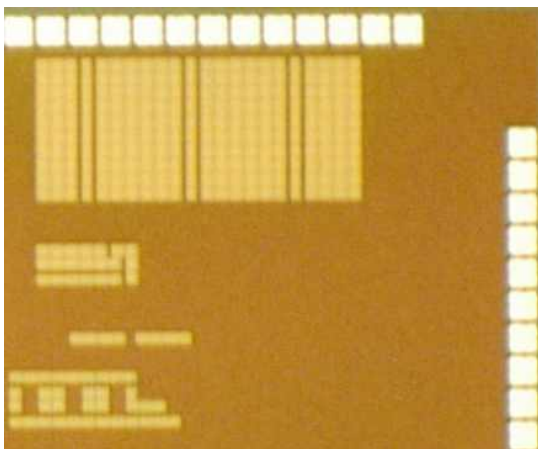


Fig 13. chip photograph  
그림 13. 칩 사진

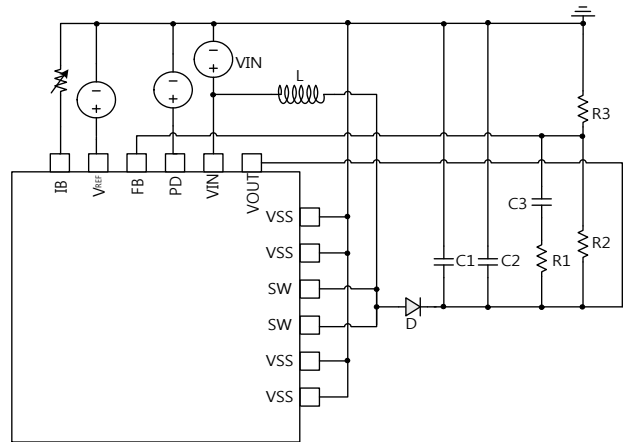


Fig 14. Experimental setup of the dual mode DC-DC boost converter.

그림 14. 이중 모드 DC-DC 부스트 컨버터의 테스트 환경

Table 1. Value of external components

표 1. 외부 소자의 크기

Component	Value
L	1 $\mu$ H
C1	2.2 $\mu$ F
C2	10pF
C3	47pF
R1	7.5k $\Omega$
R2	160k $\Omega$
R3	33k $\Omega$

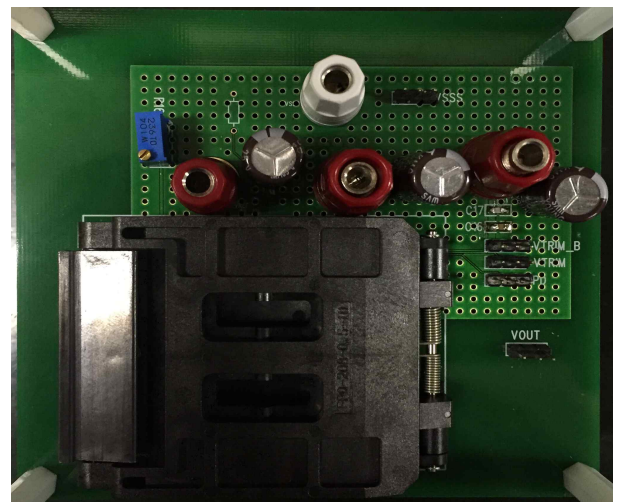


Fig 15. Manufactured PCB test board  
그림 15. 제작된 PCB 테스트 보드

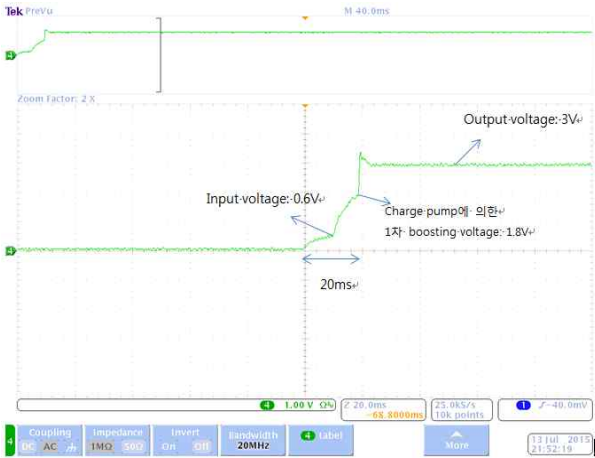


Fig 16. Measured output voltage waveform of proposed dual mode boost converter

그림 16. 제안된 부스트 컨버터의 측정된 출력 전압

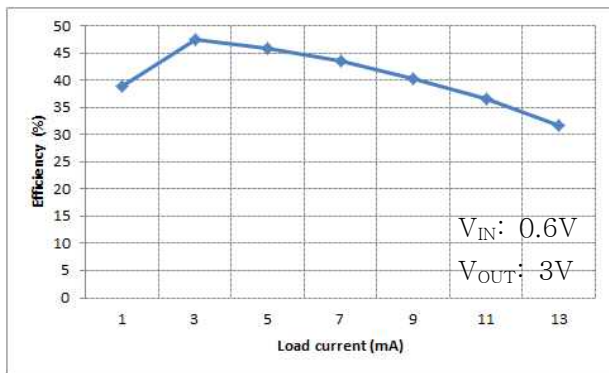


Fig 17. Measured Efficiency of dual mode boost converter  
 그림 17. 출력 전류에 따른 이중 모드 부스트 컨버터의 측정된 효율  
 Table 2. Performance comparison of this design with previously reported works

Table 2. Performance comparison of this design with previously reported works

표 2. 제작된 컨버터와 이전 결과물들과의 성능 비교

	[2]	[3]	[4]	This work
Process	0.13 $\mu$ m	0.35 $\mu$ m	0.35 $\mu$ m	0.18 $\mu$ m
Min. Input Voltage	20mV	600mV	35mV	600mV
Startup Mechanism	External Voltage (600mV)	External Voltage (2V)	mechanical switch	Boost converter with charge pump
Startup time	-	-	18ms	20ms
Efficiency (Peak)	47% ( $V_{IN}=20mV, V_{OUT}=1V$ )	70% ( $V_{IN}=600mV, V_{OUT}=2V$ )	58% ( $V_{IN}=35mV, V_{OUT}=1.8V$ )	47% ( $V_{IN}=600mV, V_{OUT}=3V$ )

표 2는 제안된 컨버터와 이전에 연구된 컨버터들의 성능 비교를 나타낸 것이다. [2][4]는 입력전압이 낮지만, 외부에서 추가적으로 전압을 공급하거나 기계적인 스위치가 필요하다. 응용 분야가 제한적일 수밖에 없다. 설계된 회로의 최소 입력 전압은 600mV로 다소 높은 편이지만 미세 공정을 사용하거나 문턱전압이 낮은 native NMOS 트랜지스터를 사용할 경우 최소 입력 전압을 대폭 낮출 수 있다.

Table 3. Test result of the proposed dual mode boost converter

표 3. 본 논문에서 제시된 이중 모드 부스트 컨버터의 측정 결과

Technology	Magnachip/SK hynix 0.18 $\mu$ m CMOS
Chip Area	2mm <sup>2</sup>
Input Voltage	0.6V
Output Voltage	3V
Quiescent current	7mA
Maximum load current	13mA
Startup Time	20ms
Efficiency (peak) ( $V_{IN}=600mV, V_{OUT}=3V$ )	47%

세부 스펙들은 표 3를 통해 정리 하였다.



#### IV 결론

본 논문에서는 에너지 하베스팅용 저전압 DC-DC 부스트 컨버터를 제안하였다. 저전압용 전하 펌프 설계로 이전 연구에서 startup을 위해 필요한 추가적인 소자를 없애주었다. 에너지 하베스터에서 출력된 낮은 전압을 저전압용 전하 펌프와 펄스 발생기를 통해 1차적으로 승압시키고, 2차적으로 부스트 컨트roller에 의해 최종적으로 승압된 출력을 얻도록 설계하였다. 0.18 $\mu$ m CMOS 공정으로 설계된 회로를 테스트한 결과 600mV의 입력전압으로부터 3V의 출력전압을 얻었으며, startup 시간은 20ms이고, 최대 효율은 47%이다.

#### References

- [1] J. A. Paradiso and T. Starner, "Energy scavenging for mobile and wireless electronics," *IEEE Pervasive Computing*, vol. 4, pp. 18-27, Jan. - Mar. 2005.
- [2] E. Carlson, K. Stunz, and B. Otis, "20 mV input boost converter with efficient digital control for thermoelectric energy harvesting," *IEEE J. Solid-State Circuits*, vol. 45, pp. 741-750, Apr. 2010.
- [3] I. Doms, P. Merken, R. Mertens, and C. Van Hoof, "Integrated capacitive power-management circuit for thermal harvesters with output power 10 to 1000 W," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 300 - 301, 2009.
- [4] Y. K. Ranmadass and A.P. Chandrakasan, "A Battery-less thermoelectric energy harvesting interface circuit with 35 mV startup voltage." *IEEE J. Solid-State Circuits*, vol. 46, pp. 333-341, Jan. 2011.
- [5] X. Zhang, K. Ishida, Y. Okuma, Y. Ryu, M. Takamiya, and T. S. P. Chen, "An 80 mV startup dual-mode boost converter by charge-pumped pulse generator and threshold voltage tuned oscillator with hot carrier injection", *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2554 - 2562, 2012.
- [6] J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," *IEEE J. Solid-State Circuits*, Vol. 11, No.6, pp. 374-378, Jun. 1976.
- [7] Y. Nakagome, et.al., "An experimental 1.5V 64Mb dram," *IEEE J. Solid State Circuits*, Vol. 26, pp.465-472, Apr. 1991.
- [8] L. Su and D. S. Ma, "Design and optimization of integrated low-voltage low-power monolithic CMOS charge pumps," in *Proc. Int. Power Electron., Electrical Drives, Automation Motion*, pp. 43 - 48, 2008.
- [9] Jazz Semiconductor Design Application Manual. *Newport Beach, CA: Jazz Semiconductor Products Inc.*, 2012.
- [10] P. Chen, K. Ishida, X. Zhang, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai, "0.18-V input charge pump with forward body biasing in startup circuit using 65 nm CMOS," in *Proc. IEEE Custom Integr. Circuit Conf.*, pp. 239 - 242, Sep. 2010.
- [11] N. S. Kim, T. Austin, D. Blauuw, T. Mudge, K. Flautner, J. Hu, M. J. Irwin, M. Kandemir, and V. Narayanan, "Leakage current: Moore's law meets static power," *IEEE Comput.*, vol. 36, Dec. 2003.
- [12] H. Peng, N. Tang, Y. Yang, and D. Heo, "CMOS startup charge pump with body bias and backwardcontrol for energy harvesting step-up converters", *IEEE Trans. Circuits Syst. I*, 2014.
- [13] P. H. Chen, K. Ishida, K. Ikeuchi, X. Zhang, K. Honda, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai, "Startup techniques for 95 mV step-up converterby capacitor pass-on scheme and vth-tuned oscillator with fixed charge programming", *IEEE J. Solid-State Circuits*, vol. 47, no. 5, pp.1252 - 1260, 2012.

---

**BIOGRAPHY**


---

**Hyung-Ryul Park** (Student Member)

2013 : BS degree in Nano

Engineering, Inje University.

2014~Present : MS degree in  
Electronics and Communication  
Engineering, Hanyang University.

<Research interest>

Power Management Integrated Circuits

**Jae-Jin Yeo** (Student Member)

2006 : BS degree in Electronics  
Engineering, Semyung University.

2009~Present : Unified course of  
the MS and PhD degree in  
Electronics and Communication  
Engineering, Hanyang University.

<Research interest>

Power Management Integrated Circuits

**JeongJin Roh** (Life Member)

1990 : BS degree in Electrical  
Engineering, Hanyang University.

1998 : MS degree in Electrical  
Engineering, Pennsylvania State  
University.

2001 : PhD degree in Electrical  
Engineering, Texas at Austin University.

1990~1996 : Senior circuit designer, Samsung  
Electronics, Korea.

2000~2001 : Senior design engineer, Intel  
Corporation, USA.

2001~present : Professor, Dept, of Electronics  
and Communication Engineering, Hanyang  
University.

<Research interest>

Oversampled delta-sigma Converters,  
Power Management Integrated Circuits