

응답 시간을 향상 시킨 외부 커패시터가 없는 Low-Dropout 레귤레이터 회로 A Capacitorless Low-Dropout Regulator With Enhanced Response Time

여 재 진*, 노 정 진**

Jae-Jin Yeo*, Jeong-Jin Roh**

Abstract

In this paper, an output-capacitorless, low-dropout (LDO) regulator is designed, which consumes $4.5\mu\text{A}$ quiescent current. Proposed LDO regulator is realized using two amplifier for good load regulation and fast response time, which provide high gain, high bandwidth, and high slew rate. In addition, a one-shot current boosting circuit is added for current control to charge and discharge the parasitic capacitance at the pass transistor gate. As a result, response time is improved during load-current transition. The designed circuit is implemented through a $0.11\text{-}\mu\text{m}$ CMOS process. We experimentally verify output voltage fluctuation of 260mV and recovery time of $0.8\mu\text{s}$ at maximum load current 200mA .

요 약

본 논문에서는 외부 커패시터가 없는 low-dropout (LDO) 레귤레이터를 설계하였으며, 대기 전류는 $4.5\mu\text{A}$ 이다. 제안하는 LDO 레귤레이터는 정밀한 로드 레귤레이션과 빠른 응답 속도를 만족하기 위해 두 개의 증폭기를 사용 하였고, 높은 이득을 갖는 증폭기와 빠른 속도 및 높은 슬루율을 가지는 증폭기로 구성 되어 있다. 이와 함께 패스 트랜지스터의 게이트에 존재하는 큰 기생 커패시터에 전류를 빠르게 충·방전시키기 위해, 전류 부스팅 회로를 추가하였다. 이를 통해 부하 전류 변화 시 응답 시간을 향상 시키게 된다. 설계된 회로는 $0.11\text{-}\mu\text{m}$ CMOS 공정으로 제작되었다. 최대 200mA 의 부하 전류를 구동할 수 있으며, 출력 전압 변동은 260mV , 회복 시간은 $0.8\mu\text{s}$ 을 측정하였다.

Key words : Capacitorless LDO, DC-DC converter, fast transient response, low quiescent current, slew rate

* Dept. of Electronics and Communication Engineering, Hanyang University

★ Corresponding Author

e-mail ; jroh@hanyang.ac.kr, 031-400-5168

※ Acknowledgment

This research was supported by Basic Science Research Program through the National Research Foundation of Korea(NRF) funded by the Ministry of Education, Science and Technology(NRF-2013R1A1A2011973) and supported by the Industrial Core Technology Development Program(10049095, "Development of Fusion Power Management Platforms and Solutions for Smart Connected Devices") funded By the Ministry of Trade, industry & Energy

Manuscript received Oct 29, 2015; revised Dec 1, 2015 ; accepted Dec 1, 2015

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

스마트폰, 태블릿 PC, 디지털 카메라와 같은 휴대용 전자기기 사용이 급속히 증가함에 따라 고성능 전원 공급회로의 요구도 함께 증가하고 있다. 일반적으로 전원 공급회로에는 스위칭 레귤레이터와 선형 레귤레이터가 있다. 스위칭 레귤레이터는 효율은 좋지만, 잡음 특성이 떨어지는 문제가 있고, 선형 레귤레이터는 스위칭 레귤레이터에 비해 효율은 떨어지지만 잡음에 대한 특성이 좋기 때문에, 일반적으로 잡음에 민감한 회로에는 선형 Low Dropout (LDO) 레귤레이터가 사용된다 [1]-[4]. LDO 회로는 패스트랜지스터, 출력 전압을 고정 시키기 위한 오차 증폭기, 피드백 저항, 그리고 큰 외부 출력 커패시터로 구성되어 있다. 이때, LDO는 multi-pole 특성을 갖기 때문에 커패시터 내부의 등가 직렬 저항(ESR)을 사용하여 non-dominant pole의 영향을 상쇄하여 주파수 보상을 하게 된다 [5],[6]. Fig. 1은 부하 전류의 변화에 따른, LDO 출력 전압의 과도 응답을 보여 주고 있다. 여기서 t_1 과 t_3 는 피드백 루프에 의한 응답 시간이고, t_2 와 t_4 는 LDO의 출력 전압이 안정된 상태로 고정되기 위해 필요한 시간이다. ΔV_1 과 ΔV_2 는 LDO 출력의 undershoot 과 overshoot 전압이다.

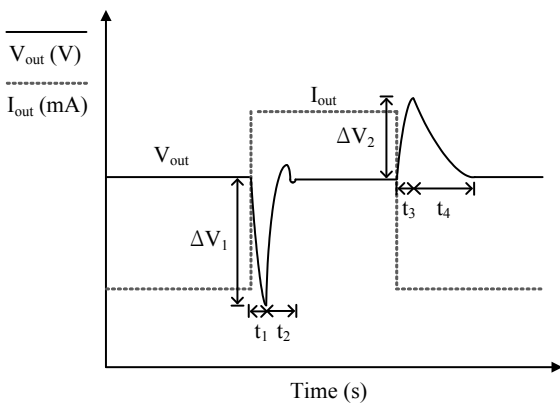


Fig. 1. Load transient response of conventional LDO
 그림 1. 일반적인 LDO의 과도 응답

LDO 성능과 관련된 중요한 특징을 확인하면 다음과 같다. 그림 1의 t_1 과 t_3 를 줄이기 위해서는 빠른 속도 및 높은 슬루율(SR)을 가지는 증폭기를 설계해야 하고, t_2 와 t_4 를 줄이기 위

서는 출력 커패시터의 크기를 줄여야 한다. 그리고 ΔV_1 과 ΔV_2 를 줄이기 위해서는 t_1 과 t_3 를 작게 해야 하고, 앞에서 논의한 것과 반대로 출력 커패시터의 크기를 키워야 한다. 또한 앞에서 언급한 빠른 속도 및 높은 SR을 가지게 하려면 증폭기에서 소모되는 전류를 증가시켜야 한다. 그러나 이는 대기 전류(I_Q)의 증가를 의미하고, 배터리 기반 기기 및 휴대용 전자기기의 동작 시간을 감소시키는 결과를 가져 온다 [7]. 더불어 외부에 큰 커패시터의 사용은 제품 소형화를 어렵게 하고, 외부 연결 부품의 증가로 가격 및 기생 성분의 영향이 증가한다 [8]-[11]. 따라서 성능 향상, 소형화, 동작 시간, 가격 등은 trade-off를 갖게 된다.

이 논문에서는 앞에서 언급한 문제를 해결하기 위해 대기 전류가 $4.5\mu A$ 이고, 외부 커패시터가 없는 LDO를 설계하였다. 제안된 회로는 정밀한 로드-레귤레이션 및 빠른 과도 응답을 만족시키기 위해 두 개의 증폭기를 사용하였다. 이와 함께 SR 더 크게 증가시키기 위해 전류 부스팅 회로를 추가하였다.

II. 본론

1. 제안한 LDO 회로 구성

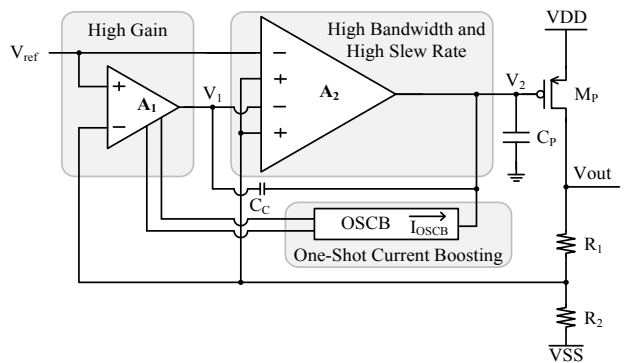


Fig. 2. Proposed LDO circuit
 그림 2. 제안된 LDO 회로

제안된 LDO는 그림 2와 같고, 외부에 커패시터가 없는 구조로, 높은 이득과 빠른 속도 및 큰 SR을 가지는 두 개로 이루어진 오차 증폭기(A_1, A_2)와 전류 부스팅 회로(OSCB), 패스트

랜지스터 (M_P), 피드백 저항 (R_1, R_2) 으로 구성 되어 있다.

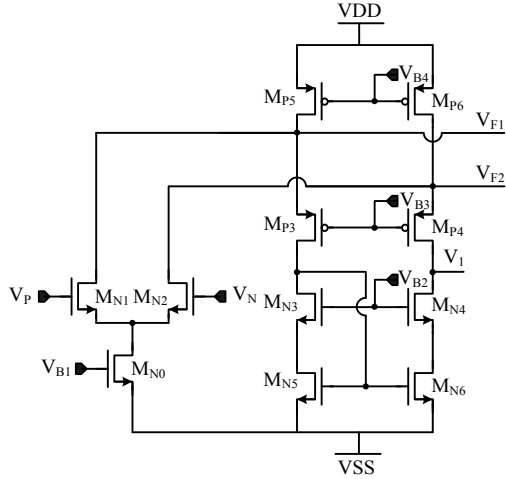


Fig. 3. folded-cascode amplifier
그림 3. folded-cascode 증폭기

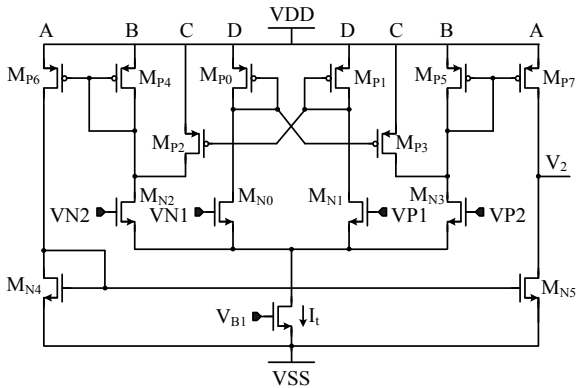


Fig. 4. High bandwidth and High Slew-rate amplifier [13]

그림 4. 빠른 속도와 높은 슬루율을 갖는 증폭기 [13]

루프 이득과 로드-레귤레이션의 관계를 보면 다음과 같다 [12].

$$\begin{aligned} \text{Load Regulation} &= \frac{\Delta V_{out}}{\Delta I_{out}} \\ &= -\frac{r_{o,MP}}{1 + \text{Loop Gain}} \end{aligned} \quad (1)$$

여기서 $r_{o,MP}$ 는 패스 트랜지스터의 출력 저항이다. 따라서 로드-레귤레이션을 좋게 하기 위해서는 높은 루프 이득이 요구되기 때문에, 높은 이득을 얻기 위해 그림 3 의 folded-cascode A_1

증폭기와 A_2 증폭기를 연결하여 사용 하였다. 또한 작은 대기 전류 (I_Q) 사용으로 인해 응답 시간이 길어지는 문제를 극복하기 위해, A_2 증폭기는 빠른 속도와 높은 SR 을 가지는 그림 4 의 증폭기를 사용 하였다. A_2 증폭기의 SR 은 다음과 같다 [13].

$$\begin{aligned} SR_{A_2} &= \frac{I_{o,max}}{C_p} \\ &= \frac{I_t \times \frac{A}{B} \times \frac{B+2C}{B+C+D}}{C_p} \end{aligned} \quad (2)$$

여기서 I_t 는 A_2 증폭기의 테일 전류이고, A, B, C, D 는 트랜지스터 각각의 비율이다. C_p 는 패스 트랜지스터의 게이트에서 생성되는 기생 커패시터이다. 이와 함께 더 크게 SR 증가시키기 위해 전류 부스팅 회로를 추가 하였다. 전류 부스팅 회로 동작은 뒤에 다시 논하겠다.

그림 2 의 전류 부스팅 회로는 패스 트랜지스터의 게이트에 연결되어, C_p 의 전류를 충·방전 하는데 도움을 주어 SR 을 크게 증가 시키게 된다. 전류 부스팅 회로를 고려한 SR 은 다음과 같다.

$$SR_{A_2 + OSCB} = \frac{I_t \times \frac{A}{B} \times \frac{B+2C}{B+C+D} + I_{OSCB}}{C_p} \quad (3)$$

여기서 I_{OSCB} 는 전류 부스팅 회로에서 공급되는 전류이다. 추가된 회로는 부하 전류 변동 시에만 동작하여 대기 전류의 증가 없이 SR 을 향상 시킨다.

2. 안정도 분석

LDO 의 로드-레귤레이션을 좋게 하기 위해서는 전체 루프 이득을 크게 해야 한다. 따라서 높은 이득을 갖기 위해 A_1, A_2 증폭기와 패스 트랜지스터를 결합하여 전체 3 단으로 구성 되게 하였다. 제안된 LDO 는 외부에 커패시터를 사용하지 않기 때문에 전체 회로 안정성을 확보하기 위해 그림 2 의 밀러 보상 C_c 를 A_1, A_2 증폭기 출력 사이에 추가 하여 전체 시스템의 안정도를

확보 하였다. 그림 5 의 small-signal model 사용하여 LDO 회로의 전달 함수를 유도하고, 안정도를 검토 하였다.

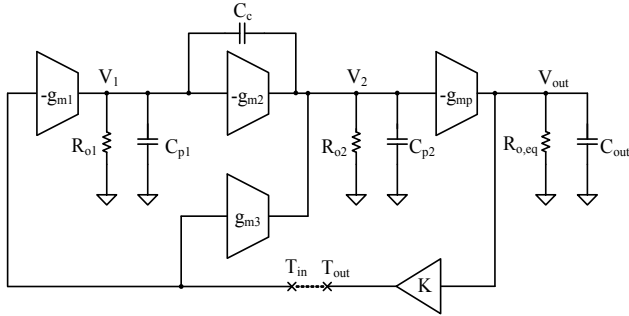


Fig. 5. Small-signal model of the proposed LDO
그림 5. 제안된 LDO 의 small-signal 모델

R_{oi} , C_{pi} , g_{mi} 는 A_i 증폭기의 출력 저항, 기생 커패시터, 전달컨덕턴스이고, g_{m3} 는 입력 T_{in} 과 V_2 사이의 영향을 의미하여, A_2 증폭기의 양의 입력에서 출력까지의 전달컨덕턴스이다. C_{p2} 는 C_p 를 포함 한다. K 는 피드백 저항에 의한 $R_2/(R_1 + R_2)$ 이고, $R_{o,eq} = r_{o,MP} \parallel (R_1 + R_2) \parallel R_{Load}$ 이다. 전달 함수를 구하면 다음과 같다.

$$T(s) = \frac{T_{out}(s)}{T_{in}(s)} \quad (4)$$

$$\approx -A_{DC} \frac{(1 + a_1 s)}{(1 + b_1 s + b_2 s^2 + b_3 s^3)},$$

여기서

$$A_{DC} = K g_{m_p} (g_{m_3} + g_{m_1} g_{m_2} R_{o1}) R_{o2} R_{o,eq} \quad (5)$$

$$a_1 = \frac{g_{m_3} R_{o1} (C_{p1} + C_c) - g_{m_1} R_{o1} C_c}{g_{m_3} + g_{m_1} g_{m_2} R_{o1}} \quad (6)$$

$$b_1 = R_{o1} (C_{p1} + C_c) + R_{o2} (C_{p2} + C_c) + g_{m_2} R_{o1} R_{o2} C_c + R_{o,eq} C_{out} \quad (7)$$

$$b_2 = R_{o1} R_{o2} (C_{p1} + C_c) (C_{p2} + C_c) - R_{o1} R_{o2} C_c^2 + R_{o,eq} C_{out} \times [R_{o1} (C_{p1} + C_c) + R_2 (C_{p2} + C_c) + g_{m_2} R_{o1} R_{o2} C_c] \quad (8)$$

$$b_3 = R_{o,eq} C_{out} \times [R_{o1} R_{o2} (C_{p1} + C_c) (C_{p2} + C_c) - R_{o1} R_{o2} C_c^2] \quad (9)$$

이때, $g_{m_3} \gg g_{m_1}$, $R_{o1} \gg R_{o2}$, $C_{p2} \gg C_c \gg C_{p1}$ 이고 $g_{m_2} R_{o1} R_{o2} C_c \gg (R_{o1} C_c, R_{o2} C_{p2})$,

$R_{o1} R_{o2} C_c C_{p2} \gg R_{o1} R_{o2} C_c^2$, $g_{m_2} R_{o1} R_{o2} C_c \gg [R_{o,eq} C_{out}, R_{o1} (C_{p1} + C_c), R_{o2} (C_{p2} + C_c)]$ 이므로 이를 적용하면, poles 과 zero 를 다음과 같이 간략화 하여 구할 수 있다.

$$w_{p1} \approx \frac{1}{g_{m_2} R_{o1} R_{o2} C_c} \quad (10)$$

$$w_{p2} \approx \frac{g_{m_2}}{C_{p2}} \quad (11)$$

$$w_{p3} \approx \frac{1}{R_{o,eq} C_{out}} \quad (12)$$

$$w_z \approx \frac{g_{m1} g_{m2}}{g_{m3} C_c} \quad (13)$$

따라서 w_{p2} 는 밀러 보상 C_c 의 의해 만들어진 w_z 에 의해 보상 되고, 외부에 커패시터가 없는 LDO 이므로 C_{out} 의 영향이 작기 때문에 w_{p3} 는 상대적으로 고주파에 위치하여, 그 영향은 무시할 수 있다.

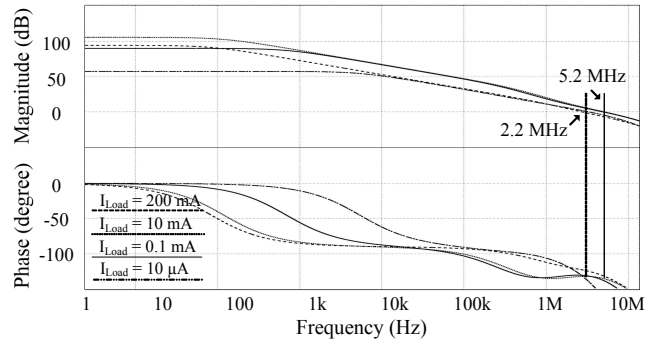


Fig. 6. AC Simulated result of proposed LDO
그림 6. 제안된 LDO 의 AC 시뮬레이션 결과

그림 6 은 LDO 의 부하 전류 변화에 따른 AC 시뮬레이션 결과이다. 부하 전류는 200mA 까지 시뮬레이션 하였고, 최대 오픈-루프 이득은 106 dB 이고, 위상 여유는 모든 구간에서 최소 55° 이상을 만족함을 확인 하였다.

3. 회로 구현 및 과도 응답

제안된 LDO 는 대기 전류가 4.5 μ A 이고, 전체 회로는 그림 2 와 같다. 전체 SR 은 식 3 으로 정의 된다. A_1 은 높은 이득을 갖기 위해

folded-cascode 증폭기를 사용하였고, DC 이득은 57dB, 전류는 $0.59\mu\text{A}$ 를 소모하고 있다. A_2 는 빠른 속도와 높은 SR 을 갖기 위해 그림 4 의 증폭기를 사용하였고, 전류는 $2.26\mu\text{A}$ 를 소모하고 있다. A_1, A_2 증폭기는 그림 2 의 회로처럼 멀티로 구성되어 높은 오픈-루프 이득을 갖게 된다.

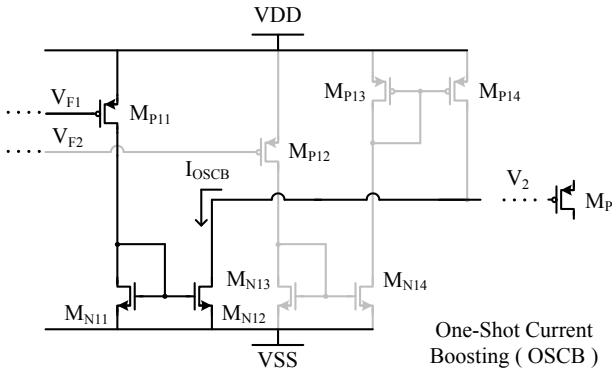


Fig. 7. Circuit during rising load current
그림 7. 부하 전류가 증가할 때의 회로 동작

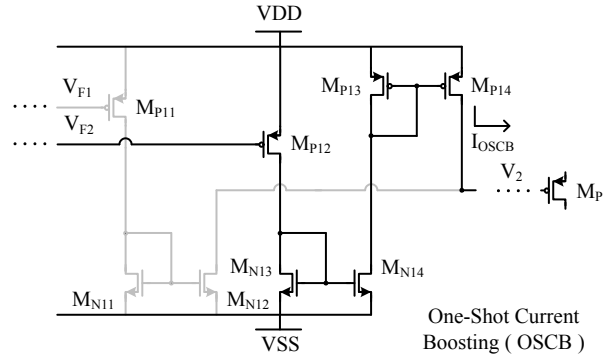


Fig. 8. Circuit during falling load current
그림 8. 부하 전류가 감소할 때의 회로 동작

그림 7 과 그림 8 은 부하 전류 변동 시, SR 을 크게 높이기 위해 추가된 전류 부스팅 회로의 동작을 설명하고 있다. 추가된 회로는 부하 전류가 변동할 때, C_p 에 전류를 충·방전 하게 된다. 전류 부스팅 회로의 M_{P11} 과 M_{P12} 트랜지스터의 게이트는 그림 3 증폭기의 V_{F1} 과 V_{F2} 노드에 연결되고, 전류 부스팅 회로의 출력 노드는 패스 트랜지스터 M_P 의 게이트에 연결되어 회로가 완성 된다.

전류 부스팅 회로의 동작은 다음과 같다. M_{P11} 과 M_{P12} 는 부하 전류의 변화가 없을 때는 차단 상태로 대기하고, 부하 전류의 변화가 있을

때 켜지게 된다. 그림 7 은 부하 전류가 증가할 때의 회로 동작을 의미하며, LDO 의 부하 전류가 증가 하게 되면 LDO 출력 전압은 수백 mV 정도 내려가게 된다. 이와 함께 V_{F1} 노드의 전압도 내려가게 된다. 따라서 M_{P11} 트랜지스터는 켜지고, M_{P12} 는 차단 상태를 유지 하게 된다. 이로 인해 M_{N11} 의 전류는 증가하게 되고, 이 전류가 M_{N12} 에 복사 된다. M_{N12} 는 패스 트랜지스터 게이트에 연결 되어 있기 때문에 이 증가된 전류는 C_p 에 저장되어 있는 전류를 방전 시키게 된다. 따라서 패스 트랜지스터의 게이트 전압을 빠르게 내려가게 하여, 전체 응답 시간을 줄이게 된다. 그림 8 은 부하 전류 감소시의 동작을 나타낸다. 부하 전류가 감소하게 되면 LDO 출력 전압이 증가하게 되고, 이로 인해 앞에서와는 다르게 M_{P12} 트랜지스터가 켜지고, M_{P11} 은 차단 상태를 유지 하게 된다. 앞에서 설명한 것과 비슷한 동작을 반복하여, M_{P14} 에 복사된 전류가 C_p 에 전류를 공급하게 되어, 패스 트랜지스터의 게이트 전압을 빠르게 올라가게 한다.

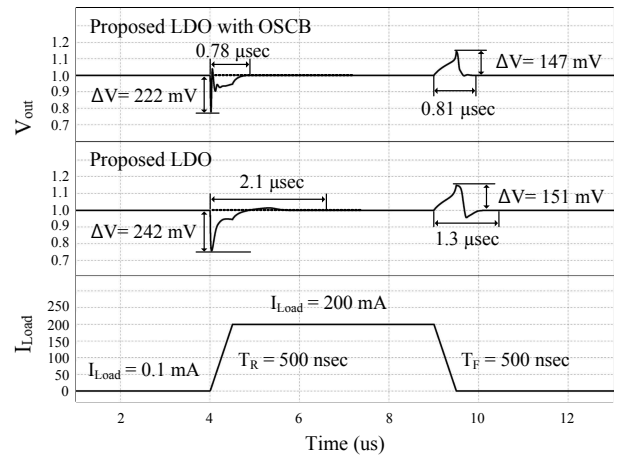


Fig. 9. Simulated load transient response
그림 9. 과도 응답 시뮬레이션

그림 9 는 부하 전류가 0.1mA 에서 200mA 로 변화할 때의 과도 응답 시뮬레이션이다. 먼저, 전류 부스팅 회로 없이 제안된 회로만 시뮬레이션 해 보면 부하 전류가 증가 할 때의 undershoot 는 242mV, 정상 상태가 되기까지 걸리는 시간은 2.1 μs 이다. 반대로 부하 전류가 감소 할 때의 overshoot 는 151mV, 시간은 1.3 μs 를 확인 하였다. 앞에서 언급한 것과 같이 대기 전류가 작을

수록 출력 전압이 정상 상태까지 도달하기 위한 시간은 증가하게 된다. 따라서 낮은 대기 전류와 빠른 응답 속도를 만족하기 위해 전류 부스팅 회로를 추가 하였고, 동일 조건에서의 시뮬레이션 결과를 보면, $0.78\mu s$ 와 $0.81\mu s$ 로 확연히 줄어든 것을 확인할 수 있었다. 이와 함께 노이즈와 같은 작은 변동에 의한, 전류 부스팅 회로의 오동작을 방지하기 위해 회로 동작에 충분한 마진을 두었다.

III 측정 결과

제안된 LDO 는 $0.11\text{-}\mu m$ CMOS 공정으로 제작되었다. 전체 칩의 크기는 $0.09mm^2$ 이고, 패스트 트랜지스트의 크기는 $(6021\mu m/0.13\mu m)$ 이다. 부하 전류를 최대 $200mA$ 공급 하는 동안 드랍 전압은 $150mV$ 이다. 그림 10 은 테스트 보드 사진이다.

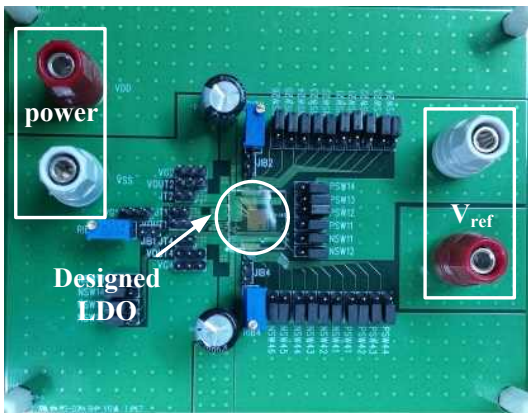


Fig. 10. Test board photograph
그림 10. 테스트 보드 사진

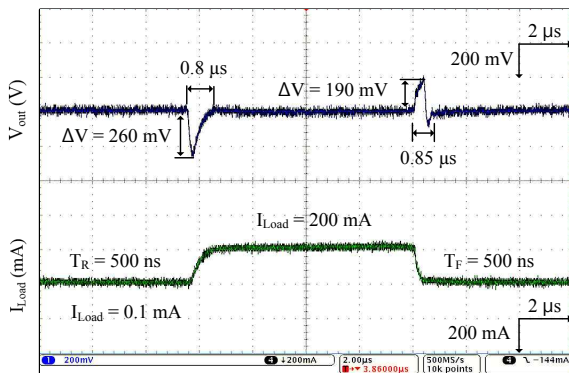


Fig. 11. Measured load transient response
그림 11. 과도 응답 측정 결과

제안된 LDO 의 성능을 검증하기 위해 테스트 조건은 시뮬레이션과 동일하고, LDO 출력에 커패시터 없이 측정 하였다. 그림 11 의 측정 결과를 확인하면, 부하 전류가 증가할 때 최대 undershoot 는 $260mV$ 이고, LDO 출력 전압이 정상 상태에 도달하기까지의 시간은 $0.8\mu s$ 이다. 반대로 부하 전류가 감소할 때의 최대 overshoot 는 $190mV$, 회복 시간은 $0.85\mu s$ 이다. 그리고 부하 전류 변화에 따른 로드-레귤레이션 변동 크기는 $13mV$ 이다. 설계된 LDO 의 대기 전류는 $4.5\mu A$ 로 작기 때문에 전류 효율은 99.99% 이다.

제안된 LDO 의 측정된 결과는 외부 커패시터가 없는 다른 논문과 비교하여 표 1 에 정리하였다. 다른 논문의 figure-of-merits (FOM) 과 비교해보면, 매우 우수한 결과를 확인할 수 있다. 사용된 FOM 은 식 14 이다 [6].

$$FOM = \frac{T_{settle} \times I_Q}{I_{max}} \text{ (ns)} \tag{14}$$

Table1. Performance comparison with LDOs

표 1. LDO 의 성능 비교

| | [14] | [15] | [16] | This work |
|-----------------------------|----------|--------|-------|-----------|
| Year | 2010 | 2013 | 2013 | 2015 |
| Technology (μm) | 0.35 | 0.35 | 0.11 | 0.11 |
| VDD (V) | 0.95-1.4 | 1.2 | 2.2 | 1.2 |
| Vout (V) | 0.7-1.2 | 1 | 2 | 1 |
| Dropout Voltage (mV) | 200 | 200 | 200 | 150 |
| I _Q (μA) | 43 | 1.2-14 | 41.5 | 4.5 |
| I _{Load(max)} (mA) | 100 | 100 | 200 | 200 |
| Recovery Time (μs) | 3 | 2.7 | 0.65 | 0.8 |
| ΔV_{out} (mV) | 70 | 270 | 385 | 260 |
| Current Efficiency(%) | 99.95 | 99.98 | 99.97 | 99.99 |
| Line regulation(mV/V) | N/A | N/A | 8.9 | 10.5 |
| Load regulation (mV/mA) | 0.404 | N/A | 0.108 | 0.065 |
| FOM (ns) | 1.29 | 0.032 | 0.135 | 0.018 |

IV 결론

제안된 외부 커패시터가 없는 LDO 레귤레이터는 0.11- μm CMOS 공정으로 제작 되었으며, 대기 전류는 4.5 μA 이다. LDO 레귤레이터 측정 결과에서 빠른 과도 응답과 향상된 로드-레귤레이션 및 출력 전압 변동이 작은 것을 확인 하였다. 최대 부하 전류를 200mA 공급 하면서 드랍 전압은 150 mV 를 유지 하고, 출력 전압 변동은 260mV, 회복 시간은 0.8 μs 이다. 측정 및 FOM 비교에서 우수한 성능이 검증 되었다. 따라서 제안된 외부 커패시터가 없는 LDO 는 잡음에 민감하고, 오랜 동작 시간 및 작은 크기를 요구하는 휴대용 전자 기기에 적합한 기술이다.

References

- [1] C.-J. Park, M. Onabajo, and J. Silva-Martinez, "External capacitor-less low drop-out regulator with 25 dB superior power supply rejection in the 0.4-4 MHz range," *IEEE J. Solid-State Circuits*, vol. 49, no. 2, pp. 486-501, Feb. 2014.
- [2] C. K. Chava and J. Silva-Martinez, "A frequency compensation scheme for LDO voltage regulators," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 51, no. 6, pp. 1041-1050, Jun. 2004.
- [3] H.-C. Lin, H.-H. Wu, and T.-Y. Chang, "An active-frequency compensation scheme for CMOS low-dropout regulators with transient-response improvement," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 55, no. 9, pp. 853 - 857, Sep. 2008.
- [4] K. Keikhosravy and S. Mirabbasi, "A 0.13- μm CMOS low-power capacitor-less LDO regulator using bulk-modulation technique," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 61, no. 11, pp. 3105 - 3114, Nov. 2014.
- [5] M. Ho, K. N. Leung, and K. L. Mak, "A low-power fast-transient 90-nm low-dropout regulator with multiple small-gain stages," *IEEE J. Solid-State Circuits*, vol. 45, pp. 2466-2476, Nov. 2010.
- [6] C. Zhan and W. H. Ki, "Output-capacitor-free adaptively biased low-dropout regulator for system-on-chips," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 57, no. 5, pp. 1017-1028, May 2010.
- [7] G. A. Rincon-Mora and P. E. Allen, "A low-voltage, low quiescent current, low drop-out regulator," *IEEE J. Solid-State Circuits*, vol. 33, no. 1, pp. 36-44, Jan. 1998.
- [8] R. J. Milliken, J. Silva-Martinez, and E. Sánchez-Sinencio, "Full on-chip CMOS low-dropout voltage regulator," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 54, no. 9, pp. 1879-1890, Sep. 2007.
- [9] W.-C. Chen, S.-Y. Ping, T.-C. Huang, Y.-H. Lee, K.-H. Chen, and C.-L. Wey, "A switchable digital-analog low-dropout regulator for analog dynamic voltage scaling technique," *IEEE J. Solid-State Circuits*, vol. 49, no. 3, pp. 740 - 750, Mar. 2014.
- [10] X. Ming, Q. Li, Z. Zhou, and B. Zhang, "An ultrafast adaptively biased capacitorless LDO with dynamic charging control," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 59, no. 1, pp. 40-44, Jan. 2012.
- [11] S. S. Chong and P. K. Chan, "A 0.9- μA quiescent current output-capacitorless LDO regulator with adaptive power transistors in 65-nm CMOS," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 60, no. 4, pp. 1072-1081, Apr. 2013.
- [12] K. N. Leung and P. K. T. Mok, "A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1691-1702, Oct. 2003.
- [13] J. Roh, "High-gain class-AB OTA with low quiescent current," *Analog Integr. Circuits Signal Process.*, vol. 47, no. 2, pp. 225-228, May 2006.
- [14] P. Y. Or and K. N. Leung, "An

output-capacitorless low-dropout regulator with direct voltage-spike detection," *IEEE J. Solid-State Circuits*, vol. 45, no. 2, pp. 458-466, Feb. 2010.

[15] X. Qu, Z.-K. Zhou, B. Zhang, and Z.-J. Li, "An ultralow-power fast-transient capacitor-free low-dropout regulator with assistant push-pull output stage," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 60, no. 2, pp. 96-100, Feb. 2013.

[16] Y. Kim and S. Lee, "A capacitorless LDO regulator with fast feedback technique and low-quiescent current error amplifier," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 60, no. 6, pp. 326 - 330, Jun. 2013.

BIOGRAPHY

Jae-Jin Yeo (Member)



2006 : BS degree in Electronics Engineering, Semyung University.

2009~Present : Unified course of the MS and PhD degree in Electronics and Communication Engineering, Hanyang University.

<Research interest>

Power management circuits.

Jeong-Jin Roh (Life Member)



1990 : BS degree in Electrical Engineering, Hanyang University.

1998 : MS degree in Electrical Engineering, Pennsylvania State University.

2001 : PhD degree in Electrical Engineering, Texas at Austin University.

1990~1996 : Senior circuit designer, Samsung Electronics, Korea.

2000~2001 : Senior design engineer, Intel Corporation, USA.

2001~Present : Professor, Dept. of Electronics and Communication Engineering, Hanyang University.

<Research interest>

Oversampled delta-sigma converters, Power management circuits.