

4H-SiC 소자의 JTE 구조 및 설계 조건 변화에 따른 항복전압 분석

The Analysis of the Breakdown Voltage according to the Change of JTE Structures and Design Parameters of 4H-SiC Devices

구윤모*, 조두형*, 김광수**

Yoon-Mo Koo*, Doo-Hyung Cho*, Kwang-Soo Kim**

Abstract

Silicon Carbide(SiC) has large advantage in high temperature and high voltage applications because of its high thermal conductivity and large band gap energy. When using SiC to design power semiconductor devices, edge termination techniques have to be adjusted for its maximum breakdown voltage characteristics. Many edge termination techniques have been proposed, and the most appropriate technique for SiC device is Junction Termination Extension(JTE). In this paper, the change of breakdown voltage efficiency ratio according to the change of doping concentration and passivation oxide charge of each JTE techniques is demonstrated. As a result, the maximum breakdown voltage ratio of Single Zone JTE(SZ-JTE), Double Zone JTE(DZ-JTE), Multiple Floating Zone JTE(MFZ-JTE), and Space Modulated JTE(SM-JTE) is 98.24%, 99.02%, 98.98%, 99.22% each. MFZ-JTE has the smallest and SZ-JTE has the largest sensitivity of breakdown voltage ratios according to the change of JTE doping concentration. Additionally the degradation of breakdown voltage due to the passivation oxide charge is analyzed, and the sensitivity is largest in SZ-JTE and smallest in MFZ-JTE, too. In this paper, DZ-JTE and SM-JTE is the best efficiency JTE techniques than MFZ-JTE which needs large doping concentration in short JTE width.

요약

Silicon Carbide(SiC)는 높은 열전도도와 넓은 밴드갭 에너지로 인해 고온과 고전압 소자로 사용하는데 큰 장점을 가지고 있는 물질이다. SiC를 이용하여 전력반도체소자를 제작할 경우, 소자가 목표 전압을 충분히 견딜 수 있도록 Edge Termination 기법을 적용하여야한다. Edge Termination 기법에는 여러 가지 방안이 제안되어왔는데, SiC 소자에 가장 적합한 기법은 Junction Termination Extension (JTE)이다. 본 논문에서는 각 JTE 구조별 도핑 농도와 Passivation Oxide Charge 변화에 따른 항복전압의 변화를 살펴보았다. 결과적으로 Single Zone JTE (SZ-JTE)는 1D 시뮬레이션 값의 98.24%, Double Zone JTE (DZ-JTE)는 99.02%, Multiple-Floating-Zone JTE (MFZ-JTE)는 98.98%, Space-Modulated JTE (SM-JTE)는 99.22%의 최대 항복전압을 나타내었고, JTE 도핑 농도 변화에 따른 최대 항복전압의 민감도는 MFZ-JTE가 가장 낮은 반면 SZ-JTE가 가장 높았다. 또한 Passivation Oxide 층의 전하로 인해 소자의 항복전압의 변화를 살펴보았는데, 이에 대한 민감도 역시 MFZ-JTE가 가장 낮았으며 SZ-JTE가 가장 높았다. 결과적으로 본 논문에서는, 짧은 JTE 길이에서 높은 도핑 농도를 필요로 하는 MFZ-JTE보다 DZ-JTE와 SM-JTE가 실제 소자 설계에 있어 가장 효과적인 JTE 기법으로 분석되었다.

Key words : Silicon Carbide, 4H-SiC, Junction Termination Extension, Edge Termination, Breakdown Voltage

* Dept. of Electronics Engineering, Sogang University e-mail : kooyim@sogang.ac.kr

★ Corresponding author e-mail : kimks@sogang.ac.kr

※ This research was supported by the MSIP(Ministry of Science, ICT and Future Planning), Korea, under the ITRC(Information Technology Research Center) support program (IITP-2015-H8501-15-1002) supervised by the IITP(Institute for Information & communications Technology Promotion), and the KIAT(Korea Institute for the Advancement of Technology) support program(N0001594) supervised by the MOTIE(Ministry of Trade, Industry and Energy) 2015, and the IDEC(IC Design Education Center).

Manuscript received Oct 8, 2015; revised Nov 21, 2015; accepted Nov 23, 2015

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

전 세계적으로 에너지 효율 문제와 친환경 기술들이 주목받고 있는 요즘, 그 기반 기술이라고 할 수 있는 전력반도체 소자는 안정된 산업별 수요 기반과 새로운 시장 확대로 구조적 성장기를 맞이하고 있다^[1]. 그 중 Silicon Carbide(SiC)는 높은 열전도도와 넓은 밴드갭 에너지로 인해 고온, 고전압 환경에서 높은 안정성을 보인다는 강점을 가지고 있어 차세대 전력 반도체 소자의 재료로서 각광받고 있는 물질이다^[2]. 또한 전력반도체는 고전압을 견디는 데에 보다 용이하도록 수직형 구조로 설계되는 경우가 많은데, 이에 따라 SiC 중 가장 뛰어난 수직 이동도(Vertical Mobility)를 보유하고 있는 4H-SiC가 주목받고 있다^[3]. 이러한 고전압용 전력반도체를 설계할 경우 소자가 목표 전압을 충분히 견딜 수 있도록 하기 위해 Edge Termination 기법을 적용하여야 한다.

Edge Termination이란, 전력반도체 소자 등의 고전압 소자의 가장자리에서 발생하는 전계 집중 현상(Electric Field Crowding Effect)에 의해 목표 전압보다 낮은 전압에서 항복이 발생하는 경향을 완화해주는 기법이다^[4]. Edge Termination 기법으로는 Guard Ring이나 Field Plate, Bevel Edge Termination, Junction Termination

Extension (JTE) 등 여러 기법이 존재하지만, 이온주입과 확산이 어려운 4H-SiC의 특성상^[5, 6] 가장 구현이 쉽고 효과적인 기법은 JTE이다. JTE는 다른 Edge Termination 기법에 비해 공정이 간단하며, 그럼에도 불구하고 충분히 높은 전압을 견딜 수 있도록 해준다는 장점이 있다^[7, 8].

JTE 설계에 있어 가장 핵심적인 요소는 최적 도핑 농도 조절인데, 이는 JTE가 Edge Termination으로써의 역할을 충분히 하기 위해서는 JTE 영역이 완전히 공핍되어야 하기 때문이다. 따라서 도핑 농도가 너무 낮으면 소자 가장자리의 원통형 접합(Cylindrical Junction)에 전계가 집중되는 것을 충분히 완화시켜주지 못하고, 반대로 일정량 이상 올라가면 소자의 가장자리가 아닌 JTE 가장자리의 원통형 접합 부분에서 항복이 발생하여 항복전압이 낮아진다^[4]. 지금까지 공정의 효율성과 전계 집중 현상의 완화 정도, JTE 도핑 농도에 대한 민감성을 고려하여 다양한 구조의 JTE들이 소개되었다^[9, 10, 11]. 본 논문에서는 기존에 제안된 여러 JTE 기법들의 도핑 농도 변화에 따른 항복전압의 변화를 시뮬레이션을 통해 분석하였다.

또한 JTE 영역에 SiO₂로 구성된 절연층이 존재하게 되는데, 4H-SiC에서 SiO₂ 성장 시 탄소 원자의 존재로 인해 Silicon 소자의 경우보다 산화층 전하(Oxide Charge)와 같은 결함이 다수 존재하게 된다^[12]. 이 산화층 전하 역시 JTE와 N-drift 사이의 전하 균형(Charge Balance)에 영향을 미치게 되므로, 산화층 전하를 고려하지 않고 설계한 항복전압의 값과 실제 소자의 항복전압 값의 차이가 발생한다. 이에 따라 본 논문에서는 Passivation Oxide 층의 전하량 변화에 따른 항복전압의 변화를 분석하였다. 분석을 위해 Synopsys사의 Sentaurus TCAD가 사용되었다.

II. 본론

1. Junction Termination Extension 구조

[그림 1]은 각 JTE 기법들을 적용했을 경우의 소자의 단면을 나타낸 그림이다. [그림 1(a)]는 Single Zone JTE (SZ-JTE)를 적용한 소자의 단면이다. SZ-JTE는 간단한 공정 과정을 통해 구현이 가능하다는 장점이 있다. [그림 1(b)]는 Double Zone JTE (DZ-JTE)를 적용한 소자의

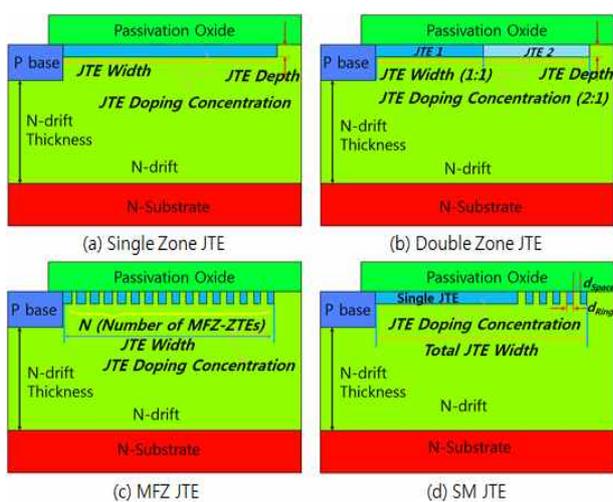


Fig 1. Device structures of (a) SZ-JTE, (b) DZ-JTE, (c) MFZ-JTE, and (d) SM-JTE
 그림 1. (a) SZ-JTE, (b) DZ-JTE, (c) MFZ-JTE, (d) SM-JTE를 적용한 소자의 구조

단면이다. DZ-JTE는 P-base와 가까운 쪽 JTE (JTE1)의 농도와 먼 쪽 JTE (JTE2)의 농도가 다르다는 특징을 가지고 있다. 본 논문에서 JTE1과 JTE2의 길이의 비율은 1:1, 도핑 농도 비율은 2:1로 결정하였다. JTE2가 JTE1보다 도핑 농도가 더 낮는데, 그 이유는 P-base와 가까울수록 더 큰 공핍 영역을 필요로 하기 때문이다. [그림 1(c)]는 Multiple Floating Zone JTE (MFZ-JTE)를 적용한 소자의 단면이다. MFZ-JTE는 같은 도핑 농도를 가지는 다수의 Ring 형태의 JTE Zone을 가지고 있는데, 각 JTE Zone의 폭은 P-base에서 멀어질수록 점점 좁아진다. MFZ-JTE는 다음 규칙에 따라 설계하였다.

$$w_n = w_1 / \alpha^{(n-1)} \quad (1)$$

수식 (1)에서 w_n 은 n번째 ZTE Zone의 폭을, w_1 은 1번째 ZTE Zone의 폭을, α 는 폭이 감소하는 비율을 의미한다. 따라서 JTE Zone의 길이는 P-base에서 멀어질수록 일정한 비율 α 에 따라 감소한다. 이때 비율 α 는 마지막 JTE Zone의 폭이 이전 JTE Zone과 마지막 JTE Zone 사이의 간격과 같아지는 값으로 설계하였다^[10]. [그림 1(d)]는 Space Modulated JTE (SM-JTE)를 적용한 소자의 단면이다. SM-JTE는 SZ-JTE의 끝에 MFZ-JTE를 추가한 구조이다. SM-JTE는 다음 규칙에 따라 설계하였다.

$$r = d_{Ring} / d_{Space} \quad (2)$$

수식 (2)에서 비율 r 은 [그림 1(d)]의 d_{Ring} 과 d_{Space} 의 비율이다. 본 논문에서는 SM-JTE가 최적의 효과를 나타내도록 비율 r 을 0.7~0.3으로 설정하였다^[11]. 각각의 구조들에 대해, JTE 길이는 SiC의 확산 특성을 고려하여 0.2 μm 로 고정하였다^[5]. 또한 N-drift의 농도는 $3.8 \times 10^{15} \text{cm}^{-3}$, 두께는 12 μm , P-base의 도핑 농도는 $1 \times 10^{17} \text{cm}^{-3}$ 로 결정하였다. 여기서 N-drift의 도핑 농도는 4H-SiC MOSFET을 설계하였을 경우의 문턱 전압을 고려하여 결정하였다. 마지막으로 P-base 상부의 Metal Contact 영역을 제외한 나머지 부분에는 절연을 위해 1 μm 의 SiO₂ 층을 형성하였다.

[그림 2]는 SZ-JTE의 JTE 길이의 변화에 따른 항복전압 비율의 변화를 나타낸 그래프이

다. 여기서 항복전압 비율(BV_{Ratio})이란 수식 (3)에서

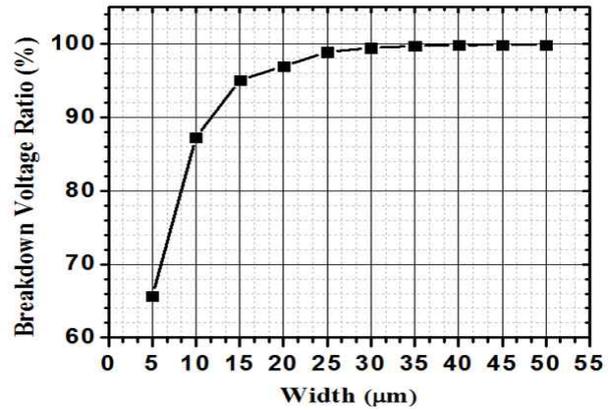


Fig. 2. Breakdown voltage ratios according to the change of Single Zone JTE width

그림 2. Single Zone JTE 길이의 변화에 따른 항복전압 비율

볼 수 있듯이, 이상적인 항복전압(BV_{Ideal})과 JTE가 적용된 경우의 항복전압(BV_{JTE})의 비율로 정의하였다. [그림 2]에서 JTE 길이가 40 μm 이상인 경우부터 항복전압 값이 더 이상 증가하지 않았고, 따라서 모든 시뮬레이션은 JTE 길이를 40 μm 로 고정하였다.

$$BV_{Ratio} = \frac{BV_{JTE}}{BV_{Ideal}} [\%] \quad (3)$$

2. 시뮬레이션 결과

가. 1D 시뮬레이션

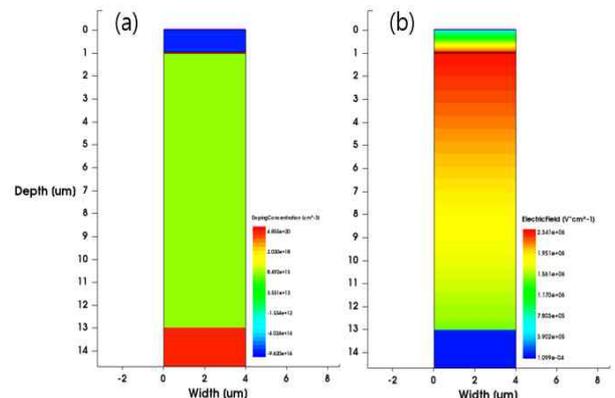


Fig. 3. (a) Structures of 1D simulation and (b) electric field distribution at breakdown

그림 3. (a) 1D 시뮬레이션 구조와 (b) 항복 시의 Electric Field 분포

본격적인 시뮬레이션 진행에 앞서, 1D 시뮬레이션을 통해 이상적인 항복 전압을 구하였다. [그림 3(a)]는 1D 시뮬레이션에서 사용된 구조이고, [그림 3(b)]는 항복 시 구조 내부의 전계 분포를 나타내는 그림이다. 이상적인 Punch-through 형태 소자의 항복전압을 계산한 결과는 다음과 같다.

$$E_C = \frac{2.49 \times 10^6}{1 - \frac{1}{4} \log_{10} \left(\frac{N_d}{10^{16}} \right)} [V/cm] \quad (4)$$

$$E_{PT} = E_m - \frac{qN_d}{\epsilon_{4H-SiC}} W_{N-drift} [V/cm] \quad (5)$$

$$BV_{PT} = \left(\frac{E_C + E_{PT}}{2} \right) W_{N-drift} [V] \quad (6)$$

위의 수식에서 E_C 는 임계전계(Critical Electric Field), N_d 는 N-drift의 농도, E_{PT} 는 Punch-through가 발생한 지점에서의 전계 값, E_m 은 최대 전계 값, ϵ_{4H-SiC} 는 4H-SiC의 유전율, $W_{N-drift}$ 는 N-drift 영역의 두께, BV_{PT} 는 Punch-through 타입 소자의 항복 전압을 말한다. 수식 (4), (5), (6)를 기준으로 계산한 항복전압은 2480V이다^[4, 13].

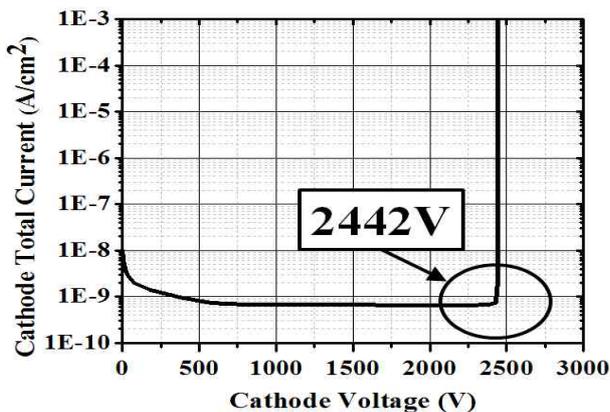


Fig. 4. Breakdown voltage of 1D Simulation
그림 4. 1D 시뮬레이션에서의 항복 전압

[그림 4]는 1D 시뮬레이션을 진행한 경우의 항복전압을 나타낸 그래프이다. 결과적으로 1D 시뮬레이션에서의 항복전압(BV_{1D})은 2442V로 이상적일 경우의 계산 값과 98.5%의 정확도를 보였다. 따라서 이후 시뮬레이션에서 BV_{Ideal} 은 2442V로 하였다.

나. Junction Termination Extension 도핑 농도 변화에 따른 항복전압 비율 변화에 대한 시뮬레이션 및 분석

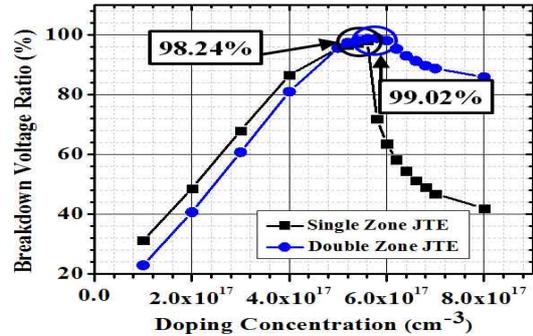
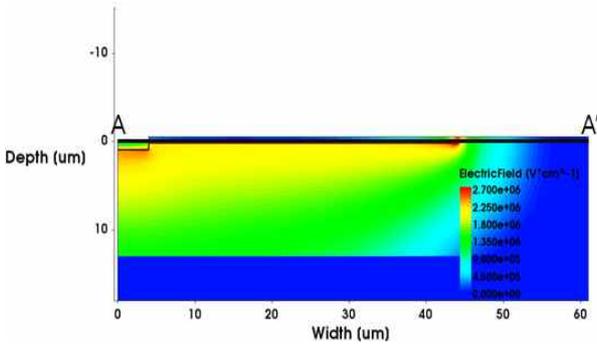


Fig. 5. Breakdown voltage ratios according to the change of SZ-JTE and DZ-JTE (JTE1) doping concentration (JTE depth : 0.2 μ m)

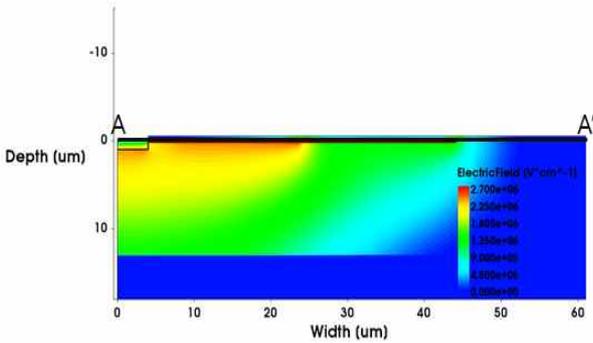
그림 5. SZ-JTE와 DZ-JTE (JTE1)의 도핑 농도 변화에 따른 항복전압 비율 (JTE depth : 0.2 μ m)

먼저, 가장 기본적인 JTE 구조인 [그림 1(a)]의 SZ-JTE와 [그림 1(b)] DZ-JTE에 대한 비교를 진행하였다. [그림 5]는 SZ-JTE와 DZ-JTE의 도핑 농도 변화에 따른 항복전압 비율의 변화를 나타낸 그래프이다. Double Zone JTE 그래프에서 X-축은 JTE1의 도핑 농도를 의미한다. [그림 5]에서 SZ-JTE는 도핑농도가 $5.6 \times 10^{17} \text{ cm}^{-3}$ 일 때, DZ-JTE는 $5.9 \times 10^{17} \text{ cm}^{-3}$ 일 때 최대 항복전압을 가졌으며, 이때 최대 항복전압은 각각 BV_{1D} 대비 SZ-JTE는 98.24%, DZ-JTE는 99.02%이다. 두 JTE 기법 모두 JTE 도핑 농도가 일정량 이상 높아지면 항복전압이 감소하는 경향을 보였는데, 그 감소 폭은 DZ-JTE가 SZ-JTE보다 훨씬 작았다.

[그림 6(a)]는 SZ-JTE, [그림 6(b)]는 DZ-JTE 소자 단면의 전계 분포를 소자 단면에 모두 나타낸 그림이며, [그림 7]은 두 소자의 표면(A-A' Cutline)에서의 전계 분포를 비교한 그래프이다. [그림 6]과 [그림 7]을 보면 SZ-JTE는 JTE에서 전계가 집중되는 곳이 한 곳, DZ-JTE는 두 곳이 존재하는 것을 알 수 있다. SZ-JTE의 경우에는 전계가 집중되는 구간이 한 곳이기 때문에, JTE의 도핑 농도가 일정량 이상 높아져 JTE 가장자리에 전계가 집중되면 되면 바로 항복이 발생한다. 하지만 DZ-JTE는 전계가 집중되는 구간을 한 곳 더 가지고 있으므로, JTE의 도핑 농도가 일정량 이상 높아져도 전계가 분산되어 집중되기



(a) Electric Field Distribution at breakdown of Single Zone JTE



(b) Electric Field Distribution at breakdown of Double Zone JTE

Fig. 6. Electric field distribution at breakdown of (a) SZ-JTE and (b) DZ-JTE devices of the maximum breakdown voltage ration case.

그림 6. 최대 항복전압 비율을 가지는 경우의 (a) SZ-JTE 와 (b) DZ-JTE 소자 항복 시 Electric Field 분포

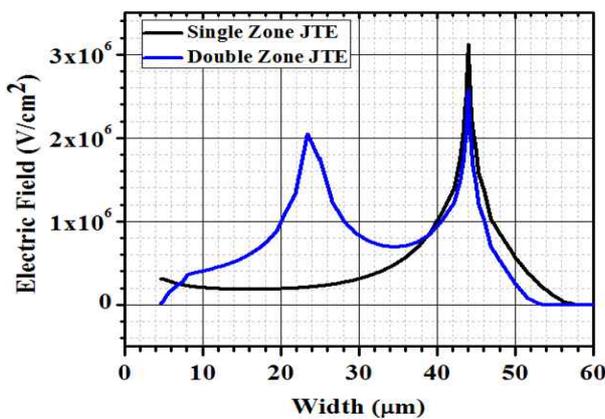


Fig. 7. Electric field distribution at surface (A-A' cutline) of SZ-JTE and DZ-JTE device

그림 7. SZ-JTE와 DZ-JTE 소자의 표면(A-A')에서의 Electric Field 분포

때문에 SZ-JTE보다 훨씬 안정적이다. 즉, 전계의 분포가 균일할수록 한 지점에서의 전계 값이 E_C 의 값을 넘을 확률이 줄어들기 때문에, 항복전

압이 안정적인 특성을 보인다^[7]. 본 시뮬레이션에서 DZ-JTE의 전계 분포가 SZ-JTE보다 균일하므로, DZ-JTE가 SZ-JTE보다 JTE 도핑 농도 변화에 따른 항복전압의 안정성 측면에서 더 뛰어나다고 할 수 있다. 이 결과는 DZ-JTE가 SZ-JTE보다 소자 제작 시 공정 마진 확보에 있어 큰 장점이 있기 때문에, 공정 균일성 (Uniformity) 측면에 있어서 유리함을 의미한다.

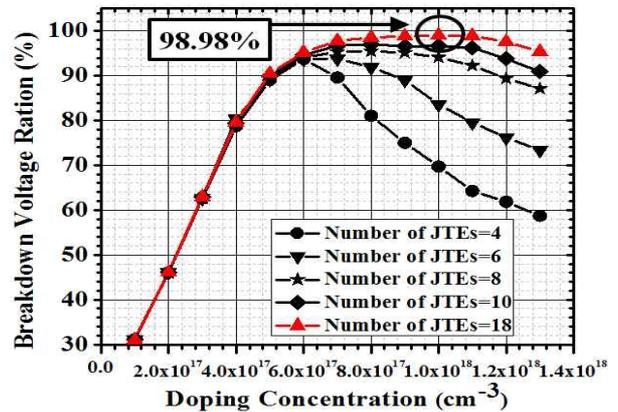


Fig. 8. Breakdown voltage ratios according to the changes of JTE doping concentration of each MFZ JTE cases (JTE depth : 0.2 μm)

그림 8. 각각의 MFZ JTE 경우에 대한 JTE 도핑 농도 변화에 따른 항복전압 비율 (JTE depth : 0.2 μm)

[그림 1(c)]의 MFZ-JTE에 대한 시뮬레이션에서는 JTE Zone의 개수(n)에 따른 항복전압 비율을 추가적으로 분석하였다. [그림 8]은 MFZ-JTE의 도핑 농도 변화에 따른 항복 전압 비율 변화를 나타낸 그래프이고, 수식 (1)에 따라 JTE Zone의 개수가 4개, 6개, 8개, 10개, 18개일 경우에 대해 각각 시뮬레이션을 진행하였다. JTE Zone의 개수가 증가함에 따라 도핑 농도에 대한 안정성이 증가하는 것을 볼 수 있는데, 이는 DZ-JTE가 SZ-JTE보다 안정적인 것과 마찬가지로 전계가 집중되는 곳이 더 많아지기 때문이다. [그림 9(a)]는 MFZ-JTE 소자의 항복 시의, [그림 9(b)]는 이때 표면(A-A' Cutline)에서의 전계 분포를 나타내었다. 이를 통해 MFZ-JTE를 적용한 소자의 전계 분포가 SZ-JTE나 DZ-JTE를 적용한 소자보다 더 균일한 것을 볼 수 있다. 그리고 MFZ-JTE는 최대 항복전압을 갖는 JTE의 도핑 농도가 다른 JTE 기법에 비해 매우 높는데, 이는 JTE-Zone 사이에 P-도핑 되지 않은 영역이 존재하기 때문이다. 즉, MFZ-JTE는 같은 전

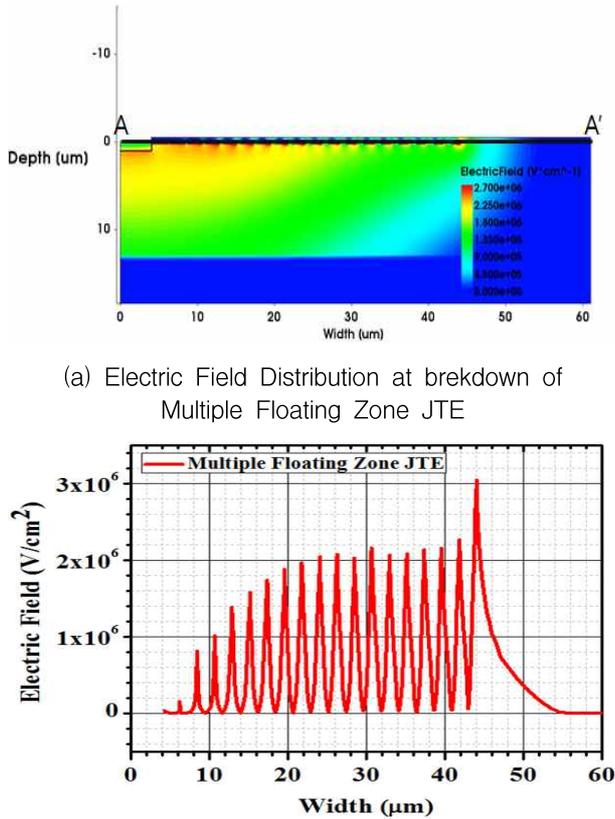


Fig. 9. Electric field distribution at (a) breakdown and (b) surface (A-A' cutline) of MFZ-JTE device of the maximum breakdown voltage ration case.

그림 9. 최대 항복전압 비율을 가지는 경우의 MFZ-JTE 소자의 (a) 항복 시와 이때 (b) 표면(A-A')에서의 Electric Field 분포

하 균형을 만들기 위해 JTE의 길이를 더 길게 만들거나 혹은 JTE의 도핑농도를 더 높게 해야 하는데, 이로 인해 첨두 전계(Peak Electric Field) 값이 더 커진다는 단점이 있다. JTE본 논문에서는 다른 기법과의 비교를 위해 40 μm 로 그 길이를 제한하였고, 이에 따른 시뮬레이션 결과 최대 항복전압을 가지려면 $1.0 \times 10^{18} \text{cm}^{-3}$ 정도의 높은 도핑 농도가 필요하였다. 결과적으로 MFZ-JTE 중 가장 안정적인 항복전압의 변화를 보이는 경우는 JTE Zone의 개수가 18개일 경우이고, 이때 최대 항복전압은 BV_{1D} 대비 98.98%이다.

[그림 10]은 SM-JTE의 도핑 농도 변화에 따른 항복전압 비율의 변화를 나타낸 그래프이다. SM-JTE는 SM-JTE의 가장자리에 JTE Zone이 추가된 구조이다. 따라서 SZ-JTE보다 SM-JTE의 경우에 전계가 집중되는 구간이 많으며, 이는 [그림 11]에 나타낸 SM-JTE의 전계 분포를 보

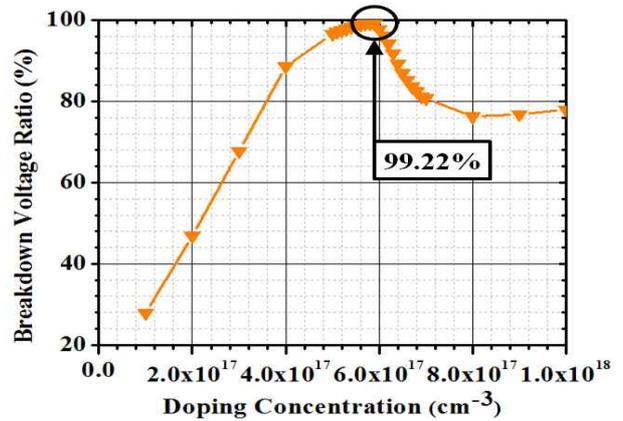
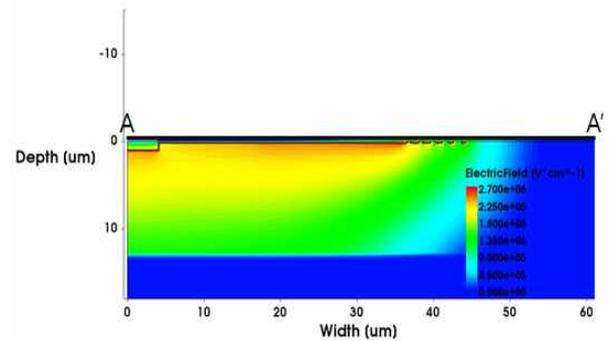
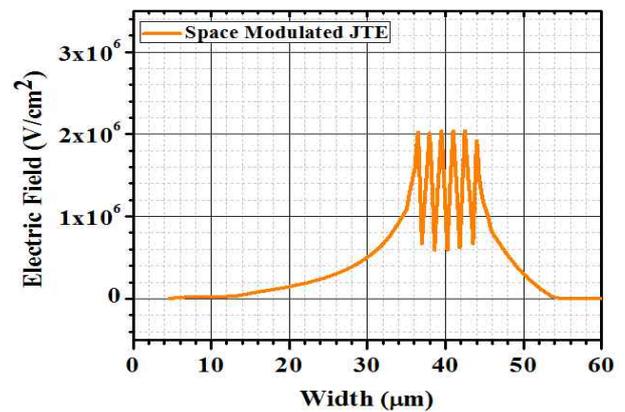


Fig. 10. Breakdown voltage ratios according to the change of SM JTE doping concentration (JTE depth : 0.2 μm)

그림 10. SM Zone JTE 도핑 농도의 변화에 따른 항복전압 비율 (JTE depth : 0.2 μm)



(a) Electric Field Distribution at breakdown of Space Modulated JTE



(b) Surface (A-A' cutline) Electric Field

Fig. 11. Electric field distribution at (a) breakdown and (b) surface (A-A' cutline) of SM-JTE device of the maximum breakdown voltage ration case.

그림 11. 최대 항복전압 비율을 가지는 경우의 SM-JTE 소자의 (a) 항복 시와 이때 (b) 표면(A-A')에서의 Electric Field 분포

면 알 수 있다. 결과적으로 SM-JTE는 SZ-JTE보다 안정적인 항복전압의 특성을 가지고, 최대 항복전압은 도핑 농도가 $5.8 \times 10^{17} \text{cm}^{-3}$ 일 때 가졌으며 그 때 항복전압은 BV_{1D} 대비 99.22%이다.

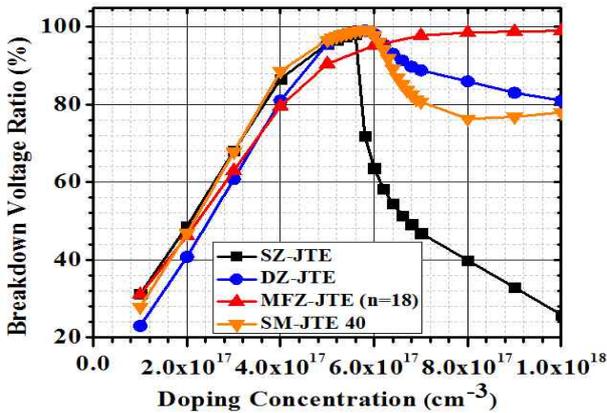


Fig. 12. Comparison of each JTE techniques about Breakdown voltage ratios following the change of JTE doping concentration (JTE depth : 0.2 μm)
 그림 12. 각 JTE 구조에 대한 JTE 도핑 농도 변화에 따른 항복전압 비율 변화 비교 (JTE depth : 0.2 μm)

[그림 12]는 JTE 기법에 따라 JTE 도핑 농도 변화에 따른 항복전압 비율의 변화를 비교한 그래프이다. 결과적으로 JTE 도핑 농도에 따라 항복전압의 변화가 가장 민감한 것은 SZ-JTE를 적용하였을 때이고, 가장 안정적인 것은 MFZ-JTE를 적용하였을 때이다. 이 항복전압의 변화 값이 작다는 것은, 결국 공정상 오차에 따라 발생할 수 있는 JTE 도핑 농도의 변화에 소자가 그만큼 덜 민감하게 반응한다는 것을 의미한다. 각 JTE 기법 사이의 상관관계를 보면, 전계가 집중되는 곳은 MFZ-JTE(18곳), SM-JTE(6곳), DZ-JTE(2곳), SZ-JTE(1곳) 순서대로 많다. 이때 JTE의 항복전압 안정성이 MFZ-JTE가 가장 크고, SM-JTE가 SZ-JTE보다 안정적인 것을 보면 전계가 집중되는 곳의 개수, 즉 전계 분포의 균일한 정도가 JTE 항복전압의 안정성에 큰 영향을 미치는 것을 알 수 있다. 또한 JTE 기법 중 JTE 가장자리의 도핑 농도 변화가 가장 작은 기법은 DZ-JTE이다. 이는 DZ-JTE를 설계할 경우 이온주입을 두 번에 걸쳐 진행하고, 이 때 바깥쪽 JTE([그림 1(b)에서 JTE2]의 도핑 농도를 안쪽 JTE([그림 1(a)에서

JTE1)보다 작게 만들기 때문이다. DZ-JTE의 항복전압 변화가 전계가 집중되는 구간이 더 많은 SM-JTE보다 더 안정적인 것으로 보아 JTE 가장자리의 도핑 농도 변화량 역시 JTE의 항복전압에 큰 영향을 미치는 것을 알 수 있다.

결과적으로 JTE 도핑 농도의 변화에 대해 가장 안정적인 기법은 MFZ-JTE이다. 하지만 MFZ-JTE는 높은 도핑 농도가 필요하다는 단점이 있다. 다음으로 안정적인 것은 DZ-JTE인데, DZ-JTE는 이온주입이 두 번 필요하다는 단점이 있다. SM-JTE는 도핑 농도에 대한 민감도는 MFZ-JTE나 DZ-JTE에 비해 그다지 좋은 편은 아니지만, 한 번의 이온주입으로 JTE 구조를 구현할 수 있으므로 공정이 간단하며 MFZ-JTE만큼 높은 도핑 농도가 필요하지도 않고 SZ-JTE보다는 도핑 농도에 대한 민감성이 낮으므로 효과적인 JTE 기법이라고 말할 수 있다.

다. Passivation Oxide 층의 고정 전하 농도 변화에 따른 항복전압 비율 변화에 대한 시뮬레이션 및 분석

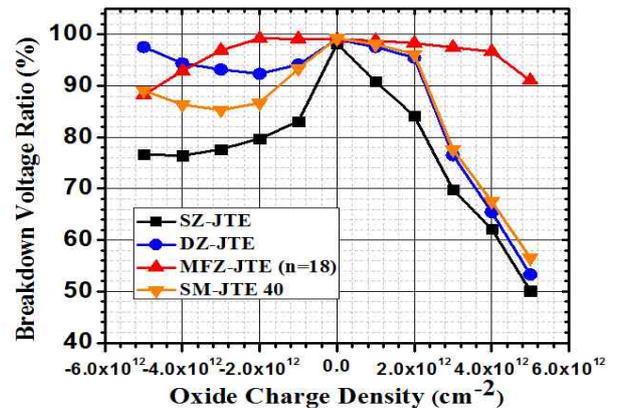


Fig. 13. Comparison of each JTE techniques about Breakdown voltage ratios following the change of oxide charge
 그림 13. 각각의 JTE 구조에 대한 oxide charge 변화에 따른 항복전압 비율 변화 비교

실제로 전력반도체 소자를 구현하는 경우, 소자 위쪽에 반드시 금속 물질이 복잡하게 배치될 수밖에 없다. Gate나 Source가 될 이 금속과 소자 사이의 확실한 절연을 위해, 이 사이에는 SiO_2 같은 절연체로 이루어진 층이 반드시 존재하여야 한다. 하지만 SiC의 경우 Oxide 층을 형성할 경우에 탄소 원자의 존재로 인해 상당히 많

은 결함이 존재하게 된다. 예기치 않게 발생한 Oxide layer 내부의 전하 역시 결함의 일종으로, JTE의 전하 균형에 악영향을 미치게 된다. 이에 따라 우리는 Passivation Oxide 층 내부 고정 전하(Fixed Charge)의 양을 변화시키면서, 각각의 JTE 구조의 최대 항복전압이 어떻게 변화하는지를 분석하였다.

[그림 13]은 각 JTE 기법들이 최대 항복전압 비율을 갖는 경우에 대하여, Oxide Charge의 변화에 따른 항복전압 비율의 변화를 나타낸 그래프이다. 기본적으로 산화층 전하가 JTE에 영향을 주는 부분은 결국 JTE가 보상해주는 전하의 양이므로, 산화층 전하의 변화에 따른 항복전압 변화의 경향성은 JTE 도핑 농도를 변화하였을 경우와 거의 비슷하다. 결과적으로 산화층 전하의 변화에 가장 둔감한 반응을 보인 것은 MFZ-JTE였고, DZ-JTE와 SM-JTE가 비슷한 수준이었으며 가장 민감한 것은 SZ-JTE였다.

III 결론

본 논문에서는 전력반도체 소자를 설계함에 있어 필연적으로 수반되어야 하는 Edge Termination 기법으로써 SiC에 가장 적합한 JTE 방법에 대해 분석하였다. 분석한 결과로 JTE 기법별 특징을 [표 1]에 정리하였다. [표 1]을 보면 각 JTE 기법별 장단점이 분명하게 존재하는데, 먼저 SZ-JTE는 공정이 간편하다는 장점과 JTE 도핑 농도나 산화층 전하와 같은 변수에 굉장히 민감하다는 단점이 있다.

MFZ-JTE는 변수에 대해 가장 덜 민감하고 공정도 간편한 편이지만 높은 JTE 도핑 농도가 필요하다는 단점이 있다.

DZ-JTE와 SM-JTE는 변수에 대하여 SZ-JTE보다 훨씬 둔감하고, MFZ-JTE만큼 높은 도핑 농도가 필요하지 않기 때문에 매우 효과적이다. 변수에 대한 민감성은 DZ-JTE가 SM-JTE보다 조금 더 좋지만, 공정 과정이 복잡해진다는 단점이 존재한다. 결과적으로 JTE의 길이와 도핑 농도에 상관없이 가장 안정적인 JTE 기법을 원한다면 MFZ-JTE가, 적당한 길이 안에서 최대한의 JTE 항복전압 안정성을 확보하고 싶다면 DZ-JTE가, 공정 과정을 최대한 간소화하고 싶다면 SM-JTE가 가장 효과적임을 알 수 있다.

References

- [1] Alexandre Avron, and Philippe Roussel, "SiC Market, 2010-2020: 10 year market projection", Yole Developpement.
- [2] Peter Freidrichs, and Roland Rupp, "Silicon Carbide Power Devices - Current Developments and Potential Applications," EPE, 2005.
- [3] Robert Perret, Power Electronics Semiconductor Devices, Wiley, 2009
- [4] B. J. Baliga, Fundamentals of Power Semiconductor Devices, Springer, 2008

Table 1. Characteristic comparison of each JTE techniques
표 1. 각 JTE 기법 별 특징 비교

	Single Zone JTE	Double Zone JTE	MFZ JTE	SM JTE
Maximum Breakdown Voltage	98.16%	99.02%	98.98%	99.22%
Doping Concentration Sensibility	Very High	Low	Very Low	Middle
Fabrication Complexity	Very Simple	Complex	Simple	Simple
Oxide Charge Sensibility	High	Middle	Very Low	Middle

- [5] Mulpuri V. Rao, J. Tucker, O. W. Holland, N. Papanicolaou, P. H. Chi, J. W. Kretchmer, and M. Ghezzi, "Donor Ion-Implantation Doping into SiC" *Journal of Electronic Materials*, Vol.28, No.3, pp.334-340, 1999
- [6] G. J. Phelps, "Dopant ion implantation simulations in 4H-Silicon Carbide", *Modelling And Simulation In Materials Science And Engineering*, Vol.12, pp.1139-1146, 2004
- [7] Atul Mahajan, and B. J Skromme, "Design and optimization of junction termination extension (JTE) for 4H-SiC high voltage Schottky diodes", *Solid State Electronics*, Vol. 49, pp.945-955, 2005
- [8] David C. Sheridan, Guofu Niu, and John D. Cressler, "Design of single and multiple zone junction termination extension structures for SiC power devices", *Solid State Electronics*, Vol. 45, pp.1659-1664, 2001
- [9] Reza Ghandi, Benedetto Buono, Martin Domeij, Gunnar Malm, Carl-Mikael Zetterling, and Mikael Östling, "High-Voltage 4H-SiC PiN Diodes With Etched Junction Termination Extension", *IEEE Electron Device Letters*, Vol.30, No.11, pp.1170-1172, 2009
- [10] Woongje Sung, Edward Van Brunt, B. J. Baliga, and Alex Q. Huang, "A New Edge Termination Technique for High-Voltage Devices in 4H-SiC-Multiple-Floating-Zone Junction Termination Extension", *IEEE Electron Device Letters*, Vol.32, No.7, pp.880-882, 2011
- [11] Gan Feng, Jun Suda, and Tsunenobu Kimoto, "Space-Modulated Junction Termination Extension for Ultrahigh-Voltage p-i-n Diodes in 4H-SiC", *IEEE Transactions on Electron Devices*, Vol.59, No.2, pp.414-418, 2012
- [12] J. M. Knaup, P. Deak, and Th. Frauenheim, "Defects in SiO₂ as the Possible origin of near interface traps in the SiC/SiO₂ system : A systematic theoretical study", *The American Physical Society*, 2005
- [13] Fanny Dahlquist, *Junction Barrier Schottky Rectifiers in Silicon Carbide*, KTH, Royal Institute of Technology, 2002

BIOGRAPHY

Yoon-mo Koo (Student Member)

2014 : BS degree in Electronic Engineering, Sogang University
2014 ~ present : MS course in Electronic Engineering, Sogang University

Doo-hyung Cho (Member)

2011 : BS degree in Electrical and Electronic Engineering, Dankook University
2013 : MS degree in Electronic Engineering, Sogang University
2013 ~ present : PhD course in Electronic Engineering, Sogang University

Kwang-soo Kim (Member)

1981 : BS degree in Electronic Engineering, Sogang University
1983 : MS degree in Electronic Engineering, Sogang University
1998 : PhD degree in Electronic Engineering, Sogang University
1983 ~ 1997 : Electronics and Telecommunications Research Institute (ETRI).
1998 ~ 2005 : Institute for Information Technology Advancement (IITA)
2005 ~ 2008 : Daegu Gyeongbuk Institute of Science and Technology (DGIST)
2008 ~ present : Professor, Electronic Engineering, Sogang University