

논문 2015-52-12-11

안전하지 않은 I/O핀 노이즈 환경에서 MCU 클럭 보호를 위한 자동 온칩 글리치 프리 백업 클럭 변환 기법

(Automatic On-Chip Glitch-Free Backup Clock Changing Method for
MCU Clock Failure Protection in Unsafe I/O Pin Noisy Environment)

안 중 현*, 윤 지 애*, 조 정 훈**, 박 대 진**

(Joonghyun An, Jiae Youn, Jeonghun Cho, and Daejin Park[Ⓢ])

요 약

클럭 펄스에 동기 되어 동작하는 임베디드 마이크로컨트롤러는 미션 크리티컬한 응용환경에서 입력 클럭에 가해지는 급격한 전기적 왜란의 영향에 의해 오동작이 발생되기 쉽다. 다양한 외부 전기적 노이즈에 대한 내성 있는 시스템 동작이 요구되며 시스템 클럭 관점에서 견고한 회로 디자인 기술이 점차 중요한 이슈가 되고 있다. 본 논문에서는 이러한 시스템의 비이상적인 상황을 방지하기 위해 자동 클럭 에러 검출을 위한 온 칩클럭 컨트롤러 구조를 제안한다. 이를 위해 에지 검출기, 노이즈 제거기와 글리치 프리 클럭 스위칭 회로를 적용하였고, 에지 검출기는 입력 클럭의 비이상적인 저주파수 상태를 검출하는데 사용 되었으며, 딜레이 체인 회로를 이용한 클럭 펄스의 노이즈 제거기는 글리치 성분을 검출 할 수 있도록 하였다. 이렇게 검출된 입력 클럭의 비이상적인 상황은 글리치 프리 클럭 변환기에 의해 백업 클럭으로 스위칭하게 된다. 회로 시뮬레이션을 통해 제안된 백업 클럭 변환기의 동작을 검증하였고 테스트환경에서 방사노이즈를 인가하였을 때 시스템 클럭의 내성에 대한 주파수 특성을 평가하였다. 본 기법을 범용 MCU 구조에 추가적으로 적용하여 작은 하드웨어의 추가만으로도 시스템 클럭의 안전성을 확보하는 하나의 방법을 제시한다.

Abstract

The embedded microcontroller which is operated by the logic gates synchronized on the clock pulse, is gradually used as main controller of mission-critical systems. Severe electrical situations such as high voltage/frequency surge may cause malfunctioning of the clock source. The tolerant system operation is required against the various external electric noise and means the robust design technique is becoming more important issue in system clock failure problems. In this paper, we propose on-chip backup clock change architecture for the automatic clock failure detection. For the this, we adopt the edge detector, noise canceller logic and glitch-free clock changer circuit. The implemented edge detector unit detects the abnormal low-frequency of the clock source and the delay chain circuit of the clock pulse by the noise canceller can cancel out the glitch clock. The externally invalid clock source by detecting the emergency status will be switched to back-up clock source by glitch-free clock changer circuit. The proposed circuits are evaluated by Verilog simulation and the fabricated IC is validated by using test equipment electrical field radiation noise

Keywords : safety, clock failure protection, glitch-free clock switch, noise cancel

* 학생회원, ** 정회원, 경북대학교 IT대학 전자공학부

(School of Electronics Engineering, Kyungpook National University)

Ⓢ Corresponding Author(E-mail: boltanut@knu.ac.kr)

※ 본 논문은 교육부의 재원으로 한국연구재단의 기초과학연구 프로그램의 지원을 받아 수행된 연구결과임 (No. 2014R1A6A3A04059410).

Received ; August 12, 2015 Revised ; October 25, 2015 Accepted ; November 26, 2015

I. 서론

마이크로 컨트롤러(MCU)는 내장형 소프트웨어 기반으로 임베디드 시스템을 제어하기 위해 고안된 작은 제어 프로세서로서, 내장 CPU, 데이터 메모리 및 코드 메모리를 위한 NOR 타입 플래쉬 메모리까지 전용 고속 시스템 버스에 통합되어 있으며, 각종 주변기기로 타이머, 통신포트, 및 특정 목적으로 설계된 전용 하드웨어까지 하나의 칩에 내장하고 있다.

하나의 칩 위에 이러한 전체 시스템을 구현하는 방식을 System-on-Chip (SoC)이라고 하며 주로 고성능 연산 기능에 특화된 Application Processor (AP)와 임베디드 시스템 제어용에 적합하게 다양한 기능을 하나의 칩에 내장한 Microcontroller (MCU)가 있다

MCU는 메인 제어 프로세서로서 냉장고, 세탁기 등과 같은 생활가전제품에 널리 사용되어 왔으며, 점차 산업용 제어 시스템, 자동차 응용 시스템^[1] 등과 같은 mission-critical한 영역으로 응용 분야가 확대되고 있으며^[2], 사물인터넷 기술을 통해 사람과 사물간의 센싱, 제어를 수행하는 중심 프로세서로서 사람의 모든 생활 환경에 다양하게 적용되고 있어 동작의 안전성에 대한 요구가 점차 크게 증대되고 있다^[3].

전통적인 MCU 기반 임베디드 시스템은 응용되는 환경이 고정된 위치에 설치 적용되어 외부 노이즈 환경을

예상할 수 있으며^[4] 그러한 문제를 사전에 고려하여 충분히 테스트한 뒤 시스템을 동작 시킬 뿐만 아니라 외부 노이즈나 간섭의 환경을 최소화하기 위한 보드 설계 및 차폐, 하우징 등 다양한 정적인 테스트 및 보완 기법을 적용하여 사전에 외부 환경에 의한 시스템 오동작을 최소화하도록 엔지니어링 기법으로 해결 한다.

시스템의 사용 중에 왜란에 의해 발생하는 시스템의 오동작시 적절한 진단 메시지를 발생시키고 사용자에게 통보하거나 시스템을 중단 시킨 뒤 수리 또는 교체, 폐기 등의 과정을 거쳐 왔고 대부분의 mission-critical하지 않는 가전 응용에서는 이러한 방식이 허용되었다.

MCU가 점차 산업용, 자동차용, 사물인터넷을 포함한 사람과 관련된 웨어러블, 의료 기술 등에 적용되면서 시스템이 동작하면서 발생하는 동적인 왜란에 대해 시스템의 오동작 혹은 일시 정지는 심각한 부수적인 피해를 유발할 수 있기 때문에 이러한 왜란을 동적으로 감지하고^[5] 이에 대처하는 안전사양을 위한 새로운 기법이 점차 필요해지고 있다^[6].

MCU가 적용된 임베디드 시스템의 오동작의 문제가 점점 심각해지고 있는 것은 크게 두 가지 원인이다. 첫째는 내장 소프트웨어가 점차 복잡해지면서 그림 1에 보이는 바와 같이 소프트웨어와 하드웨어가 상호 연결되어 동작하는 구조의 특성상 모든 상태에 대한 동적인 fault coverage를 모두 검사하기가 어려워지고 있다^[7].

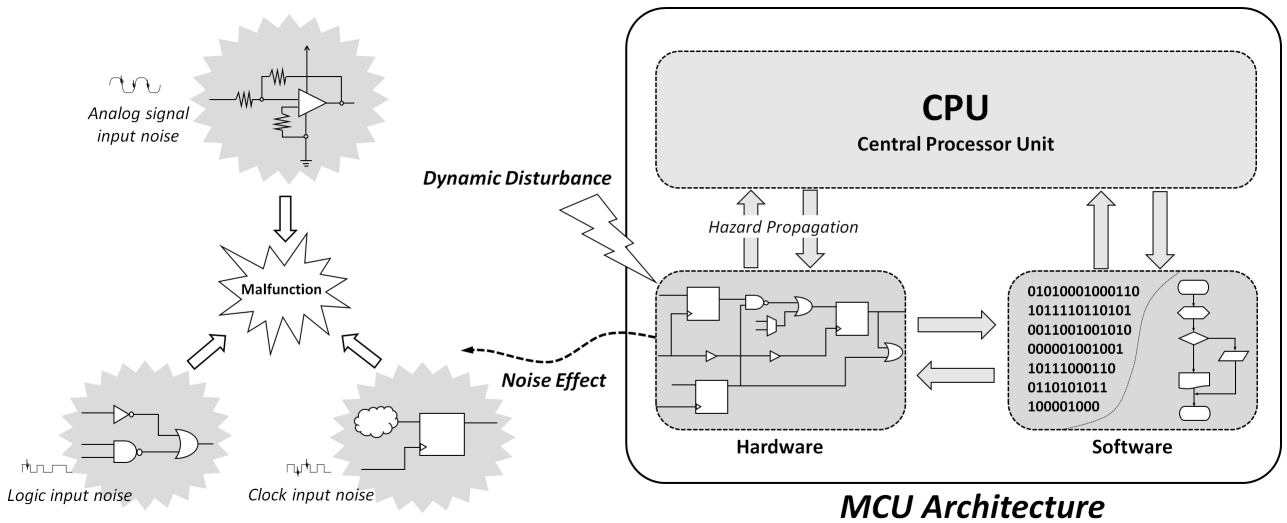


그림 1. 외부 노이즈에 의한 시스템 오동작
Fig. 1. System Malfunction by External Noise.

둘째 어떤 원인에 의해 시스템 오동작이 명확하게 드러나는 것이 아니며 시스템의 동작 중에 내부 상태 변수나 주요 시스템 변수 값이 정상적 동작에 의한 결과와는 다르게 일부 변하는 소프트웨어가 발생하며 이는 다시 하드웨어 오동작으로 전파되고 다시 CPU 명령어 수행의 오류를 발생시키며^[8] 서서히 시스템 에러를 유발시킨다. 또한 시스템 동작 에러의 디버깅을 통해 동적인 재현을 수행하여도 그 원인을 찾기가 상당히 어려운 경우가 많다.

외부의 전기적인 충격이나 마찰에 의해 의도하지 않게 입력되는 외부 노이즈는 그림 1과 같이 MCU 내부 아날로그 회로의 입력 신호와 디지털 회로의 데이터 입력 및 클럭에 동기 되어 구동하는 로직의 클럭에 영향을 주어 오동작을 유발하게 되고, 응용시스템 전체에 치명적인 오류를 초래하는 주요 요인이 되고 있다. 이러한 MCU의 입/출력 데이터 핀에 가해지는 외부 고전압 서지나 고주파 노이즈는 쉽게 필터링 되어 시스템 동작에 아무런 영향을 주지 않지만, 외부 클럭핀에 입력되는 전기적 노이즈는 시스템 클럭 소스의 구성 요소를 파괴시키거나, 클럭 펄스의 글리치를 유발시켜 시스템의 비이상적인 동작 및 위험한 상황을 초래시킬 수 있다.

대부분의 칩 벤더 및 최종 시스템 생산업체는 적용할 임베디드 시스템 및 내장 MCU칩의 소프트 에러에 대한 내성을 사전에 검사하기 위해 강제로 왜란을 인가하여 테스트를 수행하고 있으며^[9] 이와 관련된 테스트 규격이 점차 의무화되고 있는 실정이며^[10] 주로 칩 외부에 노이즈 펄스를 인가하거나 전원 핀에 일정 간격의 고전압 펄스를 인가하는 테스트를 수행한다^[11]. 데이터 핀에 대한 왜란 인가 시 적절한 필터링을 수행하거나 원치 않는 상황을 인지하여 감지된 신호를 쉽게 무시할 수 있으나 전원 핀이나, 리셋 핀, 클럭 핀으로 들어오는 신호는 그 자체가 하드웨어의 동작을 결정하는 제어신호로 동작하여 작은 글리치가 발생해도 최초로 만나는 플립플롭과 같은 하드웨어 게이트부터 서서히 데이터의 hazard가 발생하여 원치 않는 상태 값이 점차 전체 시스템으로 전파가 되어나가게 된다.

대부분의 MCU칩은 정해진 주파수 범위까지의 클럭 신호만 통과하도록 신호 처리만 수행하여 더 빠른 클럭 신호가 인가될 경우 플립플롭의 상태 hazard를 방지하기 위해 클럭 자체를 필터링하여 칩 내부의 클럭이 멈

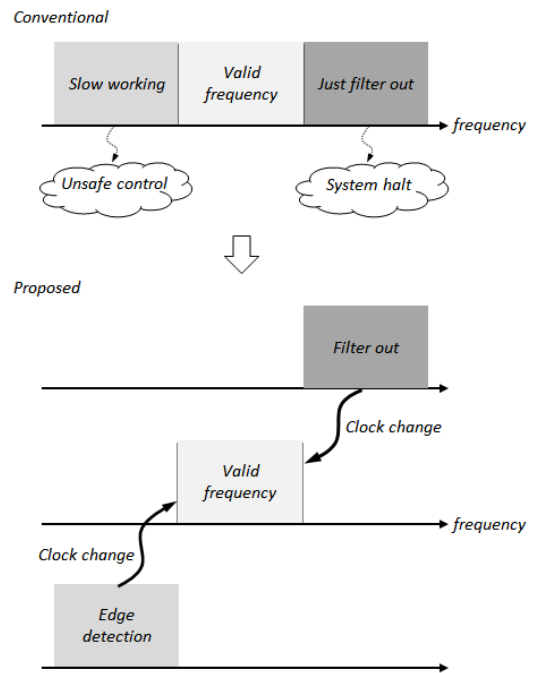


그림 2. 백업 클럭 변환 기법의 개념
Fig. 2. Concept of Backup Clock Changing Method.

추게 되며 이로 인해 일정 시간동안 시스템의 동작이 멈추게 되고 이 시간동안 제어 플랜트는 잠시 동안 제어불능상태가 된다. 또한 클럭 생성기의 오류 내지는 클럭 핀에 외부 물질의 결합 등으로 인해 캐패시턴스 성분이 커질 경우 클럭 주기가 상당히 느려질 수 있는데 이 경우 MCU의 소프트웨어 수행 속도가 느려지며, 외부 입력에 대한 부궤환 루프 제어를 수행함에 있어 안정도가 무너질 수 있는 위험이 발생한다.

mission-critical한 응용 영역에 MCU를 적용함에 있어 안전 성능을 보안하기 위한 추가적인 연구가 필요하며^[12] 본 논문에서는 이러한 두 가지 클럭의 오류에 대해서 빠르게 진단하고 내부 백업 클럭으로 안전하게 전환하여 시스템의 하드웨어 동작과 임베디드 소프트웨어의 안정적인 실행을 가능하게 하는 클럭 백업 제어 알고리즘과 글리치 제거를 가능하게 하는 최소 크기의 저전력 하드웨어를 고안하는 것을 목표로 한다. 그림 2는 본 논문에서 제안하고자 하는 백업 클럭 변환 기법에 대한 개념에 대해 도시하였다.

점차 안전사양이 요구되는 응용에 MCU를 적용하기 위해 기존의 방법은 별도의 고주파수 클럭으로 동작하는 Watch-dog 로직을 시스템에 포함시켜 메인 시스템 클럭 펄스의 duty를 관찰하여 시스템 클럭이 정해진

범위를 벗어나는지 모니터링 할 수 있으나 이러한 방법은 추가적인 고속 클럭소스가 필요하며 상시적으로 클럭을 모니터링 하기 위한 전력 소모가 발생하는 단점이 있다.

본 논문에서는 클럭 모니터링을 위한 추가적인 상시 전력 소모 없이, 노이즈 제거기와 에지 검출기만을 사용하여 비동기적으로 에러 상황을 자동 검출하고 이러한 상황에서 백업 신호 교환 시 글리치 없이 안정적으로 클럭 스위칭^[13]을 구현하기 위한 백업 클럭 제어 알고리즘 및 스위칭 하드웨어 구조를 제안 하고 이를 MCU에 통합하여 왜란에 대한 MCU 시스템 및 소프트웨어 동작 내성 수준을 향상시키는 것을 목표로 한다.

본 논문은 다음과 같이 구성된다. II장에서는 시스템 클럭의 왜란에 대응하여 클럭의 동작 범위를 스캔하여 오동작 상황을 감지하기 위한 엣지 검출기와 노이즈 제거기를 소개하고 이를 통합하여 안전한 백업 클럭 스위칭을 가능하게 하는 최종 시스템 구조를 설명한다. III장에서는 구현과 실험을 통해 향상된 노이즈 내성에 대한 결과를 보여주고 IV장에서 결론을 맺는다.

II. 본 론

1. System Architecture

본 논문에서 제안하는 온칩 글리치 프리 백업 클럭 변환 회로는 외부 전기적 노이즈에 의한 클럭 입력의 이상 상황을 감지하기 위한 노이즈 제거기(Noise

Canceller, NC)와 에지 검출기(Edge Detector, ED) 그리고 백업 클럭 소스로 스위칭하기 위한 글리치 프리 클럭 변환 회로(Glitch-Free Clock Changer, GFCC)로

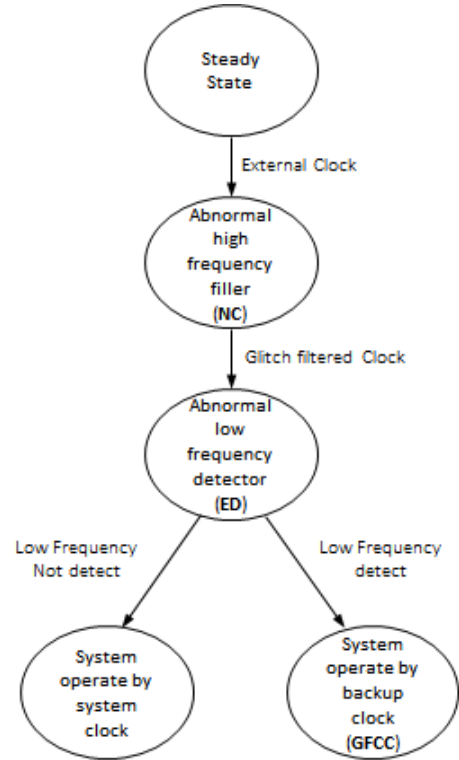


그림 4. 온칩 글리치 프리 백업 클럭 변환기 동작 흐름도

Fig. 4. Function flow chart of On-Chip Glitch-Free Backup Clock Changer.

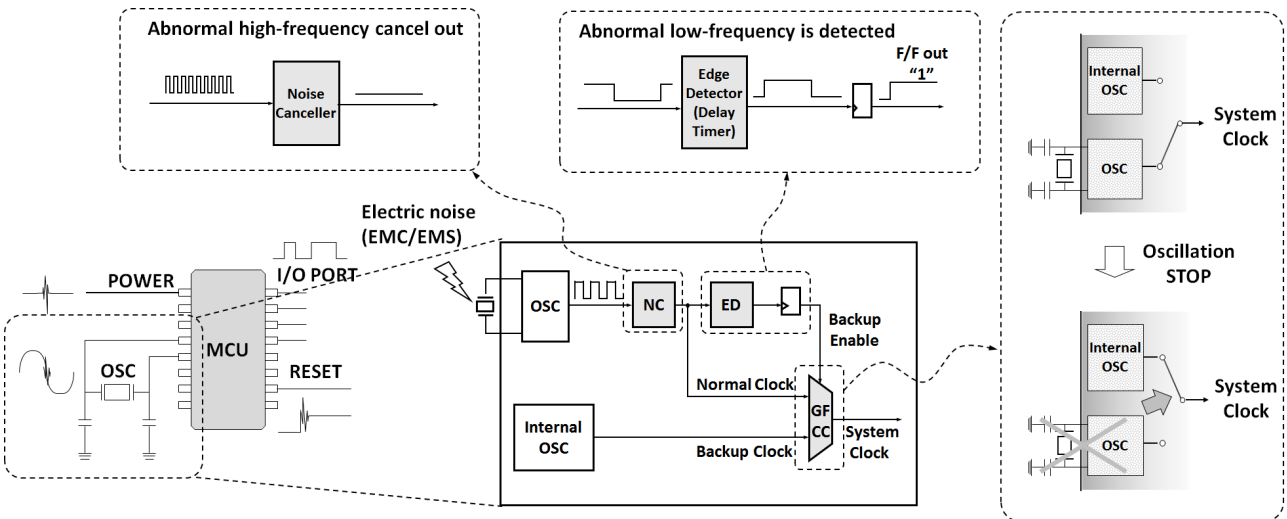


그림 3. 노이즈 제거기와 에지 검출기를 사용한 글리치 프리 백업 클럭 변환기
Fig. 3. Glitch-Free Backup Clock Changer using Noise Canceller and Edge Detector.

구성되며, 이에 대한 전체 블록도와 각 회로 동작에 대한 개념도는 그림 3에 명시되어 있다.

전체 회로의 동작 흐름을 그림 4의 플로우 차트를 바탕으로 살펴보면 그림 3에 도시되어 있는 MCU의 오동작을 유발 시키는 다양한 형태의 외부 입력 노이즈 중 시스템 클럭의 소스가 되는 OSC 단으로 전기적인 노이즈가 입력된다고 가정해보자, 노이즈 성분이 전파된 OSC의 클럭 출력을 1차적으로 노이즈 제거기를 이용하여 글리치성의 비이상적인 고주파수 성분을 필터링 하게 된다. 노이즈 제거기를 통해 필터링 된 클럭 입력은 다시 에지 검출기를 통해 입력 클럭의 저주파수 성분 혹은 클럭의 무발진 상태를 검출하게 된다. 만약 에지 검출기에 의해 입력 클럭의 이상 상황이 감지되면 백업 클럭을 활성화 시키도록 Backup enable 신호를 활성화 시켜 주고, 이 신호에 의해 글리치 프리 클럭 변환 회로는 기존의 외부 입력 클럭으로부터 백업 클럭으로 스위칭 되어 안정적으로 클럭이 공급될 수 있도록 해주며 이로 인해 MCU의 자동 클럭 에러 감지 동작을 가능케 하고, OSC단의 외부 노이즈로부터 시스템의 안정적인 동작을 보장해주게 된다.

2. Noise Canceller

제안하는 온칩 글리치 프리 백업 클럭 변환 회로에서 클럭의 첫 입력단에 노이즈 제거 회로를 구성하였다. 이는 클럭 입력단의 전기적 충격에 의해 기존 시스템 클럭에 글리치성 고주파수 성분의 노이즈가 입력되는 것을 필터링 하는 역할을 수행한다.

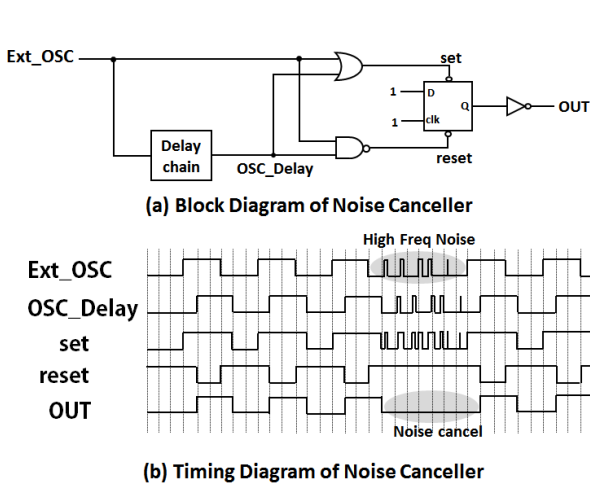


그림 5. 노이즈 제거기
Fig. 5. Noise Canceller

노이즈 제거기 회로의 구성은 Delay chain과 SR Latch 회로, NAND, OR, NOT 게이트의 조합으로 구성되어 있으며 이에 대한 블록도가 그림 5(a)에 명시되어 있다. 입력 클럭 신호는 Delay chain 회로를 거쳐 출력되며, 이 출력 신호와 입력 신호의 NAND, OR 게이트로 조합된 신호가 SR Latch회로의 Set과 Reset을 컨트롤 하는 입력 신호가 되는 조합을 통해 Delay chain의 Delay 값 이하의 주기로 입력되는 주파수 성분에 대해서는 글리치성 노이즈로 간주되어 필터링 되도록 되어 있다. 그림 5(b)의 타이밍도는 구성 회로의 입/출력 신호에 대한 파형을 보여줌으로서 노이즈 제거기에 대한 세부 동작을 알 수 있다.

3. Edge Detector

노이즈 제거기에 의해 글리치성 고주파 노이즈는 제거 되지만 입력 클럭의 발진 정지나 본래 주기보다 훨씬 더 긴 주기의 저주파 노이즈에 대한 위험성은 여전히 잔재 하게 되는데 이를 위해 에지 검출기 회로와 하나의 D 플립플롭을 적용하여 입력 클럭의 이상 상황을 감지하고, 글리치 프리 백업 클럭 변환기의 작동을 관장하는 동작 신호를 활성화 시키도록 회로를 구성하였다.

에지 검출기 회로에 대한 블록도는 그림 6(a)에 명시되어 있으며, 입/출력의 Delay 값이 상이한 Delay chain과 Delay buffer로 명명된 Delay 회로 두 개와 AND, OR, NOT 게이트 그리고 D 플립플롭 회로의 조합으로 구성된다. 그림 6(b)에 회로 동작에 대한 타이밍도에

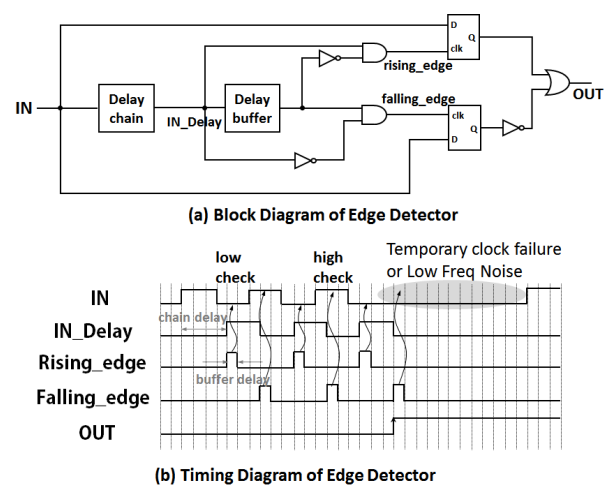


그림 6. 에지 검출기
Fig. 6. Edge Detector.

시되어 있듯이 노이즈 제거기를 거쳐 입력되는 클럭 신호는 Delay chain을 통해 일정 Delay 이후에 출력되고, 이 출력 신호는 Delay buffer 와 AND, NOT 게이트 조합으로 생성된 rising/falling 에지 신호에 의해 일정한 타이밍에 High or Low 상태를 각각 체크하여 입력 신호가 주기적으로 토글링이 되는지 센싱하게 되고 토글링이 없는 경우 백업 클럭을 활성화 시키는 신호를 전달하게 된다.

4. Glitch-Free Clock Changer

에지 검출기에 의해 백업 클럭이 활성화되는 상황이 되면 시스템 클럭의 안정적인 공급을 위해 자동으로 기존의 외부 입력 클럭에서 내부의 백업 클럭으로 스위칭을 해야 하는데 이 스위칭 동작 시에도 글리치가 발생되지 않는 안정적인 스위칭 동작을 보장하기 위해 글리치 프리 클럭 변환 회로를 적용 하였으며, 이에 대한 블록도는 아래 그림 7(a)에 명시되어 있다.

기존 입력 클럭과 백업 클럭에 의해 각각 따로 동작되어 동작되는 D 플립플롭 두 개와 AND, OR 등의 게이트 조합에 의해 구성되어 있다.

그림 7(b)은 제안된 백업 클럭 변환기의 글리치 제거 동작 파형을 보여준다. 클럭 스위칭을 위한 백업 클럭 활성화 신호가 유효한 상태가 되어도 즉각적으로 스위

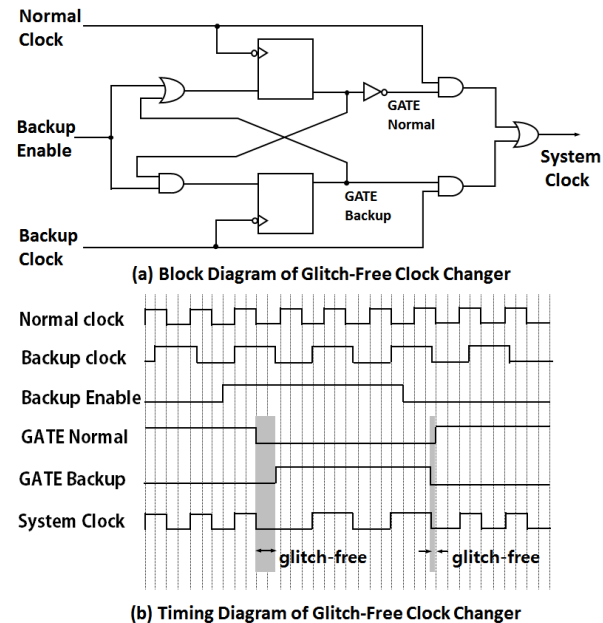


그림 7. 글리치 프리 백업 클럭 변환기
Fig. 7. Glitch-Free Backup Clock Changer.

칭 동작이 이루어지지 않고, 각각의 클럭에 의해 생성된 AND 게이팅 신호에 의해 기존 클럭의 High full duty를 보장하여 주고, 클럭이 스위칭 되는 순간에 글리치 성분이 발생 되지 않는 상태로 유지 시킨 후 스위칭 동작을 진행 하게 된다.

이 경우 클럭 전환과정에서 과도(transient) 구간이 발생하는데 이는 기존의 외부 클럭이 스위칭 회로를 통해 내부 백업 클럭으로 전환되는 과정에 Noise Canceller와 Edge Detector를 거치면서 어느정도 Delay 이후에 다른 주파수의 성분의 내부 클럭으로 전환되고 이후에 외부클럭이 다시 안정화가 되면 기존 외부 클럭으로 복원 되어 시스템이 동작하는 형태로 구현하였다.

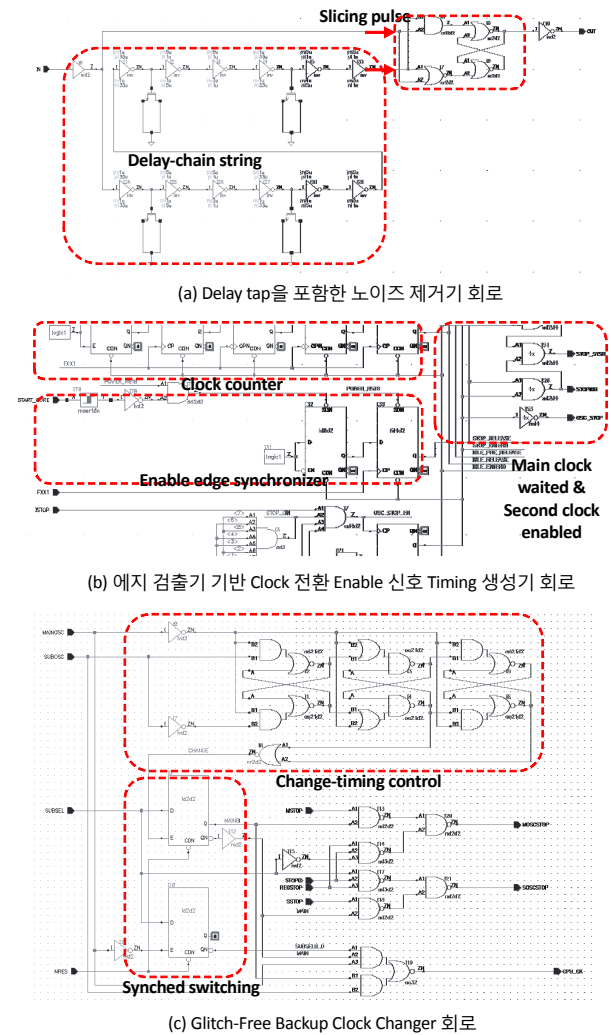


그림 8. 제안한 구조의 회로 구현
(Cadence Virtuoso Schematic Editor 캡처)
Fig. 8. Implemented circuit design.
(using Cadence Virtuoso Schematic Editor)

III. 실험

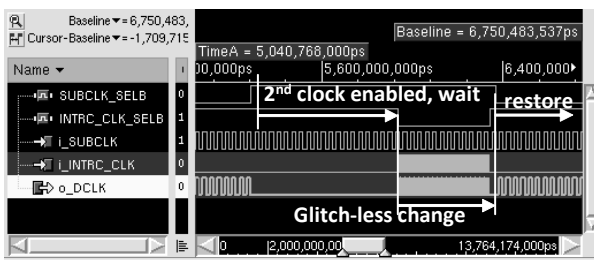
외부 시스템 클럭의 형태를 관찰하고 정해진 주파수 범위에 들어오지 않을 경우를 감지하고 백업하기 위해 전용 하드웨어를 추가하였으며, 이에 대한 회로는 그림 8에 도시되어 있는 바와 같이 cadence virtuoso schematic editor를 이용하여 구현하였다. 본문 2장에서 제안한 각 회로별로 동작 파형에 대한 결과를 얻기 위해 Verilog Functional Simulation을 통해 실질적인 회로의 동작 검증은 시뮬레이션 하였으며, 이에 대한 결과를 그림 9와 같이 cadence simvision simulator를 통해 파형으로 확인할 수 있었다.

제어기 부분에 대한 칩 사이즈 측정을 위해 매그나칩 0.18um 공정 라이브러리를 사용하였으며, 측정 결과 NAND gates 기준 대략 1200 gates가 사용되며 대부분의 하드웨어 오버헤드는 긴 시간 타이머 동작효과를 얻기 위한 delay-chain을 위한 것으로 synchronizer를 위한 로직회로는 약간의 사이즈 오버헤드만 요구된다. 내부 전용 클럭 생성기가 별도로 추가되어야 하나 정확한 주파수를 보장할 필요 없이 외부 클럭이 안정화 될 때까지 클럭 출력이 유지되도록 백업만 하는 목적으로 사용되어 단순 RC발진 타입으로 구현하여 회로 사이즈

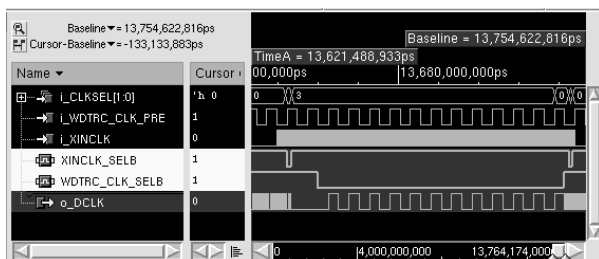
는 무시할 만하였다.

제안하는 본 기법은 클럭 신호의 정상유무를 판별하기 위해 펄스 간 간격을 비 동기 delay회로기반 타이머 측정을 수행하는 약간의 logic회로의 조합을 필요로 하고, 내부 클럭으로 전환 시 발생하는 글리치를 제거하기 위한 클럭 엣지 기준으로 동기를 맞추는 회로가 필요하며 추가되는 하드웨어의 대부분은 타이머의 동작을 수행하는 delay chain이 대부분이며 나머지 회로의 동작은 수 클럭 내로 모두 완료되는 간단한 회로를 고안하였다. 그러나 delay chain의 크기를 줄이기 위해 온도 편차의 고려가 안 된 RC기반 회로를 삽입하여 회로 동작시 전원전압과 온도 편차에 따라 시스템 클럭 판정에 영향을 주어 오류가 발생할 것으로 보인다. 현재 온칩 내부에 있기 때문에 외부 노이즈에 의한 영향은 최소화되나 전원전압 영향, 온도조건 변화에 따른 백업회로의 오동작 여부는 향후 연구에서 반드시 고려되어야 할 사항이다.

각 회로의 개별 검증과 더불어 MCU에 내장된 상태의 시스템 동작을 검증하기 위해 synopsys nanosim(c)을 사용하여 시스템 전체적인 기능적 동작검증과 함께 회로레벨 동작을 동시에 검증하였으며, 전원 전압을 통해 노이즈를 인가한 상황에서 입력 클럭이 unsafe하게 오동작하는 현상을 재현하기 위해 클럭 생성기 회로의 SPICE 시뮬레이션을 그림 10과 같이 진행하였다. 외부 클럭이 정상보다 빨라지는 노이즈 주입 상태의 경우 차단하는 동작을 확인하였고, 추가적으로 클럭 발진이 정지하는 경우라도 내부 클럭으로 대체되고 다시 정해진 시간 안에 외부 클럭이 정상적으로 발진할 경우 다시 클럭을 복원하는 동작을 확인하였으며, 0.35um CMOS공정에서 기 개발된 마이크로컨트롤러에 본 기



(a) Changing from slow external clock to fast internal clock



(b) Iterative clock switch (fast internal clock → external clock → slow internal clock)

그림 9. Verilog 시뮬레이션 결과
(Cadence NCVerilog simulator 이용)

Fig. 9. Verilog simulation result using Cadence NCVerilog simulator.

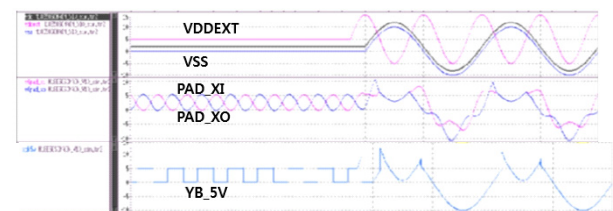


그림 10. 전원전압 Impulse Noise를 통해 clock path로 왜란이 인가 될 경우 칩 내부에 주입되는 clock unsafe 동작에 대한 SPICE 시뮬레이션 결과

Fig. 10. Unsafe simulation result using SPICE under external noise injection through VDD impulse noise.

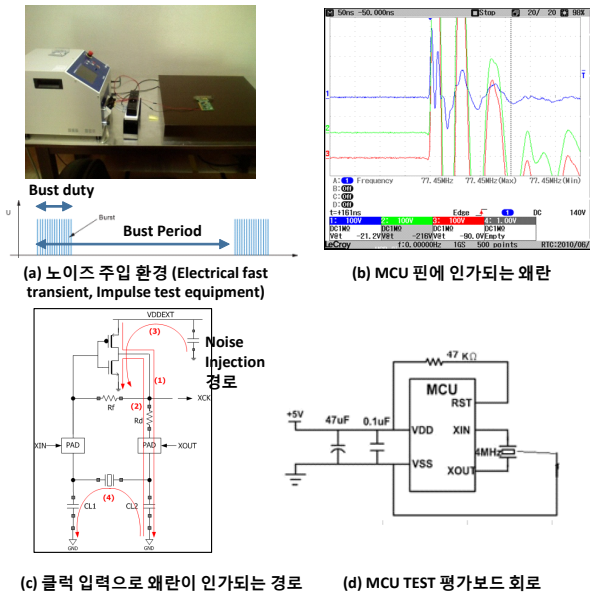


그림 11. Impulse Noise Injection 통한 Clock Abnormal 시 동작 특성 평가

Fig. 11. Operation evaluation under abnormal clock environment by Impulse noise injection.

법을 추가적으로 적용하여 제조된 샘플 칩에 대해 보드에서 실장 하여 실제 노이즈에 대한 성능 테스트를 수행하였다.

그림 11은 실장 테스트를 수행한 환경 및 실험 방법을 나타낸 것으로 성능을 효과적으로 평가하기 위해 직접적인 노이즈 주입 상황을 재현하고자 그림 11(a)와 같이 전원전압 핀을 거쳐 클럭 생성기 경로에 직접 노이즈를 인가되는 환경을 구성하였고, 그림 11(d) 와 같이 구현된 평가보드를 통해 그림 11(c)의 경로로 노이즈가 VDD단을 거쳐 인가되도록 테스트 보드를 구성하여 정상동작 시 MCU출력 신호에 의해 LED가 점멸 되도록 펌웨어를 구동하였다.

기존에 만들어진 마이크로컨트롤러의 성능과 본 기법에 기반을 둔 하드웨어 및 제어 알고리즘을 적용 했을 때의 실장 성능 평가를 위해 그림 11(b)과 같이 칩의 외부 핀에 원하는 주파수 범위의 노이즈를 강제로 인가한 뒤, 칩 내부에서 최종 시스템 클럭에 영향을 얼마나 받는지를 그림 12와 같이 스펙트럼 형태로 표현하였다.

그림 11(b)의 외부에서 강제로 인가하는 노이즈 신호 성분은 주파수 변화 범위와 클럭 신호의 진폭이 동시에 변하는 형태를 보이며, 입력의 진폭 크기에 의한 칩 내부 영향은 핀의 패드에 있는 ESD 회로를 통한 클램핑

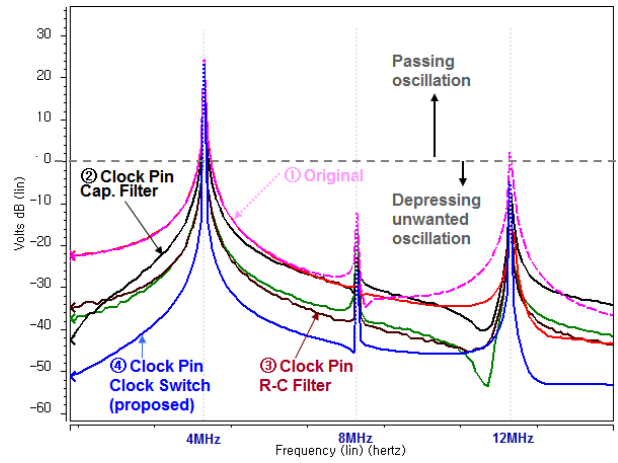


그림 12. Clock 필터링(통과, 선택, 스위칭) 성능 비교
Fig. 12. Clock Bypassing, Selecting, and Switching Performance Comparison.

을 통해 그 영향을 무시하였고 내부로 침투하는 노이즈의 주파수 성분에 대한 내부 클럭의 영향을 그림 12에서 보여준다. ①의 결과는 아무런 신호처리를 하지 않는 일반적인 구조에 대한 결과이며, 본 논문에서 제안한 정해진 범위의 클럭 입력 주파수 인식, 통과, 억제, 및 내부 백업 클럭으로 전환 과정을 통해 ④와 같이 원치 않는 신호 억제에 대한 가장 좋은 효과를 볼 수 있었다. ②③의 결과는 일반적인 노이즈 대비 클럭 신호의 안전성을 강화하기 위해 쉽게 삽입할 수 있는 R,C 기반 필터링만을 적용했을 때의 결과이다.

서론에서 언급한대로 종래에는 Watch-dog 이라는 동기방식의 하드웨어를 이용하여 시스템의 오동작 상황을 모니터링하는 방식으로 지속적인 모니터링을 위해 고속의 클럭 소스가 항상 발진해야 하는 구조이며, 본 논문에서 제안하는 방식은 비이상적인 상황에서만 저속의 내부 백업 클럭이 활성화 되어 동작하기 때문에 기존 대비 전력 소모가 작을 것으로 판단되나, 이에 대한 실질적인 전력 소모 차이를 실장 상황에서 순간적으로 측정하기에는 어려움 있었으며, 향후 회로 수정시 테스트모드 등을 추가하여 별도의 전력 측정 방법을 고안할 필요가 있다.

IV. 결 론

임베디드 마이크로컨트롤러에서 시스템 클럭은 해당 시스템의 안정적인 동작을 위해 상당히 중요한 요소이며, 산업 안전 및 자동차 안전 시스템 등의 주요 안전

시스템 및 mission-critical 시스템에서의 마이크로컨트롤러 사용이 확대 되고 있다.

본 논문에서는 마이크로컨트롤러의 응용 시스템 상황에서 발생할 수 있는 외부 전기적 노이즈로부터 시스템 클럭을 보호하는 방법의 하나로 노이즈 제거기와 에지 검출기를 이용한 글리치 프리 클럭 변환 기법을 제안하고 해당 기법에 대한 회로 구현에 목적을 두었다.

제안된 자동 온칩 글리치 프리 백업 클럭 변환 기법을 통해 마이크로컨트롤러의 동작 과정에 발생하는 시스템 클럭 입력 소스의 오류 여부를 실시간으로 모니터링하고 자동으로 백업 클럭으로 변환함으로써 안정적인 시스템 동작을 가능케 하였다.

REFERENCES

- [1] R.Mariani, P. Fuhrmann, and B.Vittorelli, "Fault-robust microcontrollers for automotive applications," in On-Line Testing Symposium, 2006. IOLTS 2006. 12th IEEE International, 0-0 2006, p. 6 pp
- [2] G. Buja and R.Menis, "Dependability and functional safety: Applications in industrial electronics systems," Industrial Electronics Magazine, IEEE, vol. 6, no. 3, pp. 4 -12, sept. 2012.
- [3] H. Gall, "Functional safety iec 61508 / iec 61511 the impact to certification and the user," in Computer Systems and Applications, 2008. AICCSA 2008. IEEE/ACS International Conference on, March 2008, pp. 1027 - 1031.
- [4] S. Ben Dhia, S. Baffreau, S. Calvet, and E. Sicard, "Characterisation of microcontroller electromagnetic emission: models for an international standard," in Devices, Circuits and Systems, 2002. Proceedings of the Fourth IEEE International Caracas Conference on, 2002, pp. I030 - I1 - 8.
- [5] T. Tamandl and P. Preininger, "Online Self Tests for Microcontrollers in Safety Related Systems," 2007 5th IEEE International Conference on Industrial Informatics, vol. 1, pp. 137 - 142, 2007.
- [6] W. Lyons., "Enabling increased safety with fault robustness in microcontroller applications," ARM Corporation, 2009.
- [7] S. A. Skavhaug and O. Pettersen, "Micro-FaultTolerant (μ FT)-a system for achieving cost effective fault tolerance in microcontroller based equipment," in Real-Time Systems, 1995. Proceedings., Seventh Euromicro Workshop on. IEEE Computer Soc. Press, 1995, pp. 344 - 351.
- [8] D. Park and T. G. Kim, "Safe memory read-path using silent crc calculation of binary bit-inversion for low-power fast rom integrity verification," in Consumer Electronics in Berlin (ICCE-Berlin), 2013. ICCE-Berlin 2013. IEEE Third International Conference on, Sept 2013, pp. 300 - 313.
- [9] C. Metra, M. Omana, T. Mak, and S. Tam, "New design for testability approach for clock fault testing," Computers, IEEE Transactions on, vol. 61, no. 4, pp. 448 - 457, april 2012.
- [10] I. E. Commission, "IEC-60730 official website," in Specification 60730-2, 2015. [Online]. Available: <http://www.iec.ch>
- [11] H.-N. Lin, C.-W. Kuo, C. kuo Chen, and J.-S. Chen, "Analysis of emi effect on flash memory ic," in Electromagnetic Compatibility (APEMC), 2012 Asia-Pacific Symposium on, may 2012, pp. 757 - 760.
- [12] J. An, J. Cho, and D. Park, "On-chip glitch-free backup clock changer using noise canceller and edge detector for automatic mcu clock failure protection," in The 10th International Symposium on Embedded Technology, Jun. 2015, pp. 38.39.
- [13] H. Wang, Y. Zhang, X. Li, L. Chen, Z. Wen, K. Zhang, and M. Wang, "A configurable fault-tolerant glitch-free clock switching circuit," in Circuits and Systems (MWSCAS), 2013 IEEE 56th International Midwest Symposium on, Aug 2013, pp. 537 - 540.

저 자 소 개



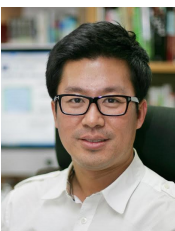
안 중 현(학생회원)
2007년 충북대학교 전자공학과
공학사
2015년~현재 경북대학교
전자공학부 석사과정

<주관심분야 : 저전력 VLSI 설계, 스마트 IoT, 프
로세서 아키텍처>



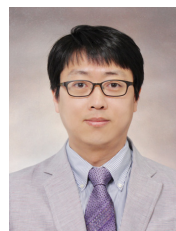
윤 지 애(학생회원)
2013년 영남대학교 정보통신과
공학사
2013년~현재 경북대학교
전자공학부 석사과정

<주관심분야 : 자동차용 ECU 설계, 제어기 안전
성, 모델기반 ECU 설계>



조 정 훈(정회원)
1996년 KAIST 전기 및 전자공학
과 공학사
1998년 KAIST 전기 및 전자공학
과 공학석사
2003년 KAIST 전기 및 전자공학
과 공학박사

2003년~2005년 하이닉스반도체 선임연구원
2005년~현재 경북대학교 전자공학부 부교수
<주관심분야 : 최적화 컴파일러, 운영체제, 임베
디드시스템 설계자동화, 자동차 Safety>



박 대 진(정회원)
2001년 경북대학교 전자공학과
공학사
2003년 KAIST 전기 및 전자공학
과 공학석사
2014년 KAIST 전기 및 전자공학
과 공학박사

2003년 7월~2006년 2월 하이닉스반도체 연구원
2006년 3월~2008년 2월 삼성전자 System LSI
차세대 설계팀 선임연구원
2008년 3월~2014년 3월 ABOV Semiconductor
MCU설계팀 수석연구원
2014년 8월~현재 경북대학교 전자공학부
초빙교수

(2014년 대통령 Postdoctoral Fellow 선정)
<주관심분야 : 저전력 SoC 설계, 하드웨어-소프
트웨어 Co-design, Dependable 스마트 IoT 시스
템, Robust 임베디드 시스템>