

DPS(Double Polarity Source) 구조를 갖는 고전압 동작용 EDNMOS 소자의 정전기 보호 성능 개선

서용진*, 양준원** 정회원

Improvement of ESD Protection Performance of High Voltage Operating EDNMOS Device with Double Polarity Source (DPS) Structure

Yong-Jin Seo*, Jun-Won Yang** *Regular Members*

요 약

본 논문에서는 고전압에서 동작하는 마이크로칩의 안정하고 튼튼한 정전기 보호 성능을 구현하기 위해 이중 극성 소오스를 갖는 DPS_EDNMOS 변형소자가 제안되었다. 제안된 DPS는 N+ 소오스로 부터 전자 풍부 영역이 측면 확산되는 것을 방지하기 위해 N+ 소오스 측에 P+ 확산층을 의도적으로 삽입한 구조이다. 시뮬레이션 결과에 의하면 삽입된 P+ 확산층은 고전압 주입에 의해 발생하는 깊은 전자채널의 형성을 효과적으로 막아주고 있음을 알 수 있었다. 따라서 종래의 EDNMOS 표준소자에서 문제시되었던 더블 스냅백 현상을 해결할 수 있었다.

Key Words : ESD (Electrostatic discharge), EDNMOS (Extended Drain N-type MOSFET), DPS(Double Polarity Source), Double Snapback, Channel Blocking

ABSTRACT

In this paper, modified EDNMOS device with DPS (double polarity source) structure are suggested to realize stable and robust ESD (electrostatic discharge) protection performance of high voltage operating microchip. This DPS structure inserts the P+ diffusion layer on N+ source side, which is intended to block lateral extension of the electron rich region from N+ source side. Based on our simulation results, the inserted P+ diffusion layer effectively prevents the formation of deep electron channeling induced by high electron injection. As a result, our proposed DPS_EDNMOS devices could overcome the double snapback effect of conventional Std_EDNMOS device.

I. 서 론

우주의 플라즈마 환경에서 위성시스템에 탑재된 디스플레이 구동용 마이크로칩에서 정전기(electrostatic discharge; ESD) 방전이 초래되면, 전자장치의 오동작을 일으키고 물리적인 손상을 주어 열적/전기적 성질의 성능을 저하시키는 등의 문제점이 나타날 수 있다. 위성 시스템의 목적, 구성, 전원 및 궤도환경에 따라 다르게 결정되어야 하겠지만, ESD 방지 대책이 위성 시스템 설계 및 운용환경에 적합하게 적용되어야 하기 때문에[1], ESD 방지는 반도체 소자의 개발초기부터

신중하게 다루어져야 한다. 따라서 위성시스템에 사용되는 마이크로 칩을 제조에 있어서 외부 정전기로부터 칩 내부 회로를 보호하는 것은 매우 중요하다[2][3][4][5].

그동안 N형 MOSFET(NMOS) 소자가 I/O 셀(Input/Output cell) 응용을 위해 ESD 보호소자로 채택되어 왔다. 그러나 고전압에서 동작하는 NMOS 소자에서는 안정한 ESD 보호 성능을 얻기 어려웠다. 그 이유는 NMOS 소자가 ESD 스트레스에 대해 안정하지 못해 매우 강한 스냅백(strong snapback) 현상이 발생하기 때문이었다[6][7][8]. 이러한 문제점을 해결하여 안정한 ESD 보호 성능을 달성하기

* 본 연구는 2014년도 세한대학교 교내연구비 지원에 의해 수행하였음.

*세한대학교 나노정보소재연구소(syj@sehan.ac.kr)

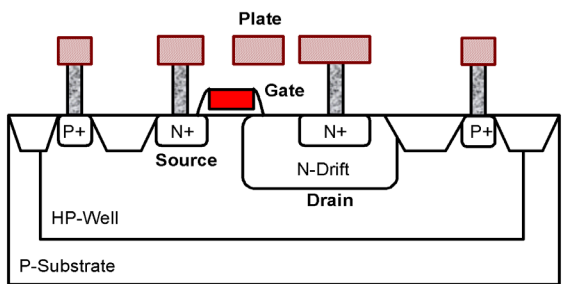
**세한대학교 컴퓨터교육과 (jwyang@sehan.ac.kr), 교신저자 : 양준원

접수일자 : 2014년 4월 28일, 수정완료일자 : 2014년 5월 19일, 최종 게재확정일자 : 2014년 5월 21일

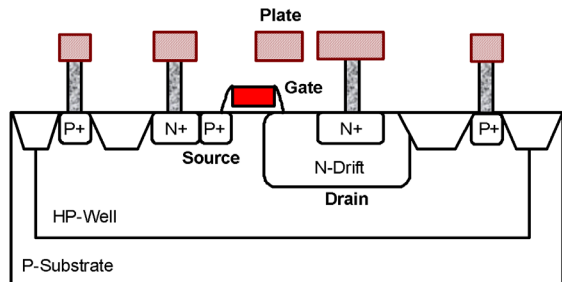
위해 NMOS 소자의 구조를 변경한 많은 연구가 있었으나, 부분적인 성공만 제안되었을 뿐이다[9][10][11][12][13][14]. 따라서 고전압 영역에서 동작하는 NMOS 소자에서 안정한 ESD 보호 성능을 구현하기 위해서는 고전류 영역에서 발생하는 더블 스냅백(double snapback) 메커니즘의 이해가 선행되어야 한다[2][4]. 최근에 고전압 동작용 NMOS 소자는 더블 스냅백 현상을 보이며, 2차 온 상태(on-state)는 매우 낮은 스냅백 홀딩(snapback holding) 전압에 기인한다고 보고된 바 있다[4][14]. EDNMOS에서 발생하는 제반 문제점들은 고전류 상황에서 소자가 1차 온 상태에서 2차 온 상태로 전이하기 때문에 발생한다. 이와 관련된 메커니즘은 고전자 주입(high electron injection)에 의해 베이스 푸쉬 아웃(base push-out)과 깊은 전자 채널링(deep electron channeling)을 일으키기 때문인 것으로 알려져 있다[15] [16][17]. 따라서 안정적인 ESD 보호 성능을 구현하기 위해서는 공정 조건이나 소자 구조를 변경하여 2차 온 상태로 전이하는 것을 방지할 필요가 있다. 이러한 목적을 달성하기 위해 기존의 EDNMOS 표준소자의 구조를 변형 설계하고, 시뮬레이션을 통해 분석 고찰함으로써 향후 우주환경에 더욱 적합한 이상적인 ESD 보호 소자를 제안하고자 한다. 그 해결방안은 N+ 소오스 측면에 부가적인 P+ 확산층을 삽입하는 이중 극성 소오스(double polarity source; 이하부터 DPS라고 칭함) 구조를 사용한 채널 차단(channel blocking)이 더 효과적인 ESD 보호 특성을 얻는 방법이 될 수도 있음을 제안하였다.

II. 소자구조 및 분석 방법

1. 소자 구조



(a) EDNMOS 표준소자의 구조[4]



(b) 본 논문에서 제안하는 DPS 구조를 갖는 EDNMOS 변형소자의 개략도
 그림 1. 고전압 동작용 EDNMOS 소자의 개략도

표 1. 본 논문에서 제안하는 DPS 구조의 특징

소자 구조	소자 구조의 특징 (추가된 P+ 확산층의 폭 및 이온주입량의 변화)
HDPS 구조	소오스 영역의 1/2은 N+ 활성 이온주입(As, 5.0E15cm ⁻³)을 행하고, 나머지 1/2은 P+ 활성 이온주입(BF2, 3.0E15cm ⁻³)을 수행한 구조
QDPS 구조	소오스 영역의 3/4은 N+ 활성 이온주입(As, 5.0E15cm ⁻³)을 행하고, 나머지 1/4은 P+ 활성 이온주입(BF2, 3.0E15cm ⁻³)을 수행한 구조
ADPS 구조	소오스 영역 전체에 N+ 활성 이온주입(As, 5.0E15cm ⁻³)을 행하고 나서, 오른쪽 1/2 영역에만 추가적으로 P+ 활성 이온주입(BF2, 3.0E16cm ⁻³)을 수행한 구조

앞서 설명한 것처럼 EDNMOS가 2차 온 상태로 전이하는 이유는 고전류 상황에서 소오스에서 주입되는 전자들이 게이트 하부에 채널을 형성하기 때문으로 알려져 있다[16][17]. 따라서 소오스 영역을 형성할 때, 그림 1(b)에 도시한 바와 같이 기존의 N+ 소오스 확산층 바로 옆에 P+ 확산층을 추가함으로써 의도적으로 채널을 차단시키는 것이다. 이 P+ 확산층을 기존의 N+ 소오스 확산영역과 N+ 드레인 확산영역 사이에 배치시키면 게이트 하부에 전자 채널링이 발생하는 것을 방지할 수 있게 된다. 즉, 추가된 P+ 확산층이 N+ 소오스 확산층에서 주입되는 전자의 흐름을 방해하기 때문에 전자들이 게이트 하부로 바로 흐르지 못하고 소자의 깊이 방향으로 고르게 분산되는 효과가 있다. 따라서 소자가 2차 온 상태로 전이하지 못하고 1차 온 상태에 계속하여 머물러 있게 되므로 더블 스냅백 현상을 막을 수 있다. 그림 1(a)와 같은 기존의 EDNMOS 표준소자에 그림 1(b)와 같은 DPS 구조를 삽입한 DPS_EDNMOS 변형소자를 각각 2차원 소자시뮬레이션을 통해 분석하였다. 또한 추가된 P+ 확산에 의한 채널 차단 효과가 P+ 확산층의 폭 및 P+ 이온주입량에 따라 달라질 것으로 예상하고 표 1에 보인바와 같이 각각 3가지 조건으로 스플릿하여 I-V 특성 및 등고선(contour) 분포를 분석하였다.

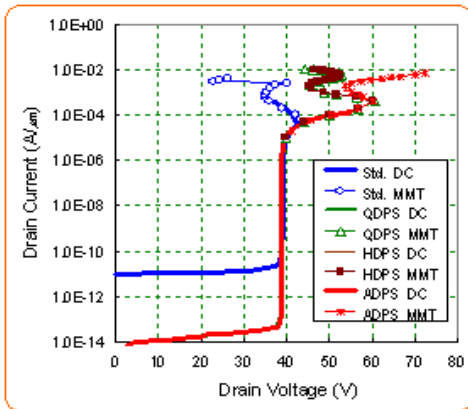
그림 1은 고전압 동작용 EDNMOS 소자의 개략도를 보인 것이다. 그림1(a)는 이전에 보고한 바 있는 EDNMOS 표준소자의 구조[4]이고, (b)는 본 논문에서 새롭게 제안하는 DPS 구조가 삽입된 변형소자의 구조를 개략적으로 나타낸 것이다. 그림 1(b)에 보인 DPS 구조는 표 1에 보인 바와 같이 3개의 구조로 변형하여 공정 및 소자시뮬레이션을 진행함으로써 ESD 특성을 분석하였다.

2. 시뮬레이션 분석 방법

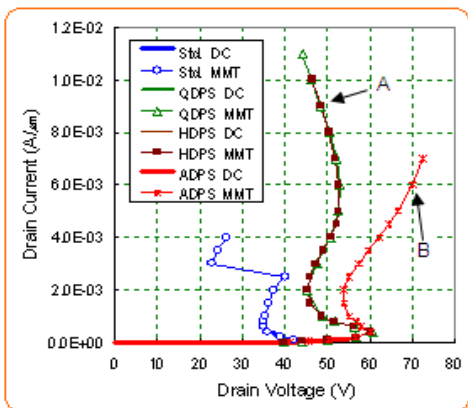
본 연구에 사용된 시뮬레이션 분석 방법은 본 연구팀이 발표한 논문에서 잘 요약되어 있다[2][3][4][5]. EDNMOS 소자의 고전류 동작 특성은 열적효과(thermal effect)가 포함된 2차원 시뮬레이션을 사용하여 분석하였다. EDNMOS 소자들은 0.18μm_30V의 표준 고전압 공정을 적용한 TSUPREM4 (Synopsys Co.) 공정 시뮬레이터를 사용하여 제작되었다. 전류-전압(I-V) 특성과 이와 관련된 물리적 특성 값들은

DESSIS(Synopsys Co.) 소자 시뮬레이터를 사용하여 분석하였다. HBM(human body model)의 ESD 스트레스를 시뮬레이션 하기 위해 MMT(mixed mode transient) 시뮬레이션이 10ns의 상승시간(rise time)과 100ns의 지속시간(duration time)을 갖는 사다리꼴 전류펄스를 적용하여 수행하였다. TLP(transmission line pulse) 테스트 시스템인 Barth 4002가 EDNMOS 소자의 고전류 반응을 모니터링 하기 위해 사용되었다. 측정 동안 펄스의 상승시간과 지속시간은 각각 10ns와 100ns를 유지해 주었다. 특성 분석은 0.18 μ m_30V의 표준 고전압 공정에서 수행되었으며, EDNMOS 소자의 BDC(background doping concentration)를 효과적으로 변화시키기 위해 HP-Well 이온주입량과 N- 드리프트 이온주입량을 각각 변화시켜 가며 매트릭스 조합(matrix combination)에 의한 수차례의 반복 시뮬레이션을 수행하였다[4].

III. 결과 및 고찰



(a) Off 상태 (누설전류)

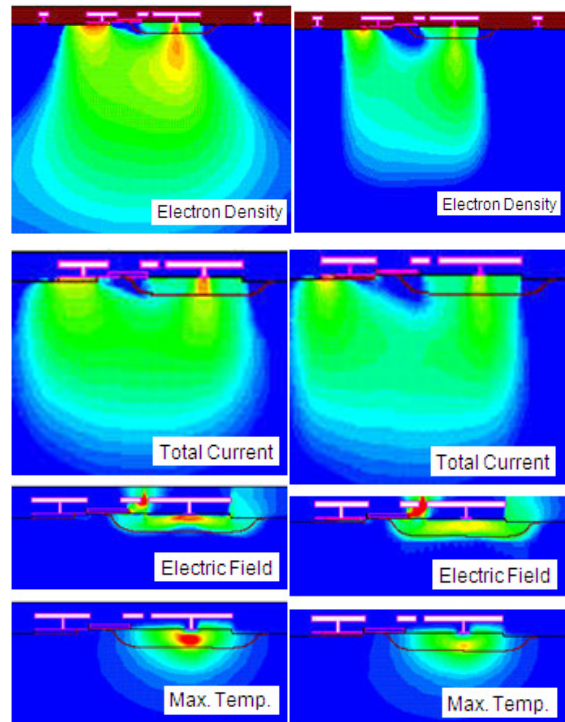


(b) On 상태 (고전류)

그림 2. 기존의 EDNMOS 표준소자와 본 연구에서 제안하는 3개의 DPS 구조를 갖는 DPS_EDNMOS 변형소자의 전류-전압 특성 (A 포인트 : HDPS_EDNMOS 구조, Current = 9.0mA/um, B 포인트 : ADPS_EDNMOS 구조, Current = 6.0mA/um)

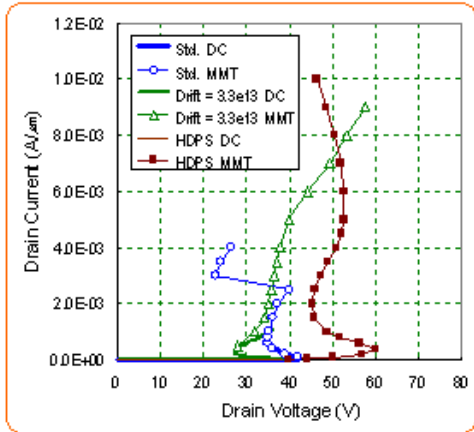
앞서 보고한 결과[4]에 의하면 공정 파라미터들 중에서 드리프트 이온주입량(dose)를 적절히 조절하면 고전류 상황에서 소자가 1차 온 상태에서 2차 온 상태로 전이하는 것을 막고, 더 안정적인 ESD 보호 성능을 구현할 수 있는 것으로 나타났다. 그러나 드리프트 이온주입량을 계속 증가시킬 경우 소자의 애발란치 브레이크다운 전압(avalanche breakdown voltage)이 낮아지는 결과를 초래하여 동작전압이 30V보다 큰 경우에는 적용할 수 없다. 즉, 애발란치 브레이크다운 전압은 그대로 유지하면서 2차 온 상태로의 전이를 막기 위해서는 EDNMOS 표준소자에 적용한 웰 이온주입, 드레인 드리프트 이온주입, 드레인 활성 이온주입 조건들은 그대로 유지하면서[4] 소오스 쪽의 이온주입 조건 또는 소오스의 구조를 바꾸는 방법이 대안이 될 것으로 생각된다.

그림 2는 본 연구에서 제안하는 3개의 DPS(HDPS, QDPS, ADPS) 구조에 따른 전자채널의 변화를 고찰하기 위해 시뮬레이션된 전류-전압(I-V) 특성을 나타낸 것이다. EDNMOS 표준소자에 비해 3개의 DPS 구조는 향상된 I-V 특성을 나타내었으며, 특히 ADPS 구조는 예상했던 대로 더블 스넬백 현상이 억제되고 있음을 알 수 있다. 즉, P+ 확산층을 기존의 N+ 소오스 확산층과 N+ 드레인 확산층 사이에 배치하면, 추가된 P+ 확산층이 N+ 소오스 확산층에서 주입되는 전자의 흐름을 방해하여, 게이트 하부에서 전자 채널링이 형성되는 것을 차단하기 때문에 소자에 열적 브레이크다운(thermal breakdown)이 발생할 때까지 1차 온 상태를 유지하도록 강제할 수 있는 것으로 생각된다. 이는 그림 2에 보인 바와 같이 표준소자 및 QDPS/HDPS 소자에서는 더블 스넬백 현상이 나타났으나, ADPS 구조에서는 더블 스넬백 현



(a) HDPS 구조 (b) ADPS 구조

그림 3. 전자채널에 대한 각 DPS 구조의 등고선 분포



(a) 드리프트 이온주입량이 $1.1E13cm^{-3}$ 인 EDN MOS 표준소자 (○)
 (b) 드리프트 이온주입량이 $3.3E13cm^{-3}$ 인 EDN MOS 표준소자 (△)
 (c) HDPS_EDNMOS 변형소자 (■)

그림 4. 표준소자와 변형소자의 I-V 특성

상이 억제되고 있는 것을 통해 확인할 수 있다. 이상과 같은 3개 구조의 DPS_EDNMOS에 대해 시뮬레이션을 진행 한 결과, 애발란치 브레이크다운 전압은 표준구조의 EDNMOS와 동일하면서도 현저하게 개선된 ESD 보호 성능을 구현할 수 있음을 알 수 있었다. 즉, QDPS/HDPS 구조보다는 ADPS 구조에서는 더블 스냅백 현상이 나타나지 않는 개선된 특성을 나타내었다.

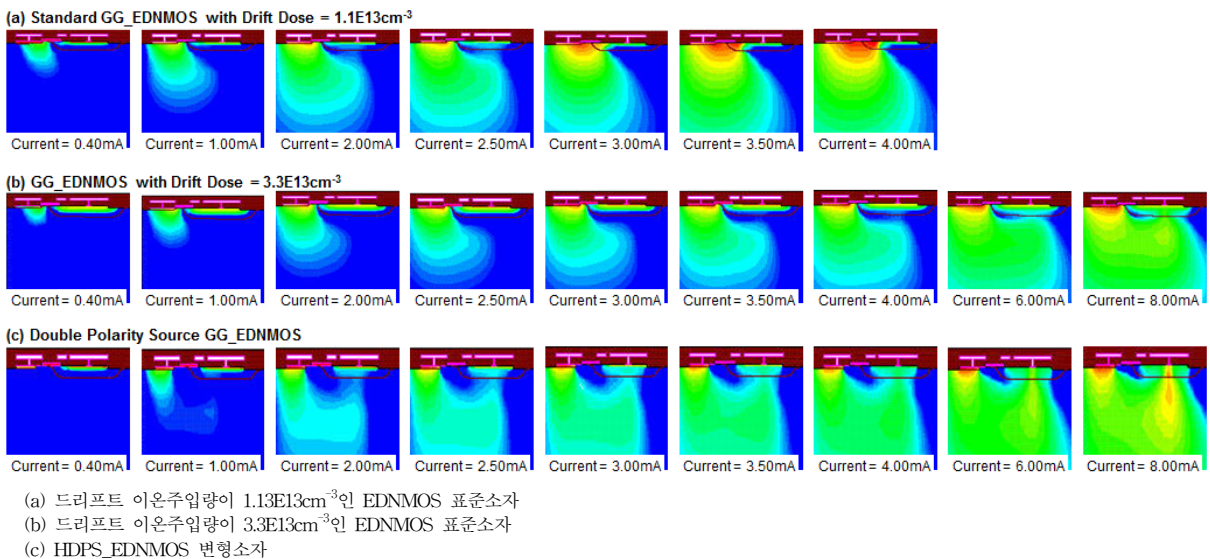
그림 2에서 예상했던 채널 차단 현상은 그림 3에 보인 등고선(contour) 분석 결과를 통해 명확히 확인할 수 있었다. 즉, 열적 브레이크다운 현상이 발생할 때까지 전자 채널이 형성되지 않고, 전계가 고르게 분산되는 양상을 나타내고 있음을 볼 수 있다. 즉, DPS_EDNMOS 변형소자는 EDNMOS 표준소자에 비해 현저하게 개선된 ESD 보호 성능을 구현할 수 있었다. 앞서 설명한 것처럼, 추가하는 P+ 확산층의 폭 및 P+ 이온주입량을 일정한 임계값으로 조절하면 전자 채널링

및 2차 온 상태의 발현을 확실하게 방지하는 효과가 있음을 의미하는 것이다.

그림 4는 전자 밀도의 전류 의존성을 알아보기 위한 I-V 특성을 나타낸 것이다. 그림 4(a)에 보인 이온주입량이 $1.1E13cm^{-3}$ 인 EDNMOS 표준소자(○)는 소오스에서 드레인 쪽으로 확장되는 전자풍부영역(electron rich region)에 의해 게이트 하부에 깊은 전자 채널을 형성하였다[4]. 그 영향으로 인해 더블 스냅백, 즉 1차 온 상태에서 2차 온 상태로 전이하는 현상이 발생함을 알 수 있다. 즉, EDNMOS 표준소자는 2차 온 상태로 전이할 경우 매우 불안정한 I-V 특성을 나타내기 때문에 안정적인 ESD 보호 성능을 구현할 수 없다. 선행연구결과에 의하면, 다양한 공정 파라미터들 중에서 드리프트 이온주입량(drift implant dose)이 EDNMOS 표준소자에서 발생하는 더블 스냅백 현상을 조절할 수 있는 임계인자(critical factor)인 것으로 판명되었다[2][4]. 따라서 EDNMOS 표준소자의 불안정한 ESD 보호 성능을 개선하기 위해 그림 4(b)와 (c)에 보인 것처럼, 이온주입량과 소오스 구조를 변경시켜 시뮬레이션한 결과, 드리프트 이온주입량을 $3.3E13cm^{-3}$ 이상으로 유지하고 HDPS 구조로 변형한 경우, 1차 온 상태에서 2차 온 상태로 전이하는 것을 막을 수 있기 때문에 안정적인 ESD 보호성능을 구현할 수 있다.

드리프트 이온주입이 누설전류 및 애발란치 브레이크다운 전압에 영향을 미치기 때문에 드리프트 이온주입량을 $3.3E13cm^{-3}$ 이상으로 유지하는 방법은 동작전압이 30V 이하인 EDNMOS 표준소자에만 한정해서 적용할 수 있다. 동작전압이 30V보다 큰 공정기술에 대해서는 이중 극성 소오스를 적용한 DPS_EDNMOS 변형소자를 이용할 경우 안정적인 ESD 보호성능을 구현할 수 있을 것이다.

그림 5는 전자밀도의 전류 의존성을 나타낸 것이다. 그림 5(a)에 보인 바와 같이 드레인과 소오스 사이에 흐르는 전류 밀도가 증가함에 따라 소오스 측에서 드레인 측을 향해 전자



(a) 드리프트 이온주입량이 $1.1E13cm^{-3}$ 인 EDNMOS 표준소자
 (b) 드리프트 이온주입량이 $3.3E13cm^{-3}$ 인 EDNMOS 표준소자
 (c) HDPS_EDNMOS 변형소자

그림 5. 전자밀도의 전류 의존성

풍부 영역이 점차로 확대되고 있음을 볼 수 있다. 전자 풍부 영역은 초기에는 BJT (bipolar junction transistor) 전류 경로를 따라 소자의 수직방향으로 U자 형태로 형성되었다. 이처럼 U자 형태의 전류경로가 유지되는 상황에서는 소자가 정상적인 BJT의 I-V 특성을 나타내었다. 0.18um_{30V} 기술의 EDNMOS 표준소자와 같이 드리프트 이온주입량이 $1.1E13cm^{-3}$ 이하인 경우에는 전류밀도가 증가함에 따라 소자의 측면 방향으로 전자 풍부 영역이 확장되어 게이트 하부에 채널을 형성하였다. 이와 같이 게이트 하부에 채널이 형성되면 결국에는 소오스와 드레인 사이를 직접 연결하는 저저항의 전류경로가 형성되기 때문에 정상적인 BJT의 I-V 특성을 나타내는 1차 온 상태에서 낮은 스냅백 홀딩 전압, 낮은 온-저항 특성을 나타내는 2차 온 상태로 전이하게 된다. 그러나 그림 5(b)에 보인바와 같이 드리프트 이온주입량이 $3.3E13cm^{-3}$ 이상인 경우에는 전류밀도가 증가하여도 전자 풍부 영역이 소자의 측면 방향으로 일정한 한계 이상 확장되지 않기 때문에 게이트 하부에 채널이 형성되지 않았다. 따라서 전류 밀도와 무관하게 항상 U자 형태의 BJT 전류 경로를 형성하기 때문에 2차 온 상태로 전이가 이루어지지 않고 1차 온 상태를 계속 유지하게 된다. 또한 그림 5(c)보인 DPS_EDNMOS 변형소자의 경우에는 N+ 소오스 확산 영역과 N+ 드레인 확산 영역 사이에 P+ 확산 영역을 추가할 경우에 P+ 확산 영역이 전자 채널의 형성을 방해하기 때문에 2차 온 상태로 전이가 이루어지지 않고 1차 온 상태에 머물러 있음을 알 수 있다.

IV. 결론

본 논문에서는 기존의 EDNMOS 표준 소자가 갖는 문제점인 더블 스냅백 현상을 억제하기 위해 N+ 소오스 옆에 의도적으로 P+ 확산층을 추가시킨 이중 극성 소오스(DPS)를 갖는 DPS_EDNMOS 변형소자의 ESD 특성이 연구되었다. 추가된 P+ 확산층의 폭과 이온주입량을 변화시켜가며 시뮬레이션한 결과 DPS_EDNMOS 변형소자는 EDNMOS 표준 소자에 비해 현저하게 개선된 ESD 보호 성능을 나타내었다. 즉, 추가하는 P+ 확산영역의 폭 및 P+ 이온주입량을 적절히 조절하면 전자채널 및 2차 온 상태의 발생을 확실하게 방지하는 효과가 있는 것으로 분석되었다. 제안하는 DPS 구조는 애발란치 브레이크다운 전압을 그대로 유지하면서 2차 온 상태로의 전이를 막을 수 있다는 것과 기존의 EDNMOS 표준소자에 적용되는 웰 이온주입, 드레인 드리프트 이온주입, 드레인 활성 이온주입과 같은 공정 조건은 변경하지 않아도 된다는 것이다. 본 연구에서는 추가된 P+ 확산층의 이온주입 조건과 소오스의 구조를 변경한 ADPS 구조가 가장 우수한 ESD 보호 성능을 나타내었다.

참고 문헌

- [1] 임성빈, 김태운, 장재웅, “저레도 위성의 ESD 설계 및 해석도구”, 항공우주산업기술동향 제7권 제1호, pp.88-78, 2009.
- [2] 양준원, 서용진, “고전압용 LDI 칩의 정전기 보호를 위한 ENNMOS 소자의 특성 개선”, 통신위성우주산업연구회논문지, 제7권 제2호, pp.18-24, 2012.
- [3] 양준원, 서용진, “CPS 이온주입을 통한 NEDSCR 소자의 정전기 보호 성능 개선”, 통신위성우주산업연구회논문지, 제8권 제1호, pp.45-53, 2013.03
- [4] 양준원, 김형호, 서용진, “DDIC 칩의 정전기 보호 소자로 적용되는 EDNMOS 소자의 고전류 특성 및 더블 스냅백 메커니즘 분석”, 통신위성우주산업연구회논문지, 제8권 제2호, pp.36-43, 2013.06.
- [5] 양준원, 서용진, “N형 실리콘 제어 정류기 소자의 구조 변형을 통한 정전기 보호 성능의 향상에 대한 연구, 통신위성우주산업연구회 논문지, 제8권 제4호, pp.124-129, 2013.12.
- [6] G. Bosselli, S. Meeuwesen, T. Mouthaan and F. Kuper, “Investigations on double diffused MOS (DMOS) transistors under ESD zap conditions”, in Proc. EOS/ESD Symp., pp.11-18, 1999.
- [7] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker and W. Fichtner, “Analysis of lateral DMOS power devices under ESD stress conditions”, IEEE Trans. Electron Devices, 47, pp. 2128-2137, 2000.
- [8] B. Keppens, M. P. J. Mergens, C. S. Trinh, C. C. Russ, B. V. Camp and K. G. Verhaege, “ESD protection solutions for high voltage technologies”, in Proc. EOS/ESD Symp., pp. 289-298, 2004.
- [9] C. Duvvury, F. Carvajal, C. Jones and D. Briggs, “Lateral DMOS design for ESD robustness”, in IEDM Tech. Dig., pp. 375-378, 1997.
- [10] K. Kawamoto, S. Takahashi, S. Fujino and I. Shirakawa, “A no-snapback LDMOSFET with automotive ESD endurance” IEEE Trans. Electron Devices, 49, pp. 2047-2053, 2002.
- [11] V. Parthasarathy, V. Khemka, R. Zhu, J. Whitfield, R. Ida and A. Bose, “A double RESURF LDMOS with drain profile engineering for improved ESD robustness”, IEEE Electron Device Lett., 23, pp. 212-214, 2002.
- [12] B. C. Jeon, S. C. Lee, J. K. Oh, S. S. Kim, M. K. Han, Y.I. Jung, H. T. So, J. S. Shim and K. H. Kim, “ESD characterization of grounded-gate NMOS with 0.35um/18V technology employing transmission line pulser (TLP) test”, in Proc. EOS/ESD Symp., pp. 362-372, 2002.
- [13] Y. J. Seo, K. H. Kim, “N-type extended drain silicon controlled rectifier electrostatic discharge protection device for high-voltage operating input/output applications”, Jpn. J. App. Phys. 46, pp. 2101-2106, 2007.
- [14] Y. J. Seo, K. H. Kim, “Characteristics of an extended drain n-type MOS device for electrostatic discharge protection of a LCD driver chip operating at high voltage”, J. Korean Phys. Soc. 50, pp. 897-901, 2007.
- [15] M. D. Ker and K. H. Lin, “Double snapback characteristics

in high-voltage nMOSFETs and the impact to on-chip ESD protection design", IEEE Electron Device Lett., 25, pp. 640-642, 2004.

- [16] K. H. Kim, Y. I. Jung, J. S. Shim, H. T. So, J. H. Lee, L. Y. Hwang, and J. W. Park, "Illumination of double snapback mechanism in high voltage operating grounded gate extended drain n-type metal-oxide-semiconductor field effects transistor electro-static discharge protection devices", Jpn. J. Appl. Phys. 43, pp. 6930-6936, 2004.
- [17] M. Streibl, K. Esmark, A. Sieck, W. Stadler, M. Wendel, J. Szatkowski and H. Goner, "Harnessing the base-pushout effect for ESD protection in bipolar and BiCMOS technologies" in Proc. EOS/ESD Symp., pp. 73-82, 2002.

저자

서 용 진 (Yong-Jin Seo)

정회원



- 1987년 2월 : 중앙대학교 전기공학과 학사졸업
- 1989년 2월 : 중앙대학교 전기공학과 석사졸업
- 1994년 2월 : 중앙대학교 전기공학과 박사졸업

- 1995년 3월 ~ 현재 : 세한대학교 교수
- 2004년 3월 ~ 현재 : 세한대학교 나노정보소재연구소 소장
<관심분야> : 반도체소자, 정전기보호소자, CMP공정

양 준 원 (Jun-Won Yang)

정회원



- 1989년 2월 : 영남대학교 전자공학과 학사졸업
- 1995년 3월 : Keio대학교 이공학연구과 전기공학과 석사졸업
- 1999년 3월 : Keio대학교 이공학연구과 전기공학과 박사수료

- 1999년 3월 ~ 현재 : 세한대학교 컴퓨터 교육과 부교수
<관심분야> : 위성통신, 전자파 해석