

가역 임베딩 없는 직접적 비가역-가역회로 매핑 방법의 게이트비용 절감 방안

박동영* · 정연만**

Gate Cost Reduction Policy for Direct Irreversible-to-Reversible Mapping Method without Reversible Embedding

Dong-Young Park* · Yeon-Man Jeong**

요약

1980년 Toffoli 가역게이트 출현 이후 지난 30년 간 적당한 함수 상에 가역 임베딩을 하는 많은 가역회로 합성법들이 발표되어 오는 동안 소수의 논문만이 가역 임베딩 없이 직접적인 비가역-가역 회로 매핑 방법을 채택해 왔다. 본 논문에서는 가역 임베딩 없는 직접적 가역 매핑에 대한 효과적인 게이트비용 절감 정책을 개발하였다. 새로운 비용절감 정책을 개발하기 위해 고전회로에서 NOT 게이트 배치에 따른 Toffoli 모듈 비용의 영향을 고찰하고, 이것을 기초로 하여 고전적 AND(OR)게이트에 대한 반전입력 추가가 가역 Toffoli 모듈의 비용을 증가(감소)시킨다-라는 고전 게이트 반전입력 수와 가역 Toffoli 모듈 비용 사이의 반비례적 성질을 이끌어내었다. 직접적 가역 매핑에 선행한 반전입력 재배치 정책은 현존하는 팬-아웃 및 슈퍼셀 정책들과 병행할 경우에 가역 Toffoli 모듈의 비용과 복잡성을 개선할 수 있는 효과적인 방법이다.

ABSTRACT

For the last three decades after the advent of the Toffoli gate in 1980, while many reversible circuit syntheses have been presented reversible embedding methods onto suitable reversible functions, only a few proposed direct irreversible-to-reversible mapping methods without reversible embedding. In this paper we present two effective policies to reduce the gate cost and complexity for the existing direct reversible mapping methods without reversible embedding. In order to develop new cost reduction policies we consider the cost influence of Toffoli module according to NOT gate arrangement in classical circuits. From this we deduced an inverse proportional property between inverting input numbers of classical AND/OR gates and reversible Toffoli module cost based on a fact - the inverting inputs of classical AND(OR) gates increase(decrease) the Toffoli module cost. We confirm the applications of the inverting input rearrangement and maximum fan-out policies preceding direct reversible mapping will be effective method to improve the reversible Toffoli module cost and complexity with the parallel using of the fan-out and supercell ones.

키워드

Irreversible-to-Reversible, Reversible Embedding, Cost Reduction, Inverting Input Rearrangement, Fan-Out And Supercell
비가역에서 가역, 가역 임베딩, 코스트 절감, 반전입력 재배치, 팬-아웃과 슈퍼셀

* 강릉원주대학교 정보통신공학과(kouksundo@gwnu.ac.kr)

** 교신저자(corresponding author) : 강릉원주대학교 정보통신공학과(ykjeong@gwnu.ac.kr)

접수일자 : 2014. 09. 11

심사(수정)일자 : 2014. 10. 20

게재확정일자 : 2014. 11. 10

1. 서론

비가역 회로는 전송 중단점에서 정보손실에 따른 에너지 손실이 발생한다. 비가역 회로의 정보손실에 따른 에너지 손실을 막기 위한 대안은 비가역 회로를 가역 회로로 설계하는 것이다[1]. 비가역 회로를 가역 회로로 실현하는 방법은 가역 임베딩(reversible embedding)이란 매핑(mapping)의 적용 유무에 따라 구분할 수 있다. 일반적 방법은 적당한 함수 상에 가역 임베딩을 먼저 만든 후에 간략화 과정을 통해 가역회로로 합성하는 방법들로서 대표적인 BDD(Binary Decision Diagram) 방법[2]를 비롯해 다양한 방법들이 발표되었다[1],[3-5]. 비가역 회로소자들을 가역 소자들로 치환하는 아이디어는 1980년에 최초로 Toffoli에 의해 제안되었으나 가역 임베딩을 생성하지 않는 직접적 소자 변환방법은 2007년 Zilic[6] 등에 의해 실현되었고, 2011년 Sultana[7]에 의해 Toffoli 모듈로 확장되었다. Zilic은 고전적 게이트들을 사용하여 가역 회로를 실현하였으며, 팬-아웃(fan-out) 제한 극복을 위해 관계없는 신호들을 효과적으로 재사용하는 방안과 범용 AND/OR게이트를 포함한 다양한 가역 셀(cell) 구현 방법을 제안하였다. Sultana는 Zilic의 방법을 개선하여 모든 고전 게이트들을 등가 Toffoli 모듈로 표현했는데 Zilic의 가역 셀과 유사한 슈퍼셀(supercell)을 사용할 경우에 선(line) 수와 비용(gate cost)이 감소될 수 있음을 보였다. 본 논문은 Zilic의 방법을 Toffoli 모듈로 확장한 Sultana 방법에 대해 비용과 선의 수를 줄일 수 있는 방안을 연구하였다. 본 논문의 구성은 II장에서 기초적 배경 이론을 논한 후 III장에서 직접적 가역 매핑의 게이트비용 절감을 위해 본 논문이 새롭게 제안하는 NOT 게이트 재배치 정책을 제시하였다. IV장은 III장의 제안 정책을 타 논문 방법에 적용한 결과의 상세 비교이며, V장은 본 논문의 결론이다.

II. 배경

가역이란 입력에 대한 출력의 쌍방향적 매핑으로써 입력선과 출력선이 같을 때 성립되는 특성이다. 제어 입력선 수가 n 이고, 상수입력인 보조(ancillary) 입력

선 수가 c , 출력선 수가 m 및 쓰레기(garbage) 출력선 수가 g 일 때의 가역 조건은 식(1)과 같다. 이때 가역 회로에는 $m!$ 개의 출력 순환(permutation)이 존재하게 되므로 순환 매핑 합성 시에 외부비트는 최소가 되도록 고려되어야 한다[1],[4],[6].

$$n+c=m+g \tag{1}$$

진리표 상에서 출력비트 조합의 최대반복수를 M 이라 할 때 쓰레기 비트 수는 식 (2)과 같다[1],[4],[6].

$$g= \lceil \log_2 M \rceil \tag{2}$$

가역성 유지를 위해서는 입출력 단에 비트 정보 저장을 위한 입출력레지스터가 요구된다. 가역 회로의 이와 같은 소모 에너지 저장 능력은 상당한 전력 소비를 줄일 수 있어 저전력 계산, 단일 회로, 양자계산, 암호화 및 나노기술 분야에서의 직접적 응용이 가능하다. 가역회로는 NOT, CNOT(Controlled NOT) 및 Toffoli 게이트와 같은 표준 가역 게이트를 사용하여 Grover 알고리즘 회로와 같은 더 큰 모듈의 매크로 가역회로를 합성할 수 있다. 그림 1은 매크로 가역게이트 합성을 위해 사용되는 표준 가역 게이트들이다.

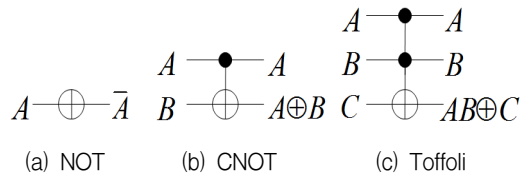


그림 1. 표준 가역 게이트
Fig. 1 Standard reversible gates

n 입력 Toffoli 모듈의 가역입출력을 $n \times n$ 으로 나타낼 때 2×2 는 순환 매핑이 아니라 단지 입력 값을 출력에 저장하는 선형 매핑 실현이므로 가장 작은 범용(universal) Toffoli 게이트는 순환 매핑이 가능한 3×3 이다. 이들 표준 가역 게이트들의 비용은 1×1 NOT과 2×2 CNOT 게이트의 비용을 기준 값 1로 할 경우의 상대적 비용으로써 3×3 및 4×4 Toffoli 게이트의 비용은 각각 5와 13이다[1].

III. 직접적 가역 매핑의 비용 절감 방안

본 장에서는 고전 게이트의 반전입력과 Toffoli 모듈의 게이트 비용의 상관관계 도출을 위해 단일 게이트와 2단 게이트의 가역매핑 실현 특성을 고찰한다. 이를 토대로 가역임베딩 없는 직접적 가역매핑법의 일반적 게이트비용 절감 정책을 도출하였다.

3.1. 단일 게이트의 가역 매핑 특성

그림 2는 고전적 기본 게이트들을 표준 가역 게이트들 간의 NOT와 항등 연산으로 합성한 Toffoli 모듈들이다.

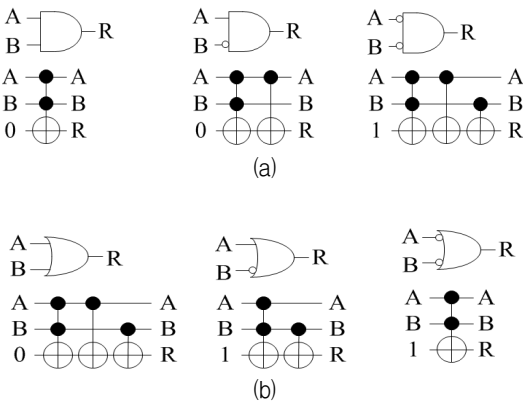


그림 2. 직접적 비가역-가역 회로 매핑

(a) AND형(\bar{c} , NAND) (b) OR형(\bar{c} , NOR)

Fig. 2 Direct irreversible-to-reversible mapping

(a) AND type(\bar{c} , NAND) (b) OR type(\bar{c} , NOR)

그림 2에서 기본적으로 3x3 Toffoli 게이트인 무반전(non-inverting) 입력 AND 게이트는 Toffoli 모듈의 비용이 5로써 AND 게이트에 추가되는 반전입력당 Toffoli 모듈의 CNOT 게이트도 한 개씩 추가되어 비용이 1씩 선형적으로 증가함을 알 수 있다. 반면 무반전 입력 OR 게이트는 기본적으로 3x3 Toffoli 게이트에 2개의 CNOT 게이트들이 종속 곱(cascade multiplication)되어 실행되므로 기본적 비용이 7이며, 고전적 OR 게이트에 추가되는 반전입력 당 Toffoli 모듈의 CNOT 게이트들이 한 개씩 제거되어 비용이 1씩 감소함을 알 수 있다. 그림 3은 AND/OR 게이트의 반전입력 수와 비용의 상관관계 그래프이다.

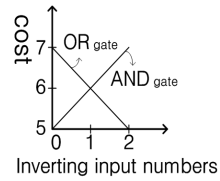


그림 3. AND 및 OR 게이트 간의 반전입력 수 대 비용 상관 그래프

Fig. 3 Correlation graph for inverting input numbers versus cost between AND and OR gates

그림 3에서 (가역 매핑 전의) 고전 게이트 반전입력이 0부터 2까지 변화할 때 대응하는 (가역 매핑 후의) Toffoli 게이트 비용도 ± 2 (AND/OR) 만큼 변화하므로 단일 게이트 연산의 최대 비용 변화는 4이다. 이때 비용 절감 효과는 AND 게이트의 NOT 게이트를 OR 게이트로 등가 교환(trade-off)하는 배치를 했을 때 발생한다. 반대로 OR 게이트의 NOT 게이트를 AND 게이트로 등가 교환 시키면 오히려 비용이 증가하게 된다.

3.2. 2단 셀의 가역 매핑 특성

그림 4는 직접적 가역 매핑을 OR-AND와 AND-OR 구조로 확장한 종속 셀이다.

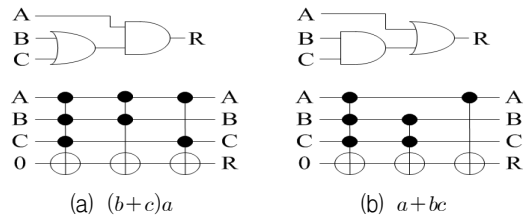


그림 4. OR-AND/AND-OR 종속 셀의 4x4 가역 매핑
Fig. 4 4x4 reversible mapping's for OR-AND/AND-OR cascaded cells

표 1은 그림 4와 같이 종속 가역 매핑된 4x4 2단 셀에서 각 단의 AND와 OR 게이트에 반전입력을 첨가했을 때의 2단 셀 비용들이다(★ 기준 함수). 표 1의 비용 비교에서 기준 고전함수는 NOT 게이트가 없는 OR-AND 구조의 $(b+c)a$ 와 AND-OR 구조의 $a+bc$ 이다. OR-AND 2단 셀은 NOT 입력 추가 시에 최대 비용 차가 16이다. 비용만 고려했을 때 가장

나쁜 결합은 $(b+c)\bar{a}$ 이며, 가장 좋은 결합은 $(\bar{b}+\bar{c})a$ 이다. OR-AND 2단 셀의 경우도 최대 비용 차이가 16이다. 비용이 가장 높은 결합은 $a+\bar{b}\bar{c}$ 로서 $a+\bar{b}\bar{c}=(b+c)\bar{a}$ 이며, 비용이 가장 낮은 결합은 $\bar{a}+bc$ 이다.

표 1. 반전입력 갖는 2단 종속 셀의 4x4 가역매핑 실현비용

Table 1. 4x4 reversible mapping realization costs of two-stage cascade cells with inverting inputs

| cost | OR-AND cells | AND-OR cells |
|--------------------------------|--|--------------------------------|
| 14 | $(\bar{b}+\bar{c})a$ (N=0) | $bc+\bar{a}$ (N=1) |
| | $N\oplus a\oplus abc$ | |
| 19 | $(b+\bar{c})a$ (N=0) | $\bar{b}c+\bar{a}$ (N=1) |
| | $N\oplus a\oplus ac\oplus abc$ | |
| | $(\bar{b}+c)a$ (N=0) | $\bar{b}\bar{c}+\bar{a}$ (N=1) |
| | $N\oplus a\oplus ab\oplus abc$ | |
| | $(\bar{b}+\bar{c})\bar{a}$ (N=1) | $\star bc+a$ (N=0) |
| $N\oplus a\oplus bc\oplus abc$ | | |
| 23 | $\star (b+c)a$ (N=0) | $\bar{b}\bar{c}+\bar{a}$ (N=1) |
| | $N\oplus ac\oplus ab\oplus abc$ | |
| 25 | $(b+\bar{c})\bar{a}$ (N=1) | $\bar{b}c+a$ (N=0) |
| | $N\oplus c\oplus a\oplus bc\oplus ac\oplus abc$ | |
| | $(\bar{b}+c)\bar{a}$ (N=1) | $\bar{b}\bar{c}+a$ (N=0) |
| | $N\oplus b\oplus a\oplus bc\oplus ab\oplus abc$ | |
| 30 | $(b+c)\bar{a}$ (N=0) | $\bar{b}\bar{c}+a$ (N=1) |
| | $N\oplus c\oplus b\oplus bc\oplus ac\oplus ab\oplus abc$ | |

표 2. 4x4 가역매핑 실현 시의 반전입력(t) 당 비용
Table 2. Gate cost per inverting input numbers(t) to 4x4 reversible cell realizations

| cell type | cost per inverting input numbers | | | | | |
|-----------|----------------------------------|------|------|---------|------|------|
| | AND gate | | | OR gate | | |
| | t=1 | t=2 | avg | t=1 | t=2 | avg |
| OR-AND | +7.0 | - | +7.0 | -4.0 | -4.5 | -4.2 |
| AND-OR | +6.0 | +5.5 | +5.7 | -5.0 | - | -5.0 |
| avg | +6.5 | +5.5 | +6.0 | -4.5 | -4.5 | -4.5 |

표 2는 반전입력 NOT 게이트 수가 t일 때 고전 게이트의 반전입력 당 비용 증감을 나타낸다. 2단 가

역 셀은 AND 게이트에 반전입력을 추가할 때 마다 비용이 6.0씩 증가하였으며, 반면 OR 게이트의 경우는 4.5의 비용 감소가 있었다. 이와 같은 결과는 단일 가역 게이트 경우와 비교할 때 AND 게이트는 단수가 두 배로 늘어날 때 비용은 3배로 증가한 결과를 보여 준다. 같은 경우에 OR 게이트는 약 2.2의 비용 감소 효과를 보였다. 그러므로 NOT 게이트는 그 자체 비용이 1로써 작지만 NOT 게이트가 삽입된 고전 회로를 직접적 가역 매핑에 의해 Toffoli 모듈로 실현할 경우에 Toffoli 모듈에 미치는 NOT 게이트의 상대적 비용은 매우 높다고 할 수 있다. 따라서 고전회로의 직접적인 가역 매핑에 앞서 NOT 게이트의 효율적 배치 정책이 요구된다.

P1. 비용 절감형 반전입력 배치 정책 : 가역 매핑에 앞서 비가역 고전회로의 AND 게이트 입력과 연결된 NOT 게이트들은 동일 선상의 다른 게이트들로 부울 등가 변환에 의한 교환을 실시한다.

그림 5는 P1에 의한 NOT 게이트의 등가 교환 예시이다.

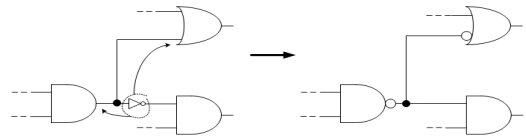


그림 5. P1에 의한 NOT 게이트 등가 교환
Fig. 5 NOT equivalent trade-off based on P1

3.3. 전역 팬-아웃의 가역 매핑 특성

팬-아웃은 동일 입력에 대한 복수 출력을 의미한다. 고전회로의 팬-아웃은 병렬연결이지만 가역회로의 팬-아웃은 유니터리 연산 성질을 유지하기 위해 직렬종속연결 구조를 갖는다. 이때 가역성 유지를 위한 출력 복제 때문에 쓰레기 비트의 출현은 불가피하다. 하지만 팬-아웃을 단일 게이트로 실현할 수 있다면 오히려 출력 단수를 줄임과 동시에 상당한 비용을 절감할 수 있다. Zilic[6]과 Sultana[7]은 3개의 기본 게이트에 더하여 3x3 AND/OR 게이트를 기본 게이트로 사용하였다. 3x3 AND/OR 게이트는 두 개의 팬-아웃 출력과 한 개의 쓰레기 비트를 출력할 수 있으므로 상수 입력 조절시 AND/OR와 NAND/NOR라는

두 쌍의 출력이 가능하다. 따라서 3x3 또는 4x4 단일 게이트로 팬-아웃의 경우 수를 늘릴 수 있는 쓰레기 비트 없는 가역 팬-아웃 게이트가 요구된다.

P2. 비용 절감형 최대 팬-아웃 정책 : 두 개의 입력 제어비트가 a와 b이고 타깃입력비트가 c인 3x3 Toffoli 모듈에서 타깃선 상에서의 AND(ab), 1반전입력 AND($\bar{a}b$) 및 OR($a+b$)의 타깃출력 함수를 기본 팬-아웃 함수로 할 때 기본 팬-아웃 함수와 두 입력 제어비트 간 또는 두 입력 제어비트 간 XOR 연산에 의해 나머지 두 개의 팬-아웃 함수들을 생성한다.

P2에서 기본 팬-아웃 함수의 상수입력은 0이며, 상수입력을 1로 할 경우는 XOR 연산을 제외한 모든 팬-아웃 확장 함수들의 NOT 함수가 생성된다. 개별적인 팬-아웃 확장 함수의 NOT 함수는 상수입력이 0 일 때 해당 팬-아웃 선상에 NOT 게이트의 삽입으로 생성될 수 있다. P2를 적용하면 표 2와 같이 3x3 Toffoli형 팬-아웃 모듈로부터 최대 3개의 팬-아웃 출력을 생성할 수 있어 한 쌍의 팬-아웃 경우 수를 2조합에서 12조합으로 늘릴 수 있다. 표 3의 팬-아웃 함수들은 그림 5에서 기본 함수에 네 가지 확장 템플릿 함수를 종속 연결하여 생성된다(I ②④ Peres게이트 사용).

표 3. 단일 매크로 게이트로 생성한 팬-아웃 함수
Table 3. Fan-out functions generated from single macro gate

| Expanded templates | Macro fan-out functions | | | | cost |
|--------------------|-------------------------|------------------|-------------|------------------|------|
| | expansion | | basic | f_3 | |
| | f_1 | f_2 | f_3 | | |
| I | ① | $\bar{a}\bar{b}$ | $\bar{a}b$ | ab | 7 |
| | ② | $\bar{a}\bar{b}$ | $a\oplus b$ | ab | 5 |
| | ③ | $\bar{a}\bar{b}$ | $a+b$ | ab | 7 |
| | ④ | a | $a+b$ | ab | 5 |
| II | ① | ab | $a+b$ | $\bar{a}\bar{b}$ | 8 |
| | ② | ab | $a\oplus b$ | $\bar{a}\bar{b}$ | 8 |
| | ③ | ab | $\bar{a}b$ | $\bar{a}\bar{b}$ | 8 |

| | | | | | |
|-----|---|------------------|-------------|------------------|---|
| III | ④ | a | $\bar{a}b$ | $\bar{a}\bar{b}$ | 8 |
| | ① | $\bar{a}\bar{b}$ | $\bar{a}b$ | $a+b$ | 9 |
| | ② | $\bar{a}\bar{b}$ | $a\oplus b$ | $a+b$ | 9 |
| | ③ | $\bar{a}\bar{b}$ | ab | $a+b$ | 9 |
| | ④ | a | ab | $a+b$ | 9 |

표 3 상의 개별적 팬-아웃의 반전 출력은 확장 템플릿 출력 단계 비용 1인 NOT 게이트를 삽입하여 실현이 가능하며, XOR 팬-아웃을 제외한 전체 팬-아웃의 반전은 상수입력 C=1에 의해 실현된다. 그림 6은 표 3에서 I형 팬-아웃 게이트의 실현 예이다.

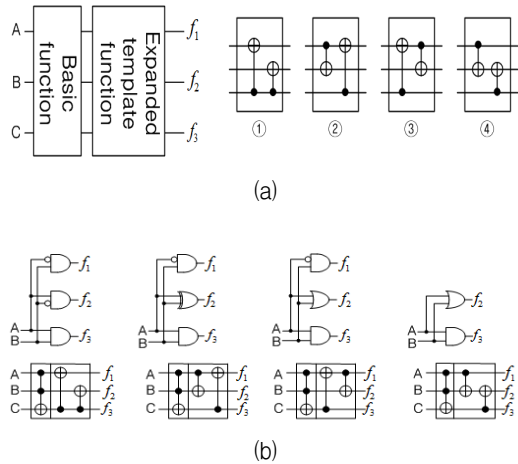


그림 6. 3x3 최대 팬-아웃 게이트의 예
(a) 함수 합성 및 확장 팬-아웃 함수 템플릿, (b) 팬-아웃 매크로 게이트 실현 예(I형)

Fig 6. Examples of 3x3 maximum fan-out gates
(a) Functional synthesis and expanded templates of fan-out functions (b) Realization examples (I type) of 3x3 maximum fan-out gates

가역매핑 대상인 비가역 고전회로에서 많이 사용한 팬-아웃 함수를 팬-아웃 게이트로 사용할 경우 최대의 비용 절감 효과가 발생한다. 표 3과 그림 5에서 사용되지 않는 출력은 쓰레기이다.

IV. 비교 및 검토

Sultana[7]은 비가역 회로의 직접적 가역회로 변환에 슈퍼셀을 사용한 방법이 BDD 등의 간접적 변환 방법보다 비용 절감 효과가 높다는 연구 결과를 발표하였다. 그림 7(a)은 Sultana[7]이 직접적 가역회로 변환에 적용한 예로써 두 개의 가산 입력과 한 개의 이전 캐리 입력을 갖는 3비트 전가산기이다.

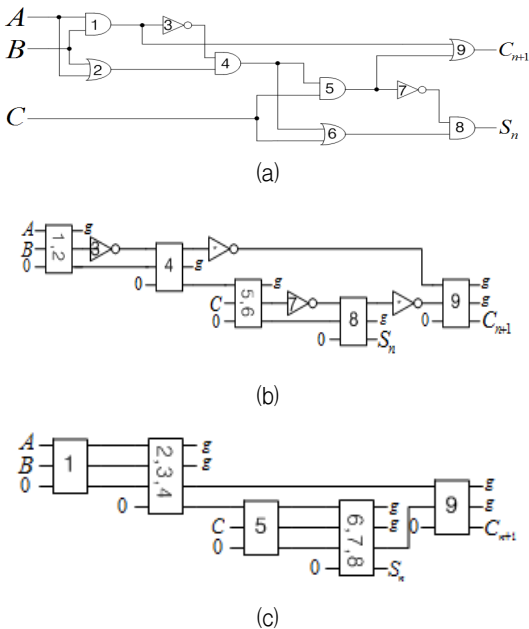
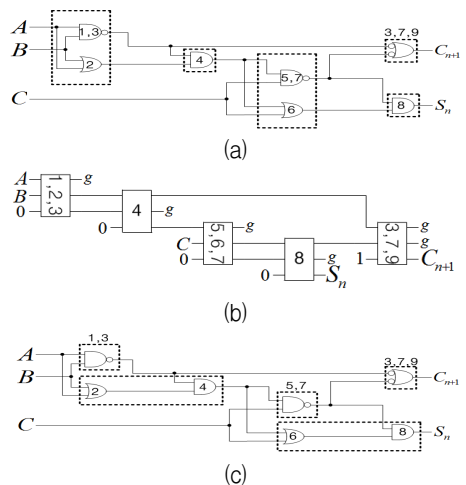


그림 7. 비가역 전가산기의 가역 게이트 실현[7] (a) 전가산기, (b) AND/OR 팬-아웃, (c) 슈퍼셀
 Fig. 7 Reversible gate realizations for the irreversible full adder[7]
 (a) Full adder, (b) AND/OR fan-out (c) supercell

그림 7(b)은 1과 2 및 5와 6 게이트에 의한 팬-아웃을 3x3 AND/OR 게이트에 의해 비용 31로 실현한 경우이다. 그림 7(b)의 문제점은 모듈에 포함되지 못한 4개의 NOT 게이트들인데, 그 중 두 개는 팬-아웃 게이트 생성 과정에 파생된 것 들이다. 이 NOT 게이트들은 상대적 비용이 1로써 전체 비용에 미치는 영향은 작지만 회로 연결선과 단수를 증가시켜 복잡성을 유발하고 있다. 따라서 이 문제를 해결하기 위해 Sultana[7]은 그림 7(c) 실현에서 NOT 게이트를 단순하게 슈퍼

셀에 포함시키는 해법을 제안하였다. 본 논문의 III장 연구 결과와 비교하면 Sultana[7]이 사용한 OR-AND 2단 셀의 $(b+c)\bar{a}$ 함수는 표 1의 비용 비교에서 가장 불리한 선택이었으며, 그 결과 NOT 문제는 해결했지만 비용은 77이 되어 그림 6(b)의 약 2.5배로 증가했음을 알 수 있다. 이와 같은 결과는 NOT 게이트가 함수 전체에 미치는 영향을 간과한 단순 배치의 결과로서 복잡성과 비용에 대한 전형적인 교환 문제를 보여주는 사례이다. 그림 8은 본 논문의 비용 절감 정책을 그림 7(b)과 그림 7(c)에 적용한 결과이다. 먼저 그림 7(b)의 AND/OR 게이트에 의한 팬-아웃의 단일 게이트 실현 방법에 본 논문의 P1과 P2 정책을 적용할 경우에 그림 7(a)에서 4번과 8번 AND 게이트의 반전입력인 3번과 7번 NOT 게이트들을 주변 게이트로 등가 교환시키면 그림 8(a)과 같이 1번과 5번의 AND게이트는 NAND로 등가 변환되고, 9번의 무반전 입력 OR 게이트는 2개의 반전입력을 갖는 OR 게이트로 등가 변환된다. 이에 따라 P1 정책의 적용에 의해 총비용 4가 절감될 수 있었다. 1번/2번 및 5번/6번의 팬-아웃 함수들은 각각 NAND/OR 연산을 실행해야 하므로 P2 적용 시에 표 3의 I 형에서 AND 출력에 NOT를 추가한 비용 6으로 실현될 수 있어 그림 8(b)과 같이 총비용 27로 실현 가능하였다. 본 논문은 기존의 복잡성 원인이었던 4개 NOT 게이트를 팬-아웃과 OR 게이트로 분산 배치함으로써 복잡성과 비용 절감이란 교환 문제를 동시에 해결할 수 있었다.



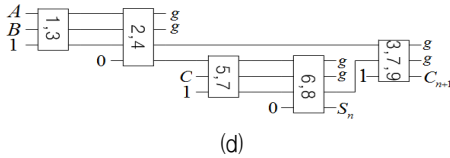


그림 8. 본 논문 방법의 실현 (a) NAND/OR 팬-아웃 그룹화, (b) (a)의 실현, (c) OR-AND 그룹화, (d) (c)의 실현

Fig. 8 This paper's realization (a) NAND/OR fan-out grouping, (b) realization of (a), (c) OR-AND grouping, (d) realization of (c)

본 논문은 그림 7(c)의 OR-AND 2단 슈퍼셀 실현 시에 P1 정책에 따라 그림 8(c)과 같은 그룹화에 의해 OR-AND 2단 슈퍼셀 안의 3번과 7번 NOT 게이트들을 주변 게이트로 등가 교환시킴으로써 당초 슈퍼셀 총비용을 30에서 23으로 7만큼 감소시킬 수 있었다. 이때 9번 게이트는 양쪽으로부터 NOT 게이트들을 반전입력으로 받아 비용이 당초 7에서 5로 감소됨으로써 P1 정책 적용에 의해 그림 7(c) 총비용의 20%에 달하는 비용절감 효과가 발생하여 그림 8(d)과 같이 총 비용 61로 실현할 수 있었다.

V. 결론

함수 간략화 과정이 없는 직접적 회로변환 방법에서 비가역 논리회로 상의 NOT 게이트 재배치 정책은 가역회로 실현 시의 복잡성과 비용을 낮출 수 있는 일종의 함수 간략화에 준하는 사전적 매핑 방법이다. 따라서 비용 절감과 단순성이라는 가역매핑의 최대 변환 효과를 얻기 위해서는 가역 변환에 앞서 NOT 게이트 재배치 정책이 최우선적으로 반영되어야만 팬-아웃과 다단 슈퍼셀의 효율적 그룹화가 가능하다. 일반적으로 그룹화 가능한 팬-아웃과 다단 슈퍼셀의 그룹 수가 비슷할 때는 저가 비용 실현이 가능한 팬-아웃의 그룹화를 선행한 후 슈퍼셀을 고려하는 것이 바람직하다. 다양한 팬-아웃의 단일 게이트 실현은 비슷한 비용의 단일 게이트로 커버할 수 있는 팬-아웃의 경우 수를 최대 늘리는 것이 관건이다.

References

- [1] D. Maslov and G. W. Dueck, "Reversible Cascades with Minimal Garbage," *IEEE Trans. CAD*, vol. 23, no. 11, 2004, pp. 1497-1509.
- [2] R. Wille and R. Dreschler, "BDD-based Synthesis of Reversible Logic Circuits for Larger Functions," *Proc. DAC*, San Francisco, CA, July 26-31, 2009, pp. 270-275.
- [3] V. V. Shende, A. K. Prasad, I. L. Markov, and J. P. Hayes, "Synthesis of Reversible Logic Circuits," *IEEE Trans. CAD*, vol. 22, no. 6, 2003, pp. 710-722.
- [4] D. Michael Miller, Robert Wille, and Gerhard W. Dueck, "Synthesizing Reversible Circuits for Irreversible Functions," *12th Euromicro Conf. on Digital System Design/Architectures, Methods and Tools*, Patras, Greece, Aug. 2009, pp. 749-756.
- [5] D.-Y. Park and Y.-M. Jeong, "A New Functional Synthesis Method for Macro Quantum Circuits Realized in Affine-Controlled NCV-Gates," *J. of the Korea Institute of Electronic Communication Science*, vol. 9, no. 4, 2014, pp. 447-454.
- [6] Z. Zilic, K. Radecka, and A. Khazamiphur, "Reversible circuit technology mapping from non-reversible specifications," *Proc. Design Automation and Test in Europe*, Nice, France, Apr. 2007, pp. 558-563.
- [7] S. Sultana and K. Radecka, "Rev-Map: A Direct Gateway from Classical Irreversible Network to Reversible Network," *IEEE 42th Int. Symp. on Multiple-Valued Logic*, Victoria, Canada, May 2011. pp. 147-152.

저자 소개



박동영(Dong-Young Park)

1980년 인하대학교 전자공학과 졸업(공학사)

1985년 인하대학교 대학원 전자공학과 졸업(공학석사)

1995년 인하대학교 대학원 전자공학과 졸업(공학박사)

2014년 강릉원주대학교 정보통신공학과 교수

※ 관심분야 : 다치논리 회로, 양자정보통신, 가역회로 설계



정연만(Yeon-Man Jeong)

1983년 숭실대학교 전자공학과 졸업(공학사)

1985년 숭실대학교 대학원 전자공학과 졸업(공학석사)

1991년 숭실대학교 대학원 전자공학과 졸업(공학박사)

2014년 강릉원주대학교 정보통신공학과 교수

※ 관심분야 : 통신신호처리, 무선통신시스템, RF IC 설계