

# 온칩 테스트 로직을 이용한 TSV 결합 검출 방법

## TSV Defect Detection Method Using On-Chip Testing Logics

안진호\*  
 (Jin-Ho Ahn)

**Abstract** - In this paper, we propose a novel on-chip test logic for TSV fault detection in 3-dimensional integrated circuits. The proposed logic called OTT realizes the input signal delay-based TSV test method introduced earlier. OTT only includes one F/F, two MUXs, and some additional logic for signal delay. Thus, it requires small silicon area suitable for TSV testing. Both pre-bond and post-bond TSV tests are able to use OTT for short or open fault as well as small delay fault detection.

**Key Words** : TSV test, On-chip test logic, Pre-bond test, Post-bond test, 3D-IC

### 1. 서론

3차원 IC(3-Dimensional IC: 3D-IC)는 기존 반도체용 다이를 수직으로 적층한 형태의 새로운 반도체 구조로서 고밀도, 고성능, 초소형, 그리고 낮은 제작 비용 등 다채로운 장점을 제공할 수 있는 미래형 기술로 주목받고 있다. 적층된 다이들은 TSV(Through Silicon Via: 실리콘 관통 비아)를 통하여 상호 연결되는데 전통적인 와이어본드(wire-bond) 형태의 연결선 구조에 비하여 실리콘 웨이퍼를 관통함으로써 최단 거리를 형성함에 따라 고밀도, 저커패시턴스(low-capacitance) 특성을 제공하며 인터포저(interposer) 제작 비용이나 시간을 줄일 수 있다. 또한 칩 전체적인 크기를 줄일 수 있고 인터커넥트 병목 현상을 크게 줄일 수 있으며 이중 기술이 적용된 다이를 쉽게 적층하면서도 전기적 특성이 우수하기 때문에 저전력, 고속 구동을 가능케 하는 3D-IC 핵심 기술 분야이다[1].

그림 1에서 3D-IC 제작 과정을 요약하였다. 먼저 TSV 제작 공정으로 화학적 또는 기계적 방식으로 반도체 웨이퍼 상에 평균 직경 수  $\mu\text{m}$  내외와 수십  $\mu\text{m}$  내외의 높이를 갖는 TSV를 형성한다. 그리고 반도체 웨이퍼의 평균 두께는 수백  $\mu\text{m}$ 이므로 형성된 TSV를 외부로 노출시키기 위하여 웨이퍼 후면을 깎아서 얇게 만드는 과정이 필요한데 이를 박화(thinning) 공정이라고 한다. 박화된 다이나 웨이퍼는 매우 얇은 두께로 인하여 직접 다루기가 어렵기 때문에 캐리어 웨이퍼(carrier wafer)에 임시로 부착하여 적층 공정을 진행한다. 적층을 위한 본딩 과정에서는 metal-metal 본딩, 실리콘 본딩, 그리고 접착제를 이용한 본딩 등 다양한 방법들이 시도되고 있다[2].

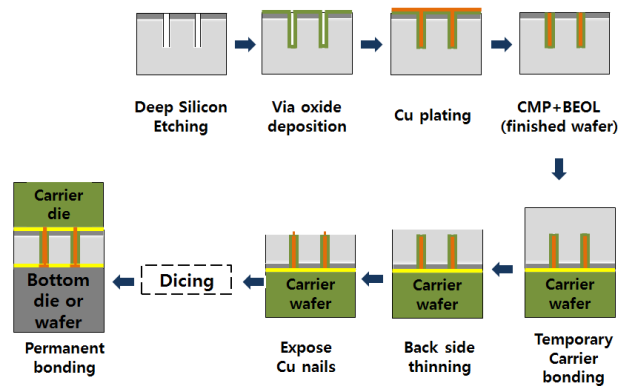


그림 1 3D-IC의 제작 과정  
 Fig. 1 3D-IC production flow

그러나 3D-IC는 박화나 적층과정에서 야기되는 결함으로 인하여 기존 2D-IC에 비해 수율이 크게 낮은 것으로 알려져 있다. 특히 양품 다이(KGD: Known Good Die)라 할지라도 적층과정에서 고장이 발생할 수 있으며, 결함이 있는 다이를 사전에 검출하지 못하고 적층시킬 경우 적층 모듈 전체를 폐기해야하기 때문에 손실이 기하급수적으로 늘어난다. 따라서 적층 이전에 결함이 없는 양품 다이를 선별하고 매 적층 과정마다 결함 여부를 다시 확인해야한다. 그림 2와 같이 프리본드 테스트(pre-bond test)는 본딩 이전에 다이를 테스트하는 것을 가리키며 KGD 선별과 매칭(속도와 전력소모량을 등을 고려하여 동급의 다이를 선별하는 것)을 총칭한다. 프리본드 테스트를 통과한 웨이퍼 혹은 다이를 Known Good Die(KGD) 혹은 Wafer(KGW)이라고 하며 이를 적층한 다이(Stacked Die)가 바로 3D-IC용 다이이다. KGD를 사용하더라도 적층과정에서 결함이 발생할 수 있으므로 부분 적층 또는 전체 적층 다이를 테스트하는 것을 포스트본드 테스트(post-bond test)라고 한다. 포스트본드 테스트를 통과한 적층 다이를 패키징한 이후에 다시 패키징

\* Corresponding Author : Dept. of Electronic Engineering, Hoseo University, Korea.

E-mail: jhahn@hoseo.edu

Received : November 02, 2014; Accepted : November 25, 2014

테스트를 실시하고, 최종적으로 시스템 수준 테스트를 거쳐서 3D-IC가 완성된다. 그림 2와 같이 3D-IC 테스트 과정은 기존 2D-IC 대비 매우 복잡하고 많은 단계가 필요하며[3], 특히 초기 단계에서의 고장검출 효율(test efficiency)이 전체 테스트 비용에 미치는 파급효과가 매우 크다. 또한 결함이 발생한 TSV는 테스트 접근 경로로서의 기능을 상실하기 때문에 효율적인 테스트를 위해서는 우선적으로 그 신뢰성이 확보되어야 한다. 본 논문에서는 프리본드 단계에서 TSV의 미세 결함을 사전에 예측하고 검출할 수 있는 온칩 테스트 회로 구조와 적용 방안을 소개한다. 제안하는 온칩 테스트 회로는 참고문헌 [4]에서 제안한 입력 신호 가변 기법을 사용하며 프리본드 단계는 물론 포스트본드 테스트 용도로도 활용 가능하다. 본 논문의 전체 구성은 다음과 같다. 먼저 2장에서는 TSV 제작과정에서 발생하는 결함을 검출하기 위한 기존 테스트 방법들을 소개한다. 3장에서는 제안하는 온칩 테스트 회로 구조와 사용방법을 소개한다. 4장에서는 제안한 구조의 효율성을 기존 방식들과 비교하고 그 활용방안을 설명한다.

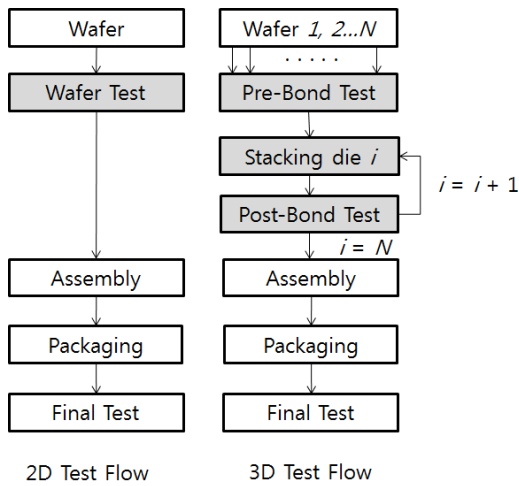


그림 2 2D-IC와 3D-IC 테스트 과정 비교  
Fig. 2 Comparison between 2D-IC and 3D-IC

## 2. 기존 TSV 테스트 기법

프리본드 단계에서는 우선적으로 싱글 다이 테스트와 일부 TSV 결함 테스트가 이루어지며 일반 웨이퍼 수준에서 테스트가 가능하므로 작업 과정이 수월하나 박화 이전 단계에서의 TSV는 한 면이 웨이퍼 안에 은닉(그림 1 참조)되어 있으므로 DFT(Design for Testability) 기법 외에는 다른 테스트 방법 사용이 어렵다. 따라서 지금까지 발표된 대부분의 프리본드 단계 TSV 테스트는 TSV의 물성적 특징 변화를 추정하여 결함 여부를 검출한다. 먼저 참고문헌 [5]에서는 TSV의 한 쪽을 floating한 상태에서 DRAM에서 사용하는 charge sharing 회로를 사용하여 TSV의 커패시턴스와 저항 특성을 측정하거나, 혹은 TSV의 한 쪽을 substrate에 연결하고 ROM에서 사용하는 voltage diving 회로를 사용하여 측정하는 방식을 적용하였다. 그리고 TSV 산화물 증착 과정에서 발생하는 pinhole 결함(절연막의 작은 흠을 통해

TSV와 substrate가 상호 연결되는 상태)을 검출하기 위하여 TSV와 substrate간 누설 전류량을 측정할 수 있는 True Single-Phased Clocked(TSPC) D F/F 기반 회로가 [6]에서 소개되었다. 본 방식은 정상적인 TSV와 웨이퍼(ground)간 무고장 저항치를 참조하여 측정되는 누설 전류량을 기준으로 TSV 내부 pinhole 결함으로 발생하는 커패시턴스 변화를 검출하는 방식이다. 또한 참고문헌 [7]에서는 그림 3에서와 같은 내장 회로를 이용하여 TSV 특성을 규정하고 측정된 VTSP 결과에 따라 TSV의 결함 정도를 추정한다. 상기 방법은 결함 정도에 따라 수리 가능한 TSV를 재활용하는 방식으로 다이 수율 향상을 유도할 수 있으나 TSV의 다양한 결함을 모두 수용하기에는 하드웨어 비용이 너무 크며 약한 결함을 가진 TSV의 경우 수리를 하더라도 사용된 테스트 로직으로 인한 시간 지연 및 전력소모 증가를 피할 수 없다. 또 하나의 방식은 TSV와 기판 사이의 저항치를 측정하기 위한 누설전류 센서 혹은 기준 커패시턴스와 TSV 커패시턴스를 비교할 수 있는 커패시턴스 브릿지 회로를 추가하는 것이다[8]. 본 방식은 감지 증폭 방식보다 좀 더 정밀한 측정 결과를 유도할 수 있지만 각 TSV 별 추가되는 내장회로의 크기가 기존 대비 크게 증가하므로 다이 내 TSV의 수가 일반적으로 수백~수천 개임을 고려하면 실용성은 매우 부족하다고 판단된다.

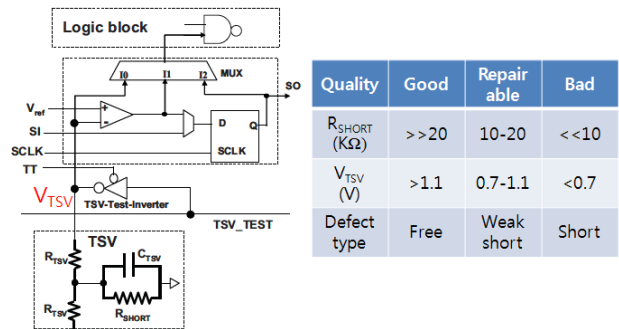


그림 3 TSV short 검출회로 및 결함 진단표[7]  
Fig. 3 TSV short detection circuit and defect table[7]

참고문헌 [9]에서는 여러 개의 TSV를 그룹화하고 각 그룹마다 하나의 인버터를 이용하여 링오실레이터를 구성한다. 그리고 각 TSV를 경유하는 오실레이션 주기를 측정하여 결함 여부를 예측한다. 본 방식은 TSV 그룹 크기에 따라 주기를 가변시킬 수 있으며 TSV 공정 변화(process variation)에 대한 영향을 줄일 수 있다. 그러나 측정된 오실레이션 주기를 분석하여 각 TSV의 결함 여부를 확인하는 시간이 별도로 필요하며, 링오실레이터 자체에서 발생하는 오차로 인하여 결함과 무결함 여부가 오인될 확률이 높다. 그리고 [10]에서는 TSV의 R과 C의 값에 따라 신호의 상승/하강시간 변화가 발생하는 점에 착안하여 TSV 양단에 인버터를 배치하는 링오실레이터를 구성하고 각 출력 컨버터의 문턱치를 가변시키는 방식으로 TSV의 결함 정도를 예측하였다. 상기 방식은 TSV 신호의 미세 지연시간을 측정할 수 있지만 반드시 2개의 다이가 접합된 상태에서 2개의 TSV가 페어로 구성되어야 하며 슈미트트리거 인버터와 일반 CMOS

인버터를 한 조로 사용하는 특수한 테스트 회로가 요구된다. 레이아웃 정보를 바탕으로 TSV 지연시간을 계산한 후에 이를 기준으로 고장을 발생시키고 검출 가능한 패턴을 자동적으로 생성하는 기법[11]은 지금까지 설명한 DFT 로직이나 푸루버(Prober)를 이용한 접촉식 테스트가 불필요한 장점이 있다. 그러나 실험에 사용된 TSV 수나 구성이 단순하여 실제 적용 시 만족할만한 커버리지를 얻기는 어려울 것으로 예상된다. 푸루버를 이용한 접촉식 테스트 방식[12]은 테스트 효율성은 뛰어나지만 TSV가 외부에 노출되는 박화 과정 이후에 테스트를 실시하여야 하며 접촉 시 발생하는 흠 문제에 대한 대안 등이 요구된다.

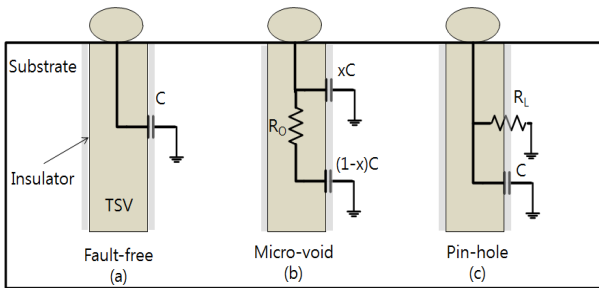


그림 4 TSV 등가회로  
Fig. 4 TSV equivalent circuits

본 논문에서는 선행연구로 수행된 프리본드 단계에서 최초로 형성된 TSV들의 미세한 micro-void나 pin-hole 결함을 검출할 수 있는 입력 신호 지연 기법[4]을 실제로 구현할 수 있는 방법을 제안한다. 참고문헌 [4]에서는 void와 pin-hole 결함을 그림 4와 같은 등가회로[9]로 모델링하고 해당 회로에 대한 입력신호와 출력신호의 지연 정도를 플립플롭을 사용하여 디지털 레벨로 확인함으로써 발생 결함을 검출할 수 있도록 하였다. 예를 들어 그림 5에서 in은 TSV 입력신호, out0은 무고장 TSV의 출력신호, out10은 micro-void 결함이 발생한 TSV의 출력신호, 그리고 out20은 pin-hole 결함이 발생한 TSV의 출력신호이다. 실험 조건으로는 그림 4를 기준으로 결함으로 발생한 저항 값을 3KΩ으로 가정하였으며 커패시턴스는 59fF로 하였다. Void가 발생한 위치는 TSV의 한 가운데로 가정하고 x=0.5로 설정하였다. 일반적으로 void 결함의 경우 줄어든 커패시턴스때문에 무고장 TSV에 비해 충전/방전시간이 빨라진다. 그림 5를 보면 v(out10)의 상승시간이 v(out0)에 비하여 빠름을 확인할 수 있다. 그러나 pin-hole 결함의 경우 추가된 저항(RL)

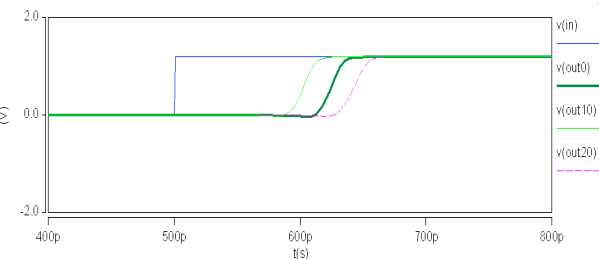


그림 5 TSV 입력신호 상승 시 출력신호 파형  
Fig. 5 TSV output waveform at the input signal rising

으로 인하여 커패시터 충전시간은 늘어나지만 방전시간은 줄어들며 그림 5에서 v(out20)의 상승시간은 v(out0)에 비하여 느린 것을 확인할 수 있다. 이에 [4]에서는 TSV 입력신호와 출력신호의 시간 지연 차이를 플립플롭의 셋업 시간(setup time)을 이용하여 상호 비교하고 그 결과를 플립플롭으로 출력하게 하였다.

### 3. TSV 미세결함 검출을 위한 온칩 테스터

본 논문에서 제안하는 온칩 테스트 회로는 참고문헌 [4]에서 제안한 입력 신호 지연 방식을 사용하여 자동적으로 TSV에서 발생한 미세결함을 예측하거나 검출한다. 온칩 TSV 테스터(On-chip TSV Tester: OTT)라 명한 제안한 회로는 일종의 트랜시버로서 그림 6과 같이 TSV 양단에 배치되어 하나의 OTT가 TSV 테스트 신호를 생성하면 다른 OTT는 TSV를 경유하여 출력되는 신호를 저장하는 구조이다. 이 때 플립플롭 저장 시점은 TSV에 입력되는 테스트 신호의 에지를 기준으로 발생시키는 지연 클럭을 이용하여 결정되며 플립플롭에 저장된 값에 따라 결함 여부를 검출하게 된다.

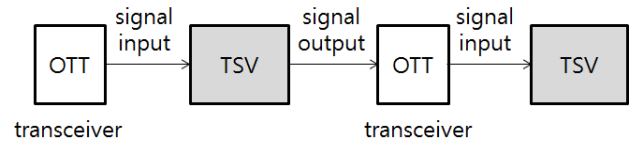


그림 6 온칩 TSV 테스터를 이용한 테스트 방법  
Fig. 6 TSV test using on-chip TSV tester

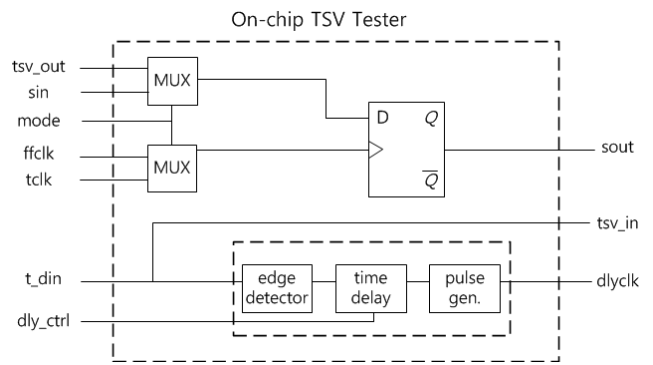


그림 7 온칩 TSV 테스터의 내부 구조  
Fig. 7 Block diagram of on-chip TSV tester

그림 7과 같이 OTT는 D 플립플롭, 플립플롭 클럭 생성기, 그리고 입력신호 및 플립플롭용 클럭 선택기 등으로 구성되어있으며, 테스트를 위하여 각 TSV별로 하나씩 삽입한다. OTT를 TSV마다 삽입하게 되면 회로면적이 증가하는 단점이 있지만 각 TSV 입출력신호의 주기를 일정하게 맞춰서 신호의 이상 유무를 쉽게 확인할 수 있다. 또한 OTT를 스캔(Scan) 구조와 같이 직렬로 연결하면 외부 I/O의 수를 크게 줄일 수 있다. OTT 입출력신호를 정리하면 다음과 같다.

- t<sub>sv\_out</sub>: TSV를 경유하여 OTT에 입력되는 신호
- sin: 이전 OTT 플립플롭에서 출력되는 신호로서 각 OTT의 플립플롭에 저장된 값을 외부로 shift-out 시키기 위한 용도로 사용
- ffclk: 이전 OTT에서 생성한 플립플롭용 클럭
- tclk: 플립플롭에 저장된 값을 shift-out 시킬 때 사용하는 클럭으로 ATE와 같은 외부 장비에 연결할 때 동기화 용도로 사용
- mode: OTT 동작모드로서 TSV를 경유하여 출력되는 테스트 신호를 OTT 플립플롭에 저장하는 테스트 모드(test mode)와 플립플롭에 저장된 데이터를 이웃 OTT 플립플롭으로 전달하는 쉬프트 모드(shift mode)로 구분됨
- t<sub>din</sub>: TSV 테스트 용도로 입력되는 신호로서 지연 시간을 고려하여 전체 TSV 또는 그룹 단위로 하나의 t<sub>din</sub> 신호를 공유한다. t<sub>din</sub> 신호는 상승 천이 신호와 하강 천이 신호 두 종류가 있으며 ffclk 속도보다 느리게 입력한다.
- dly\_ctrl: 플립플롭용 클럭을 만들기 위해 t<sub>din</sub> 신호의 에지를 기준으로 플립플롭 클럭의 에지가 지연되는 정도를 제어하는 신호. 카운터 값을 이용하여 직접 지연시간을 지정할 수도 있지만 미리 결정된 지연 시간 중 하나를 선택하는 구조도 가능함
- dlyclk: t<sub>din</sub> 신호의 에지를 기준으로 dly\_ctrl에서 정의한 값만큼 지연되어 발생하는 펄스이며 본 신호는 이웃 OTT 플립플롭의 저장 시점을 알려준다. 펄스의 폭은 사전에 결정하며 그 폭에 비례하여 t<sub>din</sub> 입력 속도가 결정된다. dlyclk 생성에 필요한 클럭 생성부(edge detector, time delay, pulse gen.)의 순서는 임의 변경이 가능하다.
- t<sub>sv\_in</sub>: TSV에 입력되는 테스트 신호. 입력된 t<sub>din</sub> 신호를 바로 사용하거나 버퍼를 이용하여 지연시간 및 세기를 조정할 수 있다.
- sout: OTT 플립플롭에 저장된 TSV 테스트 신호의 결과값으로 쉬프트 모드 시 출력단까지 tclk 속도로 전파된다.

그림 8은 프리본드 단계에서 OTT 기반 TSV 테스트를 위한 회로 구성도이다. N개의 TSV를 테스트하기 위해서는 N+1개의 OTT가 필요하며 하나의 TSV에 연결된 2개의

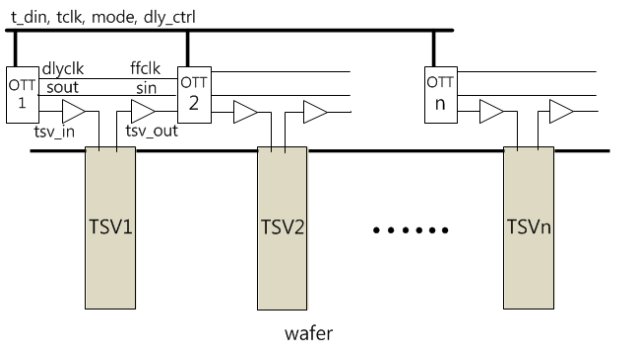


그림 8 온칩 TSV 테스터를 이용한 프리본드 TSV 테스트 방법  
Fig. 8 TSV test using on-chip TSV tester in pre-bond stage

OTT는 각각 테스트 신호 입력과 출력을 담당한다. 그림에서 OTT1이 TSV1으로의 테스트 신호 입력 신호를 발생시키며 OTT2가 TSV1을 경유하여 출력되는 테스트 신호를 저장하며, TSV(n)에 대해서는 OTT(n)과 OTT(n+1)이 상기 역할을 하게 된다. TSV 테스트 신호의 입출력 시에는 버퍼를 이용하여 신호 세기를 조정한다. 같은 t<sub>din</sub>을 공유하는 TSV 그룹은 하나의 체인으로 연결되므로 1비트 sout을 통해 테스트 결과를 확인할 수 있으며 신호지연에 민감하지 않은 tclk, mode, dly\_ctrl 등은 공동으로 사용할 수 있다.

다음은 그림 8의 OTT 회로 연결 하에서 OTT1과 OTT2를 이용한 TSV1의 테스트 과정을 그림 9의 신호 타이밍도를 통하여 설명한다. 먼저 모든 OTT 플립플롭을 0으로 초기화하고 테스트모드(mode=0)를 설정한다. 이후 OTT1의 t<sub>din</sub> 신호를 0에서 1로 상승시키면 천이 지점을 기준으로 dly\_ctrl에서 지정된 시간 후에 OTT1\_dlyclk 펄스가 발생된다. 또한 상기 OTT1\_tsv\_in 신호는 버퍼를 거쳐 TSV에 입력된다. TSV를 경유하여 출력된 신호는 OTT2의 tsv\_out 핀으로 입력된다. 이 때 OTT2\_tsv\_out 신호는 TSV에 입력된 OTT1\_tsv\_in 신호 대비 일정 시간이 지연되는데 그 크기는 TSV에서 발생한 결함의 크기와 종류, 그리고 발생위치에 따라 달라진다. OTT2에 입력된 OTT2\_tsv\_out 신호는 OTT1\_dlyclk(=OTT2\_ffclk)에 활성화될 때 플립플롭에 저장된다. 저장이 완료되면 테스트 모드를 쉬프트 모드(mode=1)로 전환하고 각 OTT 플립플롭은 tclk을 기준으로 저장된 데이터를 이웃 플립플롭에 순차적으로 전송한다. 이와 같이 상승 또는 하강 천이 입력되는 t<sub>din</sub> 데이터에 따라 다양한 dly\_ctrl 값으로 TSV 테스트 값을 도출하고 이를 통계적으로 분석하면 발생 결함의 종류와 세기에 대한 예측과 검출이 가능하다.

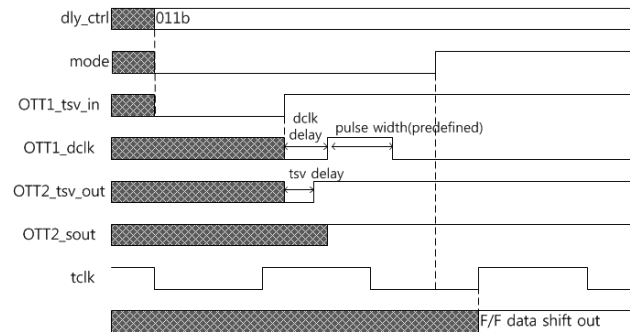


그림 9 온칩 TSV 테스터를 이용한 TSV 테스트 타이밍도  
Fig. 9 TSV test timing chart using on-chip tester

OTT 방식은 다양한 형태로 변형이 가능한데 특히 포스트본드 단계 TSV 테스트 용도로 활용할 수 있다. 그림 10에서 포스트본드 TSV 테스트 응용 예를 나타내었으며 웨이퍼 박화 이후 상단 다이의 OTT1에서 생성한 tsv\_in 신호가 TSV를 경유하여 하단 다이의 OTT2로 입력되는 것을 볼 수 있다. 즉 상단 다이의 TSV 테스트 값은 하단 다이 OTT에 저장되어 출력되며 같은 방식으로 하단 다이 TSV는 추가 적층 이후 테스트 된다. 이 때 상단 다이의 TSV에서 출력되는 tsv\_out 값은 하단 다이 OTT에서 생성되는 dlyclk 값을 기준으로 테스트되기 때문에 t<sub>din</sub>의 입력 동기를 최대

한 맞춘다고 하여도 프리본드 테스트 결과와 다소 다를 수 있으므로 프리본드 테스트와 마찬가지로 다양한 dly\_ctrl에 대한 sout 취합 및 분석 과정이 필요하다.

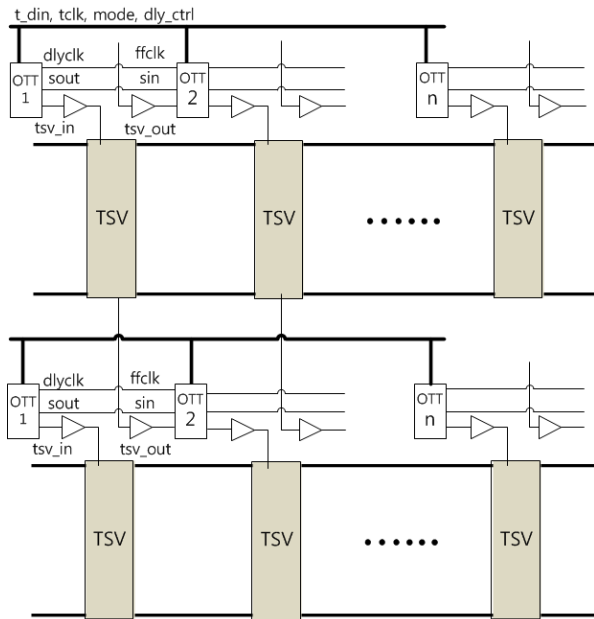


그림 10 온칩 TSV 테스터를 이용한 포스트본드 TSV 테스트 방법

Fig. 10 TSV test using on-chip TSV tester in post-bond stage

표 1 제안 방식의 효율성 비교

Table 1 Efficiency comparison of the proposed method

	제안 방식	[9]	[10]	[11]
미세결함(void, pin-hole 등) 검출 가능 여부	O	O	O	O
박화 이전 프리본드 TSV 테스트 가능 여부	O	O	X	X
박화 이후 프리본드 TSV 테스트 가능 여부	O	O	X	O
포스트본드 테스트 적용 가능 여부	O	X	O	O
TSV 1개당 추가되는 H/W 오버헤드	Low	Very Low	Low	Medium
외부 I/O 핀 수	Low	Medium	N/A	Very Low
출력 결과 분석과정의 복잡성	Low	High	High	Medium

#### 4. 제안 회로의 효율성 및 활용방안

본 논문에서 제안하는 OTT기반 TSV 테스트 방식은 기존 TSV 테스트 방식 대비 표 1과 같은 구조적인 장점을 제공할 수 있다. 표 1과 같이 제안하는 방식은 박화 전후 프리본드 및 포스트본드 테스트에 동시에 활용할 수 있으며 OTT용 플립플롭을 기존 DFT용 스캔 플립플롭으로 재사용

한다면 추가되는 하드웨어 면적도 크게 줄어들 수 있다. 또한 스캔 구조를 사용하므로 TSV 수와 관계없이 적은 수의 외부 I/O만이 요구된다. 그리고 본 방식은 복잡한 신호 분석 과정이 필요하지 않기 때문에 ATE를 이용한 다양한 응용이 가능하며 상용성이 매우 높다고 판단된다.

#### 감사의 글

본 연구는 정부(교육부)의 재원으로 한국연구재단의 기초연구사업(NRF-2011-0023879) 지원을 받아 수행되었으며, 검증을 위한 CAD 툴은 IDEC의 지원을 받았음

#### References

- [1] YOLE Development, "3D IC integration & TSV interconnects", Market Analysis, 2009.
- [2] Y. Kwon, "Trend and Prospect for 3Dimensional Integrated-Circuit Semiconductor Chip", Korean Chem. Eng. Res., Vol. 47, No. 1, pp. 1-10, Feb. 2009.
- [3] E. J. Marinissen, "Challenges and Emerging Solutions in Testing TSV-Based 2½D- and 3D-Stacked ICs", Proc. of DATE, pp. 377-382, July 2012.
- [4] J.-H. Ahn, S.-M. Han, "Pre-bond TSV Fault Detection Using Time Delay of Input Signal", Journal of KIIT. Vol. 12, No. 6, pp. 23-29, June 2014.
- [5] P.-Y. Chen, C.-W. Wu, and D.-M. Kwai, "On-Chip Testing of Blind and Open-Sleeve TSVs for 3D IC before Bonding", Proc. of VTS, pp. 263-268, 2010.
- [6] M. Tsai, A. Klooz, A. Leonard, J. Appel, and P. Franzon, "Through Silicon Via (TSV) Defect/Pinhole Self Test Circuit for 3DIC", Proc. of 3DIC, Poster 1.17, 2009.
- [7] M. Cho, C. Liu, D. H. Kim, S. K. Lim, and S. Mukhopadhyay, "Pre-Bond and Post-Bond Test and Signal Recovery Structure to Characterize and Repair TSV Defect Induced Signal Degradation in 3-D System", IEEE Trans. on Components, Packaging and Manufacturing Technology, Vol. 1, No. 11, pp. 1718-1727, Nov. 2011.
- [8] Y. Lou, Z. Yan, F. Zhang, and P. D. Franzon, "Comparing Through-Silicon-Via (TSV) Void/Pinhole Defect Self-Test Methods", J Electron Test, Vol. 28, pp. 27-38, 2012.
- [9] S. Deutsch and K. Chakrabarty, "Non-invasive pre-bond TSV test using ring oscillators and multiple voltage levels", Proc. of DATE, pp. 1065-1070, Mar. 2013.
- [10] S.-Y. Huang, Y.-H. Lin, K.-H. Tsai, W.-T. Cheng, S. Sunter, Y.-F. Chou, and D.-M. Kwai, "Small Delay Testing for TSVs in 3-D ICs", Proc. of DAC, pp. 1031-1036, June 2012.

- [11] B. Noia and K. Chakrabarty, "Pre-Bond Probing of Through-Silicon Vias in 3D Stacked ICs", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 32, No. 4, pp. 547-558, April 2013.
- [12] C.-Y. Kuo, C.-J. Shih, Y.-C. Lu, J. C.-M. Li, and K. Chakrabarty, "Testing of TSV-Induced Small Delay Faults for 3-D Integrated Circuits", IEEE Trans. on VLSI Systems, Vol. 22, No. 3, pp. 667-674, Mar. 2014.

---

## 저 자 소 개



### 안 진 호(Jin-Ho Ahn)

1995년 2월: 연세대학교 전기공학과(공학사)

1997년 2월: 연세대학교 전기공학과(공학석사)

2002년 8월: 엘지전자 DTV연구소 연구원

2006년 8월 : 연세대학교 전기전자공학과(공학박사)

2007년 3월~현재 : 호서대학교 전자공학과 교수

관심분야 : SOC 설계 및 응용, 반도체 테스트