

65 nm CMOS 기술에서 소자 종류에 따른 신뢰성 특성 분석

김창수¹, 권성규¹, 유재남¹, 오선호¹, 장성용¹, 이희덕^{1,a}

¹ 충남대학교 전자전파정보통신공학과

Analysis of Reliability for Different Device Type in 65 nm CMOS Technology

Chang Su Kim¹, Sung-Kyu Kwon¹, Jae-Nam Yu¹, Sun-Ho Oh¹, Seong-Yong Jang¹,
and Hi-Deok Lee^{1,a}

¹ Department of Electronic Engineering, Chungnam University, Daejeon 305-764, Korea

(Received November 6, 2014; Revised November 19, 2014; Accepted November 21, 2014)

Abstract: In this paper, we investigated the hot carrier reliability of two kinds of device with low threshold voltage (LVT) and regular threshold voltage (RVT) in 65 nm CMOS technology. Contrary to the previous report that devices beyond 0.18 μm CMOS technology is dominated by channel hot carrier(CHC) stress rather than drain avalanche hot carrier(DAHC) stress, both of LVT and RVT devices showed that their degradation is dominated by DAHC stress. It is also shown that in case of LVT devices, contribution of interface trap generation to the device degradation is greater under DAHC stress than CHC stress, while there is little difference for RVT devices.

Keywords: CHC, DAHC, SCE, Interface trap generation, Charge pumping

1. 서론

VLSI 시스템이 점차 소형화, 휴대화 되어감에 따라 다양한 응용분야에서 저 전력 (low power)이 중요해지고 있다. 회로의 성능을 개선하고 한 칩에 더 많은 기능들을 집적하기 위해 소자의 크기는 계속해서 축소되어왔다. 그러나 전력 소모 (power consumption) 증가와 칩의 온도 증가와 그리고 공정 기술이 축소됨에 따라, 전력 밀도 (power density)와

전류 밀도 (current density) 증가하여 전기적 영향에 의한 결함 (electro-migration)과 신뢰성 문제가 대두되고 있다 [1].

신뢰성 문제 중 하나인 핫 캐리어 (hot carrier) 열화 현상은 CHC (channel hot carrier)와 DAHC (drain avalanche hot carrier) 두 가지로 분류된다 [2,3]. CHC는 채널 양단에 걸리는 전계에 의해 채널을 통과하는 전자 중 일부가 확률적으로 격자와의 충돌을 하지 않고 가속되어 큰 에너지를 갖게 된 lucky electron이 oxide barrier를 넘어 산화막 내 trap으로 전자가 포획되는 것에 의한 열화로 설명되며, $V_G=V_D$ 조건에서 가장 많이 발생된다고 알려져 있다. DAHC는 드레인 끝단에서 드레인과 기판 간에 인가된 전계에 의해 가속되어 에너지를 얻은 전자가 격자와 충돌

a. Corresponding author; hlee@cnu.ac.kr

하여 전자-정공 쌍이 생성되고, 이러한 충돌 이온화 (Impact ionization)가 최대 ($V_G \sim V_D/2$)가 될 때 가장 큰 열화 특성을 나타낸다. 일반적으로 0.18 μm 기술 이전의 소자에서는 CHC보다 DAHC에 의한 열화가 더 심하고 이를 기술폭 (power law exponent)의 크기 차이로 확인할 수 있었다 [3,4]. 그러나 소자가 더 scale-down되어 0.18 μm 기술 이후의 소자에서는 소자의 열화가 심해지는 전압 조건이 $V_G \sim V_D/2$ 에서 $V_G = V_D$ 으로 변화하고 있고, DAHC 보다 CHC 스트레스에서 더 열화가 심한 것으로 보고되었다 [5-7].

최근에는 고성능의 소자 특성이 요구될 뿐 아니라, off 상태에서의 낮은 전력 소모까지 요구되고 있다. 이는 다중 임계전압 CMOS (multi-threshold voltage CMOS) 기술을 통해 높은 (high threshold voltage, HVT), 기준 (regular threshold voltage, RVT), 낮은 (low threshold voltage, LVT) 임계 전압을 갖는 소자를 선택적으로 사용함으로써 저 전력 및 고성능 사양을 얻는데 주요 핵심 기술이 되고 있으며, 따라서 한 웨이퍼에 이러한 다양한 임계 전압을 갖는 소자들을 구성하는 것이 필수화 되고 있어서, 같은 technology에서 다른 임계 전압을 갖는 소자들의 핫 캐리어 특성 변화 분석이 중요시 되고 있다.

본 논문에서는 65 nm CMOS 기술에서 다른 임계 전압을 갖는 소자들, 즉 임계전압이 낮은 소자 (LVT)와 기준 임계 전압을 갖는 소자 (RVT)에 대해 핫 캐리어 신뢰성 특성을 비교하였다. 특히 철저한 분석을 위해 CHC와 DAHC 두 가지 스트레스 조건에서 모두 소자의 수명 (lifetime)을 비교하고 소자에 따른 열화 특성과 그에 따른 메커니즘을 분석하였다.

2. 실험 방법

2.1 소자 제작 및 측정

본 논문에 사용된 소자는 65 nm standard logic CMOS 기술을 이용하여 제작되었다. 유효 산화막 두께 (equivalent oxide thickness)는 약 1.25 nm, 게이트 넓이 (gate width)는 20 μm , 유효 채널 길이 (effective channel length)는 60 nm이며 채널 도핑 (channel doping)에 따른 330 mV (LVT), 430 mV (RVT) 임계전압을 갖는 소자들이 제작되었다.

특정 드레인-소스 전압에서 드레인 영역에 수평 전계가 최대가 되는 ($I_{\text{Sub,max}}$) 지점에서의 게이트 전압을

게이트-소스 스트레스 전압으로 DAHC 스트레스를 인가하였다. CHC 스트레스 조건은 드레인-소스 전압과 게이트-소스 전압을 동일한 조건으로 설정하였다. 각 스트레스 조건에서 각 소자의 스트레스로 인해 포화 드레인 전류 (I_{dsat})가 10% 변화하는 시간까지를 소자의 수명으로 정의한 후, 동작전압 (operation voltage)의 1.1배인 1.1 V_{DD} 에서의 소자의 수명 (device lifetime)을 역 드레인 전압의 곡선 (lifetime versus $1/V_D$ curve)으로부터 추출하였다. 또한 DAHC와 CHC 스트레스에 따른 소자 특성의 변화 원인을 자세하게 파악하기 위해 핫 캐리어 전후에 전하 펄프 측정을 이용하여 계면 농도의 변화를 추출하였다.

3. 결과 및 고찰

그림 1은 임계전압이 다른 소자들의 드레인 전류-게이트 전압 (I_D - V_G) 특성을 도시한 그래프이며, 그림 1을 통해 추출한 파라미터를 표 1에 정리하였다. 그래프와 표에서 볼 수 있듯이, 채널 도핑 농도에 따라 LVT와 RVT 소자의 임계전압 0.1 V 정도 차이를 보였으며, 드레인 전류는 약 82 μA 차이를 보였으며, 두 소자 모두 매우 안정된 소자 특성을 나타냄을 알 수 있다.

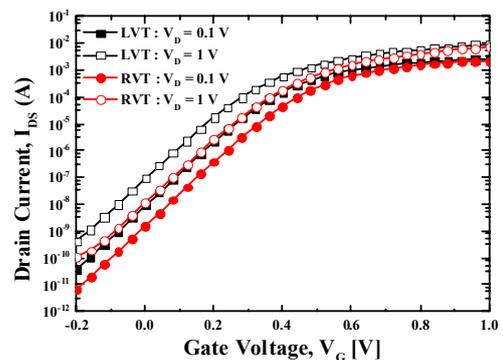


Fig. 1. Drain current vs. gate voltage (I_D - V_G) characteristics of LVT and RVT devices.

Table 1. Extracted DC parameters of all devices.

Device	$V_{T,ext}(mV)$	$I_{D,Sat}(\mu A/\mu m)$	DIBL(mV/V)
LVT	330	459	96.3
RVT	430	377	94.18

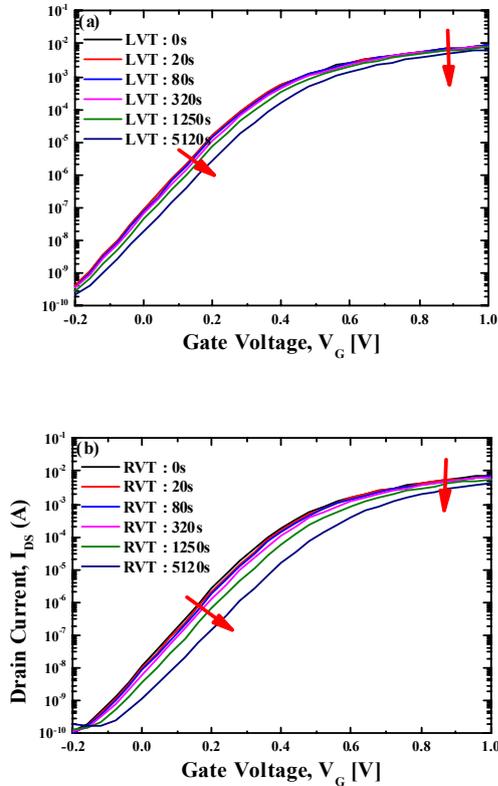


Fig. 2. Decrease of drain current by channel hot carrier stress for (a) low threshold voltage (LVT) and (b) regular threshold voltage (RVT) devices with stress voltage of 2.2 V.

그림 2는 동일한 산화막 두께와 서로 다른 임계전압을 갖는 두 소자에 대해 hot carrier 스트레스 시간에 따른 I_D - V_G 특성의 변화를 보여주고 있다. LVT 소자와 RVT 소자 모두 스트레스 시간에 따라 임계전압이 증가하고 드레인 전류가 감소하는 열화 (degradation) 특성이 나타나는 것을 알 수 있다. 이러한 데이터를 이용하여 스트레스 시간에 따라 $I_{D,sat}$, $V_{T,ext}$ 파라미터들의 변화를 추출하였다.

그림 3은 시간에 따른 드레인 전류 변화율을 보여주고 있다. 그래프에서 볼 수 있듯이 기울기 (power law exponent)는 열화 메커니즘을 나타내는 간접적인 지표라고 할 수 있다 [5]. LVT 소자에서는 CHC에서 보다 DAHC에서 기울기가 크고 계면 트랩 준위 생성이 우세하였다. RVT 소자에서는 CHC와 DAHC에서 비슷한 기울기를 나타내고 있다. 일반적으로 CHC 스트레스가 인가된 경우에는 산화막 내의 전하 포획이

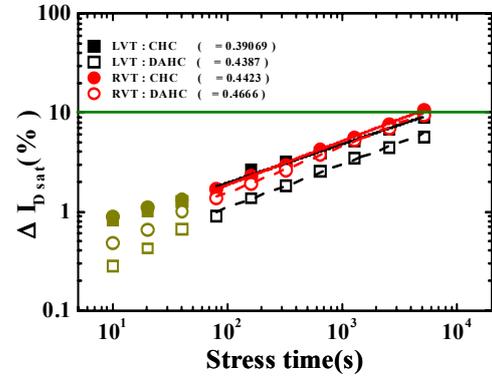


Fig. 3. Variation of drain current, $\Delta I_{D,sat}$ (%) of 65 nm devices by DAHC and CHC stress.

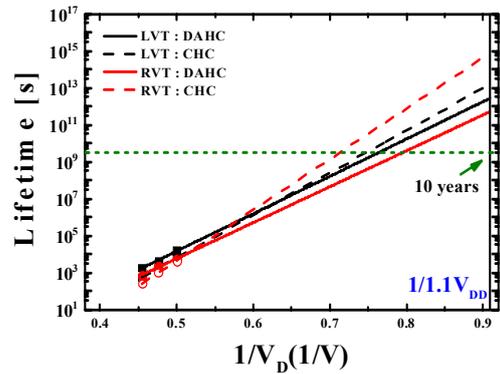


Fig. 4. Extraction of hot carrier lifetime.

우세하여 기울기가 약 0.3의 값을 가지며, DAHC 스트레스에서는 전하 포획 보다는 계면 준위 생성이 우세하여 기울기가 약 0.5 내외를 갖는다는 기존 보고와 달리 [4], CHC에서도 약 0.4~0.5의 기울기를 나타내고 있다. 이는 본 실험에서 사용된 65 nm 소자인 경우 게이트 산화막 특성, 소스/드레인의 도핑 구조, 채널의 구조 등이 복합적으로 작용하여 CHC 스트레스 조건에서도 계면 트랩 준위 생성이 우세하게 발생한다는 것을 나타낸다고 할 수 있다. 즉, 채널 길이 축소, 산화막 두께 축소에 따라 채널 내에 존재하는 수평 및 수직 전계, 충돌 전이계수 (impact ionization factor)의 증가와 발생 위치에 따라 CHC 역시 DAHC 스트레스와 유사하게 계면 트랩 준위 생성 메커니즘으로 변경된 것이라 판단된다.

그림 4는 임계 전압이 다른 두 소자들의 수명을 역드레인 전압의 곡선 (lifetime versus $1/V_D$ curve)으

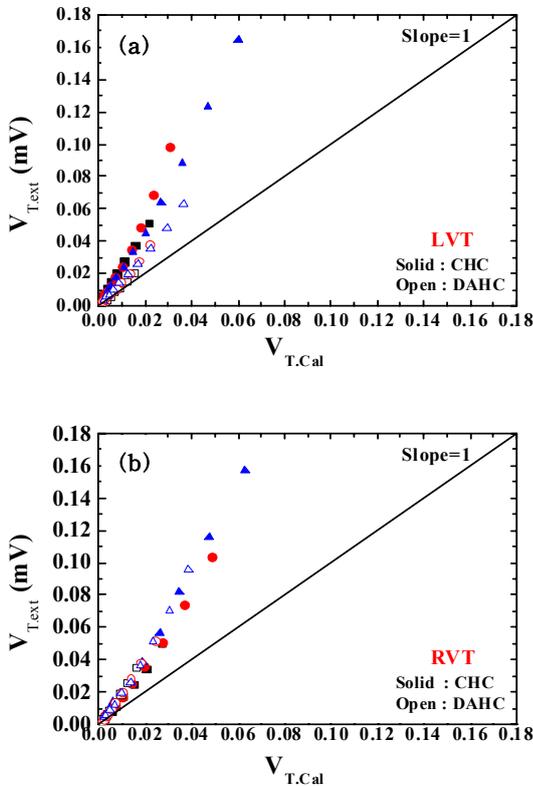


Fig. 5. Correlation the $V_{T,ext}$ in DC degradation and the $V_{T,Cal}$ calculated from N_{it} . (a) LVT and (b) RVT.

로 추출한 것을 나타내고 있다. 0.18 μm 기술 이하의 소자에서는 CHC에 의한 열화가 DAHC에 의한 열화보다 크다는 기존 보고와 달리 [7], 그림 4에서 볼 수 있듯이 LVT와 RVT 소자 모두 DAHC 스트레스에서 열화가 더 심한 것을 볼 수 있었다. 이는 CHC 보다 DAHC 스트레스 시에 계면 트랩 준위 생성 비율이 크기 때문에 DAHC 스트레스에 의한 열화가 심한 것이라고 추측이 가능하다.

그림 5는 그림 4의 열화 특성에 대해 좀 더 구체적인 메커니즘을 파악하기 위해서 핫 캐리어 스트레스에 의한 임계전압 변화와 ($\Delta V_{T,ext}$)과 전하 펌핑 기술을 통해 얻어진 interface trap 농도를 이용하여 계산된 임계 전압 변화 ($\Delta V_{T,Cal}$) 간의 연관성 (correlation) 을 보여 주고 있다.

식 (1)은 핫 캐리어 스트레스에 따른 임계전압의 변화를 나타내는 식으로 ΔQ_{it} 는 계면 트랩에 의한 전하의 변화량, ΔQ_{ot} 는 산화막 내의 포획에 의한 전하

의 변화량을 나타내고 C_{ox} 는 산화막의 캐패시턴스를 나타낸다 [5].

$$\Delta V_T = \frac{\Delta Q_{it} + \Delta Q_{ot}}{C_{ox}} \quad (1)$$

즉, 핫 캐리어에 의해 열화된 임계전압 ($\Delta V_{T,ext}$)은 계면 트랩생성에 의한 것과 산화막 내에 전하 포획에 의한 것이 모두 영향을 미칠 수 있음을 알 수 있다. 그리고 전하 펌핑 기술을 통해 추출된 임계전압의 변화량 ($\Delta V_{T,Cal}$)은 순수하게 계면 트랩 생성에 의한 것으로, 이 두 임계전압을 연관 했을 때, 기울기가 1에 가까우면 핫 캐리어 스트레스에 소자 열화가 계면 트랩 생성에 의한 것이 우세하다는 것을 알 수 있다.

결과적으로 그림 5(a)에서 볼 수 있듯이 LVT 소자는 DAHC 스트레스인 경우가 CHC 스트레스인 경우에 비해 기울기가 1에 더 가까운 것을 통해 계면 트랩 준위 생성에 우세한 것을 알 수 있다. 또한, 그림 5(b)의 RVT 소자는 DAHC와 CHC 스트레스 모두 계면 트랩 준위 생성 보다는 산화막 내의 전하 트래핑이 더 우세한 것을 알 수 있다.

4. 결론

본 논문에서는 65 nm CMOS 기술에서 일반 임계 전압을 갖는 소자와 낮은 임계 전압을 갖는 소자들의 신뢰성을 비교 분석하였다. 소자가 Scale-down 됨에 따라 핫 캐리어에 의한 열화가 주로 DAHC에서 CHC로 변화된다는 일반적인 보고 내용과 달리, 본 논문에서 측정된 LVT, RVT 소자 모두 DAHC 스트레스에서 열화가 심하고 짧은 수명을 나타내었다. RVT 소자인 경우에는 CHC와 DAHC 스트레스에서 모두 동일한 소자 열화 메커니즘을 나타내는 것에 비하여, LVT 소자에서는 CHC보다 DAHC인 경우에 interface trap의 발생에 의한 소자 열화가 더 크게 나타남을 알 수 있었다.

감사의 글

이 연구는 삼성전자(주)와 충남대학교 학술연구비에 의해 지원되었음. 소자 제작은 IDEC (IC Design Education Center)의 지원으로 이루어 졌음.

REFERENCES

- [1] H. Jiao and V. Kursun, *IEEE J. of Solid-State Circuits*, 644 (2012).
- [2] M. J. Cho and P. Roussel, *IEEE Trans. Electr. Dev.*, **60**, 4002 (2013).
- [3] B. Doyle, K. R. Mistry, and J. Faricelli *IEEE Trans. Electr. Dev.*, **18**, 51 (1997).
- [4] C. Hu and S. C. Tam, *IEEE Trans. Electr. Dev.*, **ED-32**, 375 (1985).
- [5] B. Doyle, M. Bourcerie, and J. C. Marchetaux, *IEEE Trans. Electr. Dev.*, **37**, 744 (1990).
- [6] K.R.B. Doyle, *IEEE Trans. Electr. Dev.*, **40**, 96 (1985).
- [7] S. G. Lee, J. M. Hwang, and H. D. Lee, *IEEE Trans. Electr. Dev.*, **49**, 1876 (2002).
- [8] E. Amat, T. Kauerauf, and R. Degraeve, *IEEE Trans. Electr. Dev.*, **9**, 425 (2009).