

비대칭 이중게이트 MOSFET의 상하단 산화막 두께비에 따른 전도중심에 대한 문턱전압 의존성

정학기*

Conduction Path Dependent Threshold Voltage for the Ratio of Top and Bottom Oxide Thickness of Asymmetric Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 상하단 게이트 산화막 두께 비에 대한 문턱전압 및 전도중심의 변화에 대하여 분석하고자한다. 비대칭 이중게이트 MOSFET는 상하단 게이트 산화막의 두께를 다르게 제작할 수 있어 문턱전압이하 영역에서 전류를 제어할 수 있는 요소가 증가하는 장점이 있다. 상하단 게이트 산화막 두께 비에 대한 문턱전압 및 전도중심을 분석하기 위하여 포아송방정식을 이용하여 해석학적 전위분포를 구하였다. 이때 전하분포는 가우스분포함수를 이용하였다. 하단게이트 전압, 채널길이, 채널두께, 이온주입범위 및 분포편차를 파라미터로 하여 문턱전압 및 전도중심의 변화를 관찰한 결과, 문턱전압은 상하단 게이트 산화막 두께 비에 따라 큰 변화를 나타냈다. 특히 채널길이 및 채널두께의 절대값보다 비에 따라 문턱전압이 변하였으며 전도중심이 상단 게이트로 이동할 때 문턱전압은 증가하였다. 또한 분포편차보다 이온주입범위에 따라 문턱전압 및 전도중심이 크게 변화하였다.

ABSTRACT

This paper has analyzed the change of threshold voltage and conduction path for the ratio of top and bottom gate oxide thickness of asymmetric double gate MOSFET. The asymmetric double gate MOSFET has the advantage that the factor to be able to control the current in the subthreshold region increases. The analytical potential distribution is derived from Poisson's equation to analyze the threshold voltage and conduction path for the ratio of top and bottom gate oxide thickness. The Gaussian distribution function is used as charge distribution. This analytical potential distribution is used to derive off-current and subthreshold swing. By observing the results of threshold voltage and conduction path with parameters of bottom gate voltage, channel length and thickness, projected range and standard projected deviation, the threshold voltage greatly changed for the ratio of top and bottom gate oxide thickness. The threshold voltage changed for the ratio of channel length and thickness, not the absolute values of those, and it increased when conduction path moved toward top gate. The threshold voltage and conduction path changed more greatly for projected range than standard projected deviation.

키워드 : 비대칭 이중게이트, 문턱전압, 전도중심, 이온주입범위, 분포편차

Key word : asymmetric double gate, threshold voltage, conduction path, projected range, standard projected deviation

접수일자 : 2014. 10. 01 심사완료일자 : 2014. 10. 31 게재확정일자 : 2014. 11. 05

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)
Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2014.18.11.2709>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 삼성전자에서는 세계 최초로 32층 3차원 수직 구조의 낸드플래시메모리를 이용하여 제작한 SSD (Solid State Drive)를 상용화하여 시판하기 시작하였다. 기존의 메모리에서는 선폭을 감소시켜 집적도를 향상시키고 소비전력을 감소시키기 위하여 노력하였으나 20 nm이하로 선폭을 감소시키기 어려워지면서 3차원 구조의 설계에 역량을 집중하고 있다. 현재 상용화된 SSD는 40 nm 낸드를 위로 쌓아 만든 구조이다. 이와 같이 선폭을 줄여 집적도를 향상시키기 보다는 설계시 구조적인 변화를 이용하여 집적도를 향상시키기 위한 노력을 하고 있다. 이와 함께 트랜지스터의 구조도 3차원적인 형태를 갖는 구조로 개발하고 있다. 이와 같은 노력의 일환으로 개발된 트랜지스터가 다중 게이트 MOSFET이다[1]. 다중게이트 MOSFET는 여러 가지 구조로 분리되며 FinFET[2]와 이중게이트 MOSFET[3]로 대별할 수 있다. 그중에서 이중게이트 MOSFET는 구조가 간단하고 모델링이 용이하여 다방면으로 연구되고 있다. 이중게이트 MOSFET는 SOI(Silicon On Insulator) 구조[4]를 기반으로 개발된 트랜지스터로서 상하단에 게이트를 제작하여 채널내 전하흐름을 제어하는 능력을 향상시켰으며 결국 채널길이감소에 의한 단채널효과를 줄일 수 있다는 장점이 있다. 트랜지스터의 설계에서 가장 중요한 요소는 트랜지스터의 On/Off를 결정하는 정확한 문턱전압의 설계이다. 그러나 단채널시 발생하는 문턱전압이동 현상은 필연적이므로 이에 대한 연구가 활발히 진행되고 있다[5]. 이중게이트 MOSFET는 상하단구조가 동일한 대칭형과 상하단 게이트구조를 달리 제작할 수 있는 비대칭형으로 구분할 수 있다. 대칭형 이중게이트 MOSFET는 구조가 간단하여 제작이 용이하다는 장점이 있으나 단채널효과를 제어할 수 있는 구조적 파라미터가 비대칭구조보다 적어 단채널효과를 효율적으로 제어할 수 없다. 그러나 비대칭 이중게이트 MOSFET는 상하단게이트 산화막 구조뿐만 아니라 상하단 게이트 인가전압을 다르게 할 수 있으므로 단채널효과를 제어할 수 있는 요소가 증가한다는 장점이 있다. 이에 본 연구에서는 비대칭 이중게이트 MOSFET의 문턱전압이 상하단 게이트 산화막 두께비에 따라 어떻게 변화하는지를 고찰하였다. 이를 위하여 포아송방정식을 풀어 해석학적 급수형태의 전위

분포를 Ding 등의 연산방법을 이용하여 구하였다. Ding 등[6]은 전하분포를 상수값으로 주었으나 본 연구에서는 가우스분포함수를 이용하여 보다 실험값에 가깝도록 고찰하였다. 이와 같이 구한 해석학적 전위분포를 이용하여 문턱전압이하에서 차단전류를 구하였으며 $10^{-7} A/\mu m$ 의 차단전류일 때 상단 게이트전압을 문턱전압으로 정의하여 전도중심의 변화에 따른 문턱전압의 변화를 산화막 두께 비에 따라 관찰하였다. 이때 게이트 길이 및 두께 그리고 가우스분포함수의 이온주입 범위 및 분포편차를 파라미터로 하여 문턱전압 및 전도중심의 변화를 관찰하였다.

II. 비대칭 이중게이트 MOSFET의 차단전류 및 문턱전압 모델

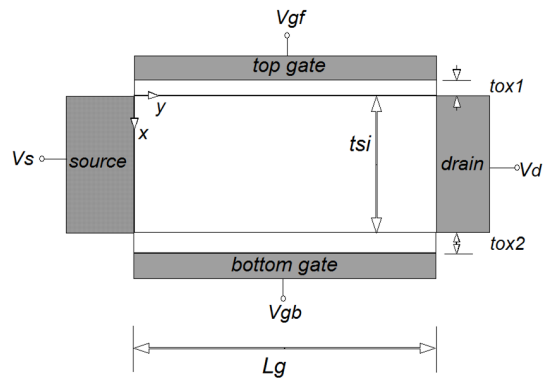


그림 1. 비대칭 이중게이트 MOSFET의 개략도
 Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 이중게이트 MOSFET의 개략도를 그림 1에 도시하였다. 그림 1에서 알 수 있듯이 상단의 게이트 전압 V_{gf} 와 하단의 게이트 전압 V_{gb} 를 달리 인가할 수 있으며 이때 상하단의 산화막 두께를 각각 달리 지정할 수 있어 단채널효과를 제어할 수 있는 구조적 파라미터가 증가하는 것을 알 수 있다. 즉, 비대칭 이중게이트 MOSFET는 상단과 하단 게이트의 역할을 구분함으로써 대칭구조의 이중게이트 MOSFET에서는 할 수 없는 전류제어 능력 향상이 이루어 질 것이다. Ding 등은 일정한 채널도핑농도를 이용하여 비대칭 이중게이트 MOSFET의 전위분포를 구하였으며 이를 이용하여 문

턱전압이하 특성을 해석하였다. 그러나 도핑을 위하여 광범위하게 사용하는 기술인 이온주입법의 경우, 도핑 분포는 가우스분포함수를 따르므로 본 연구에서는 전하분포함수로 가우스분포함수를 사용하였다. 비대칭 이중게이트 MOSFET의 채널 내 전위분포를 구하기 위하여 식 (1)의 2차원 포아송방정식을 이용하였으며 이때 전하분포는 식 (2)와 같이 표현되는 가우스분포함수

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

이며 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 $A_n(x)$ 에 나타나는 상수 중 C_n 과 D_n 은 다음과 같이 표현할 수 있다.

$$C_n = \frac{e^{k_n t_{si}} (C_{ox1} + k_n \epsilon_{si}) (B_8 + E_n) - (C_{ox1} - k_n \epsilon_{si} C_{ox1}/C_{ox2}) (B_7 + F_n)}{(1 - k_n \epsilon_{si}/C_{ox1}) (C_{ox1} - k_n \epsilon_{si} C_{ox1}/C_{ox2}) - e^{2k_n t_{si}} (1 + k_n \epsilon_{si}/C_{ox1}) (C_{ox1} + k_n \epsilon_{si} C_{ox1}/C_{ox2})} \quad (5)$$

$$D_n = \frac{e^{-k_n t_{si}} (C_{ox1} - k_n \epsilon_{si}) (B_8 + E_n) - (C_{ox1} + k_n \epsilon_{si} C_{ox1}/C_{ox2}) (B_7 + F_n)}{(1 + k_n \epsilon_{si}/C_{ox1}) (C_{ox1} + k_n \epsilon_{si} C_{ox1}/C_{ox2}) - e^{-2k_n t_{si}} (1 - k_n \epsilon_{si}/C_{ox1}) (C_{ox1} - k_n \epsilon_{si} C_{ox1}/C_{ox2})}$$

를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x - R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서 ϵ_{si} 는 실리콘의 유전율이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\phi(x, y=0) = V_s, \quad \phi(x, y=L_g) = V_s + V_d$$

$$\phi(x=0, y) = V_{gf} + \frac{\epsilon_s}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0}$$

$$\phi(x=t_s, y) = V_{gb} - \frac{\epsilon_s}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_s}$$

여기서 V_s 는 소스 전압, V_d 는 드레인 전압, V_{gf} 는 평탄전압을 고려한 상단 게이트 전압, V_{gb} 는 평탄전압을 고려한 하단 게이트 전압, 그리고 C_{ox1} 과 C_{ox2} 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 상단과 하단의 커패시턴스 값이 경계조건에 사용되며 이는 결국 전위분포에 영향을 미치는 요소로 작용한다는 것을 알 수 있다. 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[6].

$$\phi(x, y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

식 (4)와 식 (5)에 나타나는 상수는 참고문헌[7]에 표기하였다. 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 t_{si} W면적의 드레인에 도착하는 전자의 수를 이용하면 드레인 전류를 구할 수 있다. 이때 채널 내 전자의 수는 맥스웰-볼츠만통계를 이용하면 다음과 같이 구할 수 있다.

$$n_m(x) \approx (n_i^2/N_p) e^{q\phi_{\min}(x)/kT} \quad (6)$$

여기서 n_i 는 순수반도체 전자농도이며 $\phi_{\min}(x)$ 는 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구한 후, 식 (3)에 대입하며 구한 최소 전위분포 값이다. 식 (6)을 이용하여 드레인 전류를 구하면

$$I_d = \frac{qn_m(x)v_{th}t_{si}W}{6} \quad (7)$$

이다. 여기서 v_{th} 는 열속도이다. 식 (6)과 식 (7)에서 x 값은 $\phi_{\min}(x)$ 의 형태에 의하여 구해지는 전도중심으로 써 다음 식과 같이 구한 x_{eff} 를 대입하여 구한다.

$$x_{eff} = \int_0^{t_{si}} x e^{\phi(x, y_{\min})/V_t} dx / \int_0^{t_{si}} e^{\phi(x, y_{\min})/V_t} dx \quad (8)$$

이때 $V_t = kT/q$ 이다.

식 (5)에서 알 수 있듯이 상하단 게이트 산화막 두께

에 따라 변화하는 C_{ox1} 과 C_{ox2} 가 결국 식 (3)의 전위분포에 영향을 미치며 특히 $C_{ox1}/C_{ox2} = t_{ox2}/t_{ox1}$ 이므로 상하단 게이트 산화막 두께가 직접적으로 전위분포 및 드레인전류에 영향을 미치는 것을 알 수 있다. 그러므로 본 연구에서는 상하단 게이트 산화막 두께비에 따른 문턱전압의 변화 및 전도중심과의 관계를 분석하고자 한다.

III. 비대칭 이중게이트 MOSFET의 문턱전압 및 전도중심 분석

본 연구에서 제시한 차단전류모델 및 문턱전압모델에 대한 타당성은 이미 발표된 논문[8]에서 입증되었으므로 본 연구에서는 2장에서 제시한 모델을 이용하여 문턱전압의 상하단 게이트 산화막에 대한 변화를 고찰할 것이다. 하단게이트 전압을 파라미터로하여 전도중심 및 문턱전압의 변화를 상하단게이트 산화막 두께비에 따라 그림 2에 도시하였다. t_{ox2} 가 t_{ox1} 보다 작을 경우 전도중심 및 문턱전압은 큰 변화를 보이다가 t_{ox2} 가 t_{ox1} 보다 커지면 전도중심의 위치 및 문턱전압이 포화되는 것을 알 수 있다.

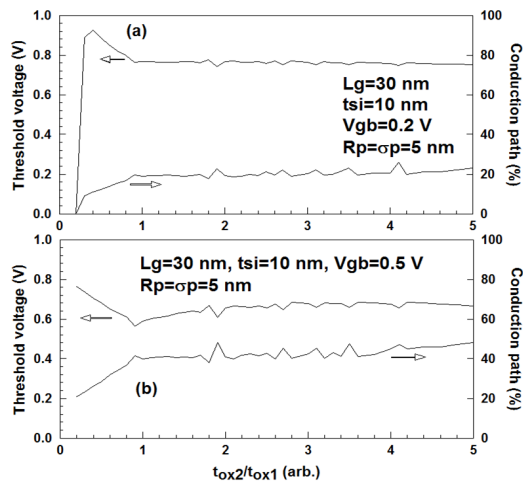


그림 2. 상하단 게이트 산화막 두께비에 따른 문턱전압 및 전도중심의 변화 (a) $V_{gb} = 0.2 V$ 일 때 (b) $V_{gb} = 0.5 V$ 일 때
Fig. 2 The change of threshold voltage and conduction path for ratio of top and bottom gate oxide thickness in case of (a) $V_{gb} = 0.2 V$ and (b) $V_{gb} = 0.5 V$

하단게이트 전압이 증가하면 문턱전압은 감소하고 전도중심은 더욱 채널의 중심으로 이동하는 것을 알 수 있다. 그러므로 전도중심이 채널내부로 이동할수록 문턱전압은 감소하는 것을 알 수 있다.

그림 3에 모든 조건을 그림 2(a)의 경우와 동일하게 고정시킨 후, 단지 채널길이만 40 nm로 증가시켜 채널길이 증가효과를 관찰하였다. 채널길이가 증가하면 문턱전압은 약간 증가하며 전도중심은 상단게이트 방향으로 약간 이동하는 것을 관찰할 수 있다. 즉, 그림 2(a)와 그림 3을 비교하면 채널길이가 감소하면 단채널효과에 의하여 문턱전압이동 현상이 발생하고 있다는 것을 알 수 있다. 그러나 상하단 게이트 산화막 두께 비에 따른 문턱전압 및 전도중심의 변화 경향은 거의 동일하였다.

그림 4에 그림 3과 동일한 조건이고 다만 채널두께만 20 nm로 증가시킨 후, 문턱전압 및 전도중심의 변화를 도시하였다. 이 경우 그림 2(b)와 비교해 보면 채널길이 및 채널두께가 동시에 증가한 경우이므로 변화추이가 그림 2(b)와 거의 동일하다는 것을 관찰할 수 있다. 특히 문턱전압의 경우는 거의 동일한 결과를 얻을 수 있었으며 전도중심의 변화도 거의 일치하는 것을 관찰할 수 있었다. 즉, 채널길이 및 채널두께의 절대값의 변화 보단 상대적인 비가 문턱전압에 더욱 큰 영향을 미치고 있었다. 다만 그림 2(b)와 그림 4에서 하단 게이트 전압에 의한 문턱전압 및 전도중심의 약간의 변화만 관찰할 수 있었다.

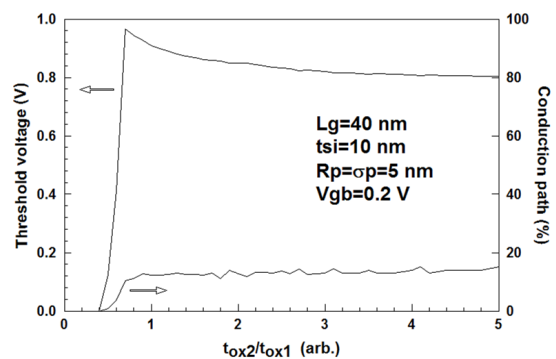


그림 3. 채널길이만 증가시켰을 경우 상하단 게이트 산화막 두께비에 따른 문턱전압 및 전도중심의 변화일 때
Fig. 3 The change of threshold voltage and conduction path for ratio of top and bottom gate oxide thickness in case of increasing channel length

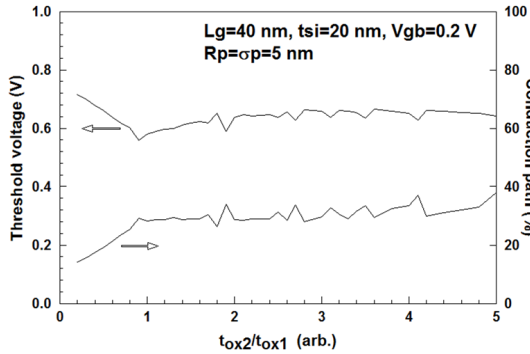


그림 4. 채널두께만 증가시켰을 경우 상하단 게이트 산화막 두께비에 따른 문턱전압 및 전도중심의 변화일 때

Fig. 4 The change of threshold voltage and conduction path for ratio of top and bottom gate oxide thickness in case of increasing channel thickness

도핑분포함수의 형태에 따른 문턱전압 및 전도중심의 변화를 관찰하기 위하여 그림 5에 이온주입범위의 변화에 대한 문턱전압 및 전도중심의 변화를 상하단 게이트 산화막 두께비에 따라 관찰한 결과를 도시하였다. 도핑분포함수에 따른 변화는 고 도핑에서만 관측할 수 있었으므로 $10^{18}/cm^3$ 정도로 채널이 고 도핑된 경우만 관찰하였다. 이 때 이온주입범위가 5 nm미만의 경우 문턱전압은 상하단 게이트 산화막 두께비의 증가에 따라 단조감소하는 경향을 보이거나 이온주입범위가 7 nm로 증가하면 t_{ox2} 가 t_{ox1} 보다 작을 경우 증가하다가 t_{ox2} 가 t_{ox1} 보다 커지면 단조감소하는 경향을 보이고 있었다. 전도중심의 변화에서도 이온주입범위가 5 nm이하에서는 거의 동일한 위치를 보이거나 7 nm로 증가하면 전도중심이 상단게이트로 이동하며 상대적으로 문턱전압은 증가하는 것을 알 수 있다.

분포편차를 파라미터로 하여 상하단 게이트 산화막 두께비의 변화에 따른 문턱전압 및 전도중심의 변화를 그림 6에 도시하였다. 그림 5와 달리 분포편차의 경우는 5 nm를 기준으로 증가 및 감소하여도 문턱전압은 상하단 게이트 산화막 두께비에 따라 단조 감소하는 것을 알 수 있었다. 또한 분포편차가 증가할수록 문턱전압도 증가하며 변화율은 거의 일정하였다. 전도중심의 경우도 거의 분포편차에 대하여 거의 일정한 변화를 보이고 있었다. 이와 같이 분포편차의 변화는 문턱전압 및 전도중심에 이온주입범위보다 큰 영향을 미치고 있지 않았다.

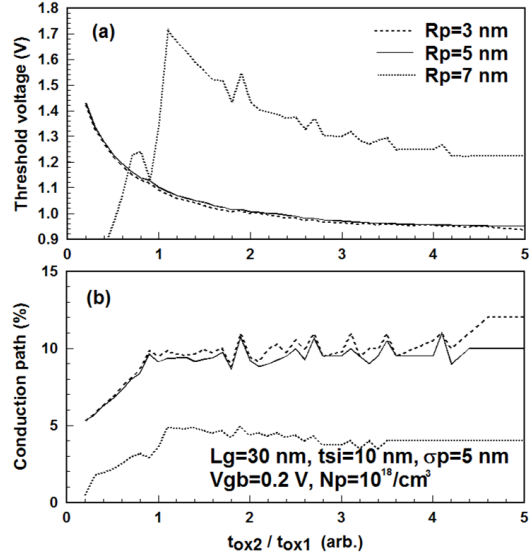


그림 5. 이온주입범위를 파라미터로 관측한 상하단 게이트 산화막 두께비에 따른 (a) 문턱전압 및 (b) 전도중심의 변화

Fig. 5 The change of (a) threshold voltage and (b) conduction path for ratio of top and bottom gate oxide thickness with a parameter of projected range

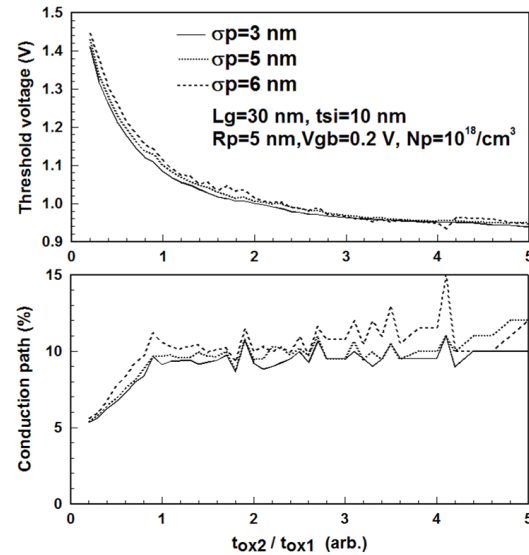


그림 6. 분포편차를 파라미터로 관측한 상하단 게이트 산화막 두께비에 따른 a) 문턱전압 및 b) 전도중심의 변화

Fig. 6 The change of a) threshold voltage and b) conduction path for ratio of top and bottom gate oxide thickness with a parameter of standard projected deviation

즉 비대칭 이중게이트 MOSFET 제작 시 분포편차보다는 이온주입범위에 더욱 주의하여야 할 것이다.

IV. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 상하단 게이트 산화막 두께 비에 대한 문턱전압 및 전도중심의 변화에 대하여 분석하였다. 특히 하단게이트 전압, 채널길이, 채널두께, 이온주입범위 및 분포편차를 파라미터로 하여 문턱전압 및 전도중심의 변화를 관찰하여 결과를 비교·설명하였다.

하단게이트 전압이 증가하면 문턱전압은 감소하고 전도중심은 더욱 채널의 중심으로 이동하는 것을 알 수 있었으며 채널길이가 감소하면 단채널효과에 의하여 문턱전압이동 현상이 발생하고 있다는 것을 알 수 있다. 또한 채널길이 및 채널두께의 절대값의 변화 보단 상대적인 비가 문턱전압에 더욱 큰 영향을 미치고 있었다. 도핑분포함수 중, 이온주입범위가 5 nm미만의 경우 문턱전압은 상하단 게이트 산화막 두께비의 증가에 따라 단조감소하는 경향을 보이거나 이온주입범위가 7 nm로 증가하면 t_{ox2} 가 t_{ox1} 보다 작을 경우 증가하다가 t_{ox2} 가 t_{ox1} 보다 커지면 단조감소하는 경향을 보이고 있었다. 그러나 분포편차 변화에 대한 문턱전압 및 전도중심의 변화는 극히 미미하였으므로 비대칭 이중게이트 MOSFET 설계시 이 점에 유의하여야 할 것이다.

REFERENCES

- [1] S.M.Lee, J.Y.Kim, C.G.Yu and J.T.Park, "A Comparative study on hot carrier effects in inversion-mode and junctionless MugFETs," *Solid-State Electronics*, vol.79, pp.253-257, 2013.
- [2] G.A.T.Seville, J.P.Rojas, H.M.Fahad, A.M.Hussain, C.E.Smith, M.M.Hussain and R. Ghanem, "Flexible and transparent silicon-on-polymer based sub-20 nm non-planar 3D FinFET for brain-architecture inspired computation," *Advanced Materials*, vol.26, no.18, pp.2794-2799, 2014.
- [3] J.B.Roldan, B.Gonzalez, B.Iniguez, A.M.Roldan, A.Lazaro and A.Cerdeira, "In-depth analysis and modelling of self-heating effects in nanometric DGMOSFETs," *Solid-state electronics*, vol.79, no.1, pp.179-184, 2013.
- [4] K.B.Ali, J.P.Raskin, A.Gharsallah and C.R.Neve, "RF performance of SOI CMOS technology on commercial 200-mm enhanced signal integrity high resistivity SOI substrate," *IEEE Trans. on Electron Devices*, vol.61, no.3, pp.722-728, 2014.
- [5] Y.Li and C.H.Hwang, "Discrete-dopant-fluctuated threshold voltage roll-off in sub-16 nm bulk fin-type field effects transistors," *Japanese Journal of Applied Physics*, vol.47, no.4, pp.2580-2584, 2008.
- [6] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [7] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626, 2013.
- [8] H.K.Jung and H.S.Kwon, "Analysis of Channel Dimension Dependent Threshold Voltage for Asymmetric DGMOSFET," *2014 International Conference on Future Information & Communication Engineering*, vol.6, no.1, pp.299-302, 2014.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
 1985.3 연세대학교 전자공학과 M.S.
 1990.8 연세대학교 전자공학과 Ph.D
 1995.8 일본 오사카대학 교환교수
 2005.8 호주 그리피스대학 교환교수
 1990.3-현재 군산대학교 전자공학과 교수
 2014.1-현재 한국정보통신학회 회장
 ※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등