

논문 2014-51-11-8

전류모드 논리 회로 기반의 고속 디지털 회로 디자인 최적화

(Design Optimization of CML-Based High-Speed Digital Circuits)

장 익 찬*, 김 진 태***, 김 소 영**

(Ikchan Jang, Jintae Kim, and SoYoung Kim[©])

요 약

본 논문에서는 전류 모드 논리 회로들로 구현되는 고속 디지털 회로의 설계를 가능하게 하는 수식 기반의 자동화 설계 틀을 제시하고자 한다. 제안된 매크로 모델은 제약 기반의 최적화를 가능하게 하는 geometric programming에 호환 가능하며 이를 통해 시스템 레벨에서의 전력 소모 최적화를 가능하게 한다. 제안된 수식 기반의 자동화 설계 틀은 전류 모드 논리 회로 고속 디지털 회로의 대표적인 종류 중 하나인 시리얼 링크 전송회로에 적용 되었다. 이를 통해, 사용자 정의 설계 사양에 따라 최적화를 수행하게 된다. 제안된 수식 기반의 자동화 설계 틀은 CMOS 45nm 와 90nm 각각 적용 되어 시리얼 링크 설계의 전력 소모 최적화를 수행하였으며, 이를 통해 각각의 공정 노드에 존재하는 최적의 전력 효율을 가지는 시리얼 링크의 데이터 스피드를 얻어 낼 수 있다.

Abstract

This paper presents a framework that is based on a reconfigurable macro-model of current-mode logic (CML) high-speed digital circuits enabling equation-based design optimization. The proposed macro-model is compatible with geometric programming, thereby enabling constraint-driven top-level power optimization. The proposed optimization framework is applied to a design of CML based serial-link transmitter with user-defined design specifications as an example of high speed digital circuits using 45nm and 90nm CMOS technology. The proposed optimization framework can derive a design with optimal power efficiency for given transistor technology nodes.

Keywords : 전류 모드 논리 게이트, Geometric Programming, 고속 시리얼 링크 전송회로, 자동화 설계 틀

I. 서 론

최근 고속 디지털 회로들의 용도에 따라 이러한 회로

들의 설계 사양이 다양화되고 있다. 하지만 기존의 주문 제작 설계 방식으로 이러한 추세를 따라가기가 점점 어려워지면서, 시장의 요구와 실제 설계에 소요되는 시간 사이에 차이가 나날이 커지고 있다. 더욱이, 이러한 회로들의 설계들이 만족해야할 제약 조건들의 점점 복잡해지고 있기 때문에 최적화된 디자인을 얻기가 점점 힘들어지고 있다.

이러한 상황들은 계층화된 구조를 가지는 고속 시리얼 링크 전송 회로를 설계하는 과정에서 더욱 심각해지고 있다^[1]. 기본적으로 시리얼 링크 전송 회로 설계의 목표는 정해진 데이터 속도를 가장 적은 전력을 소모하는데 있다. 그리고 데이터 속도와 전력 소모 사이에는 트레이드 오프 관계에 있다. 하지만, 앞서 말한 주문 제

* 학생회원, ** 정회원, 성균관대학교 정보통신대학
(College of Information and Communication
Engineering, Sungkyunkwan University)

*** 정회원, 건국대학교 전자공학부
(Department of Electronics Engineering, Konkuk
University)

© Corresponding Author(E-mail: ksyoun@skku.edu)

※ 이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임
(No. NRF-2014R1A2A2A01006595).

※ 본 논문은 IDEC의 지원을 받아 수행된 것임.
접수일자: 2014년08월08일, 수정일자: 2014년10월08일
게재확정: 2014년11월01일

작 설계 방식으로는 이러한 트레이드 오프 관계에서 존재하는 최적화 디자인을 찾기가 쉽지 않다. 뿐만 아니라, 파운드리에서 제공하는 공정기술의 변화 역시 이러한 문제를 더 심화시키고 있다. 이처럼, 고속 시리얼 링크 전송 회로의 설계하는데 소요되는 비용과 시간을 고려할 때, 체계적인 디자인 최적화 방법을 적용의 필요성이 점점 대두 되고 있다.

이러한 문제점을 해결하기 위해, 시리얼 링크 전송 회로 최적화 설계에 대한 연구가 과거에도 존재하였다^[2~3]. 하지만 이러한 연구들의 초점은 신호들의 공통 모드 전압 레벨 혹은 이퀄라이저 탭의 수와 같은 아키텍처 레벨의 디자인 트레이드 오프를 보여주고 평가하는데 국한되었다. 이러한 연구들이 귀중한 설계 가이드를 제시할 수 있지만, 물리적인 트랜지스터 레벨에서의 최적화된 디자인을 제시하지는 못한다.

이러한 한계점을 극복하기 위해, 본 논문에서는 고속 입출력 시스템 회로의 기본 블록인 전류 모드 논리 디지털 게이트의 동작을 모델링한 수식을 이용하여 실제적인 트랜지스터 레벨에서의 디자인 최적화를 가능하게 하는 디자인 방법을 제시하고자 한다. 이처럼 수식화된 모델의 최적화 포인트를 찾기 위해서는 최적화 엔진이 필요한데, 여기서는 geometric programming (GP)라는 최적화 엔진을 사용하도록 한다. Geometric Programming(GP)는 회로 설계의 기본이 되는 트랜지스터부터 최종 단계인 시스템까지의 연결을 용이하게 하기 때문에 과거에도 많이 사용되어 왔다^[3~5]. 다만 이러한 연구들에서는 고정된 시스템을 최적화시키는 것에 국한되어서 적용되었기 때문에, 확장성에 있어서는 한계점이 존재하였다. 하지만 본 논문에서는 트랜지스터 모델, 그리고 전류 모드 논리 회로 게이트 모델, 그리고 최종 고속 시리얼 링크 전송 회로까지 전체를 모델링하여 사용자가 디자인 사양만 입력하면 이를 만족하는 시스템을 확장하여 생성 할 뿐만 아니라 최적화된 디자인을 얻을 수 있도록 한다.

본 논문에서는 전류 모드 논리 회로 기반의 고속 디지털 회로의 대표적인 예인 시리얼 링크 전송회로의 최적화 디자인을 위한 자동화 설계 틀을 제시한다. 먼저, 최적화 엔진인 geometric programming에 대한 간략한 소개를 II장에서 다룬다. 그리고 III장에서는 트랜지스터 레벨부터 시스템 레벨의 모델링 과정에 대해 다루도록 한다. 그리고 이러한 모델의 신뢰성과 정확도를 보

여주기 위해 SPICE 시뮬레이션을 통해 얻은 결과를 IV장에서 보여주도록 한다. V장에서 결론을 맺는다.

II. Geometric Programming

본 장에서는 최적화 엔진으로 사용되는 geometric programming에 대해 설명한다. Geometric Programming (GP)는 convex optimization 의 종류 중, 하나로서 다음과 같은 형태를 가진다^[7].

$$\begin{aligned} & \text{minimize } f_o(x) \\ & \text{subject to } f_i(x) \leq 1, \quad i = 1, \dots, n \\ & \quad \quad g_i(x) = 1, \quad i = 1, \dots, p \\ & \quad \quad x_i > 0, \quad i = 1, \dots, m \end{aligned} \quad (1)$$

여기서 f_i 와 g_i 는 각각 posynomial 과 monomial 함수이다. Monomial 함수의 경우는 실수를 지수로 가지는 양의 계수 다항식이며, posynomial 함수는 여러 개의 monomial의 합으로 이루어진 함수의 형태를 나타낸다. 설계에 작용하는 모든 제약 조건과 성능에 대한 모델이 다음과 같은 형태로 수식화되면, 최적화 엔진에 존재하는 알고리즘이 제약 함수 g_i 와 f_i 를 만족하는 범위 내에서 목적 함수 f_o 를 최소화하는 변수 값을 생성해 낸다. 이러한 알고리즘의 복잡도는 제약 함수와 목적 함수의 총 개수에 비례하기 때문에 상당히 효율적인 알고리즘에 속한다. 이러한 효율성뿐만 아니라, geometric programming에서 사용하는 알고리즘은 동일한 함수에 대해서 초기 조건에 관계없이 전역 최적화를 수행하기 때문에 알고리즘의 신뢰성 또한 매우 유용하다는 것을 알 수 있다.

III. 제안된 최적화 틀

최적화 framework는 그림 1에 나와 있듯이 총 3가지 과정으로 나누어지고 그 과정들은 다음과 같다. 1) 트랜지스터 레벨 모델링, 2) 게이트 레벨 모델링, 그리고 3) 시스템 레벨 모델링.

1. 트랜지스터 레벨 모델링

새롭게 적용되는 최적화 틀은 트랜지스터 레벨의 디바이스 모델을 geometric programming에서 요구하는 기본적인 함수의 형태인 monomial 함수로 모델링하는

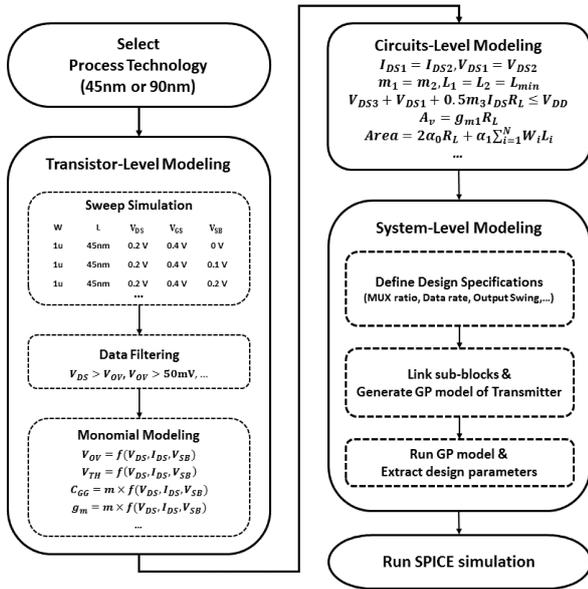


그림 1. 제안된 geometric programming 기반 최적화 framework

Fig. 1. Proposed geometric programming based optimization framework.

표 1. 단일 트랜지스터 모델에 필요한 변수

Table 1. Variables defined to model a single transistor.

변수 이름	설명
V_{DS}	드레인-소스 전압 (V)
I_{DS}	정규화된 드레인 소스 전류(A/ μm)
V_{SB}	소스-벌크 전압 (V)
m	핑거 수

것부터 시작하게 된다. 고속 입출력 회로에서 사용하는 회로에서는 최대의 단일 이득 대역폭(f_T)을 위해 최소 크기의 게이트 길이를 사용하기 때문에, 트랜지스터 게이트 길이를 최소 사이즈인 $L = L_{min}$ 으로 사용하도록 한다. 이처럼 변수의 수를 줄임에 따라 디바이스 모델의 정확도를 높일 수 있고 이는 추후에 최적화 될 회로나 시스템의 정확도를 높이는 데도 기여하게 된다. 게이트 길이를 제외한 디바이스 모델에서 사용되는 변수들을 정리하면 표 1과 같다. 디바이스 모델링 통해 얻고자 하는 monomial 함수는 다음 수식 (2)와 같다.

$$\begin{aligned}
 V_{OV}, V_{TH} &= a_1 V_{DS}^{a_2} I_{DS}^{a_3} V_{SB}^{a_4} \\
 C_{gg}, C_{dd}, C_{ss} &= m \times b_1 V_{DS}^{b_2} I_{DS}^{b_3} V_{SB}^{b_4} \\
 g_m, g_{ds} &= m \times c_1 V_{DS}^{c_2} I_{DS}^{c_3} V_{SB}^{c_4}
 \end{aligned} \quad (2)$$

여기서 V_{OV} 는 게이트 오버드라이브 전압, V_{TH} 는 문턱

전압, C_{gg}, C_{dd}, C_{ss} 는 각각 게이트, 드레인, 소스 커패시턴스이고, g_m 과 g_{ds} 는 게이트, 드레인 트랜스컨덕턴스이다. 여기서 주목할 점은, V_{OV} 와 V_{TH} 는 트랜지스터의 핑거에 대해 독립적이지만 나머지 게이트, 접합 커패시턴스, 그리고 트랜스컨덕턴스는 핑거 수에 비례해서 그 값이 증가한다. 그림 1과 같이 모델링 과정은 단일 트랜지스터의 노드 전압 값을 바꿔가면서 SPICE 시뮬레이션을 통해 모델링 하고자 하는 monomial 함수 값들을 얻는 데서 시작한다. 그리고 트랜지스터의 동작 범위가 saturation 혹은 linear 영역에서 벗어난 데이터 샘플은 제거하도록 한다. 이는 디바이스 동작 특성이 원하는 동작 범위 바깥이고 또한, 하나의 monomial 함수 모델로 표현하기에는 트랜지스터의 특성이 너무 급격하게 변하기 때문이다. 이러한 데이터 필터링 작업을 한 후에, 최적화 엔진에 존재하는 SeDuMi를 이용해 monomial 함수 피팅을 실시한다^[8-9].

2. 게이트 레벨 모델링

본 장에서는, 고차원 시스템 레벨 모델링에 필요한 전류모드 논리 게이트들에 대한 수식화된 모델링과정을 보여주고자 한다. 기본적인 전류 모드 논리 게이트로는 그림 2와 같이 버퍼, 멀티플렉서, 그리고 래치로 나뉜다. 게이트 레벨의 모델링에는, 전류 모드 논리 회로가 가지는 회로 구조에 따른 바이어스 조건, 그리고 단일 게이트 성능 모델 두 가지 모두 포함시켜야 한다. 바이어스 조건의 경우 키르히호프 전류, 전압 법칙을 통해 얻어진다. 그리고 모든 트랜지스터의 동작 영역을 saturation 영역에 넣도록 하는 제약 조건도 포함해야 한다. 단일 게이트 성능 모델의 경우에는 동작 스피드, 면적, 출력 전압 폭, 그리고 전력 소모와 같은 모델이 필요하다.

예를 들어, 그림 2.(a)에 나오는 버퍼의 모델 같은 경우에는 다음과 같은 과정을 거치게 된다. 먼저, 회로 구조의 대칭성에 따라 트랜지스터 M_1 과 M_2 의 사이즈는 동일하게 가져가도록 한다. 그리고 M_1 과 M_2 의 게이트 오버드라이브 전압의 크기는 M_3 에 의해 공급받은 전류를 한 쪽으로 완전히 끌어들이기 위해 차동 입력 전압의 크기의 $1/\sqrt{2}$ 배 보다 작아야 한다. 이는 기본적으로 saturation 동작 영역에서 트랜지스터가 square-law 모델에 의거해 동작한다고 가정하기 때문

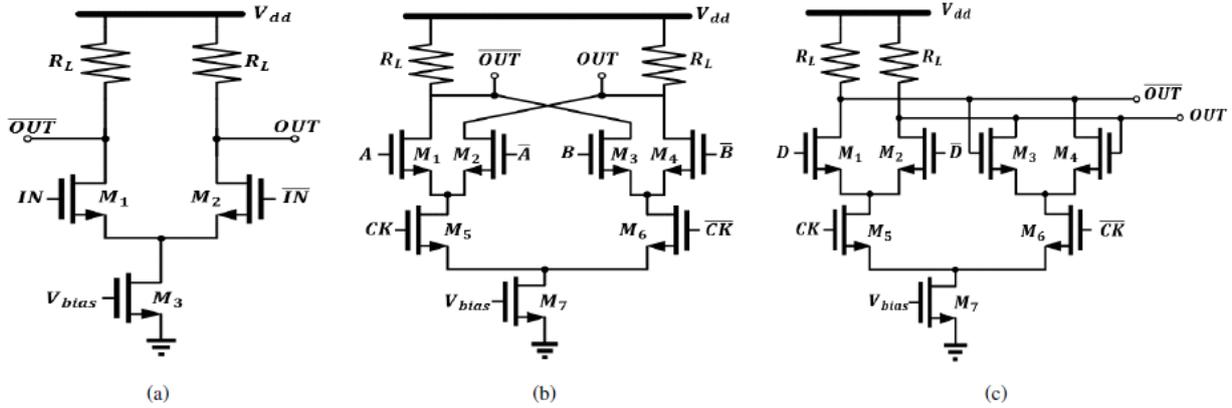


그림 2. 전류 모드 논리 게이트 (a) 버퍼 (b) 멀티플렉서 (c) 래치
Fig. 2. CML-based logic gates (a) buffer (b) multiplexer (c) latch.

표 2. 전류 모드 논리 게이트 버퍼의 바이어스 모델
Table 2. Topology-specific constraints and bias conditions for CML buffer.

1. $I_{DS1} = I_{DS2}, V_{DS1} = V_{DS2}$
2. $m_1 = m_2, L_1 = L_2 = L_{\min}$
3. $V_{DS1} \geq V_{OV1}, V_{DS2} \geq V_{OV2}, V_{DS3} \geq V_{OV3}$
4. $V_{id} \geq \sqrt{2} V_{OV1}, \sqrt{2} V_{OV2}$
5. $m_1 I_{DS1} = m_2 I_{DS2} = 0.5 m_3 I_{DS3}$
6. $V_{DS3} + V_{OV1} + V_{TH1} \leq V_{icm}$
7. $V_{DS3} + V_{DS1} + 0.5 m_3 I_{DS3} R_L \leq V_{dd}$

이다. 앞서 말한 모든 바이어스 조건들은 표 2와 같이 모델링 하도록 한다.

단일 전류 모드 논리 게이트 버퍼의 성능 모델 또한 수식화 되어야 하고 그 모델은 총 5 가지이며 그 세부 내용은 다음과 같다. 먼저 출력 신호의 전압폭은 다음 수식 (3)과 같이 전류원 M_3 에 의해 공급 받는 전류와 부하 저항 R_L 의 곱으로 구해질 수 있다.

$$V_{out,swing} = m_3 I_{DS3} R_L \quad (3)$$

그리고 정적 전력 소모 또한 수식 (4)와 같이 전류원 M_3 에 의해 공급 받는 전류와 공급 전압 V_{dd} 의 곱으로 구한다.

$$Power = (V_{dd} - V_{ss}) \times m_3 I_{DS3} \quad (4)$$

단일 전류 모드 논리 게이트 버퍼가 차지하는 면적은 각각의 트랜지스터와 부하 저항의 사이즈에 의해 결정 되기 때문에 다음 수식 (5)와 같이 구하도록 한다.

$$Area = 2\alpha_0 R_L + \alpha_1 \sum_{i=1}^3 W_i L_i \quad (5)$$

위 수식 (5)에서 나오는 α_0 의 경우 부하 저항 값과 실제 저항이 차지하는 면적의 비율을 나타낸다. α_1 의 경우에는 트랜지스터를 실제로 레이아웃 했을 때, 트랜지스터의 능동 면적이 아닌 곳을 포함시키기 위한 변수이다.

전달 지연 시간의 경우에는 해당 회로에 존재하는 저항 커패시턴스 네트워크에 의해 결정되고 이는 수식 (6)과 같이 구하도록 한다.

$$t_d = k_{RC} [R_L (C_L + C_{dd1}) + (C_{ss1} + C_{dd3}) / g_{m1}] \quad (6)$$

지연 시간의 값에 따라 과도 응답 특성이 결정되기 때문에 과 의 공통 소스 모드에 존재하는 시정수도 추가하도록 한다. 마지막으로 출력 신호의 노이즈 마진 또한 전류 모드 논리 게이트의 중요한 성능 파라미터이기 때문에 모델링 과정에 포함시켜야 한다. 전류 모드 논리 게이트 버퍼의 노이즈 마진은 DC 전압 이득에 의해 결정되게 되고 그 수식은 다음과 같다^[10-11].

$$NM[\%] = \frac{\sqrt{4A_v^2 - 1} - \sqrt{8A_v^2 + 1}}{A_v^2 \sqrt{2}} \times \left(\frac{\sqrt{4A_v^2 + 1} + \sqrt{8A_v^2 + 1}}{2\sqrt{2}} - 1 \right) \quad (7)$$

수식 (7)에서 A_v 는 전류 모드 논리 게이트의 DC 전압 이득이고 이를 구하는 수식은 수식 (8)과 같다.

$$A_v = g_{m1} R_L \quad (8)$$

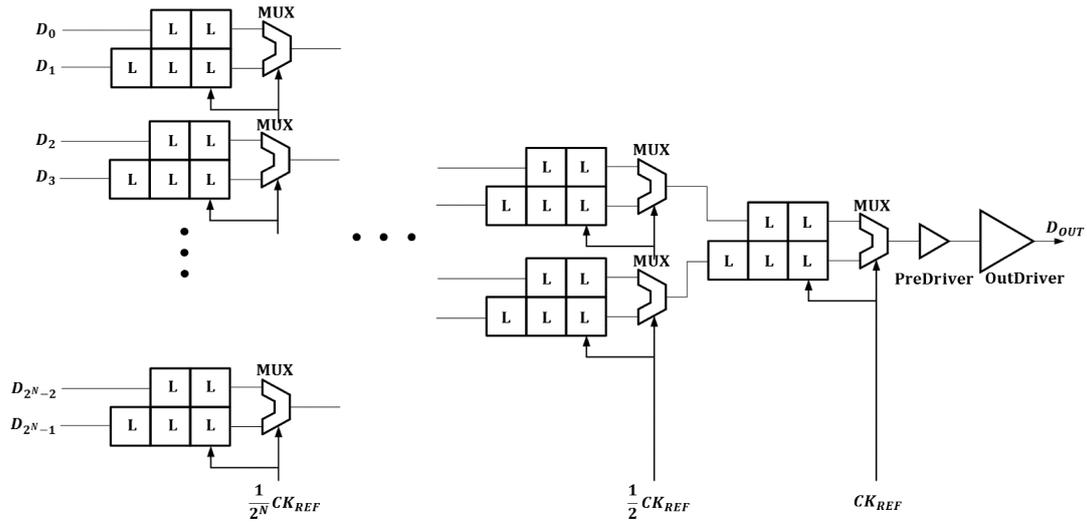


그림 3. $2^N : 1$ 시리얼 링크의 아키텍처

Fig. 3. Architecture of serial-link transmitter with $2^N : 1$ serializer.

일반적으로 전류 모드 논리 회로의 노이즈 마진은 출력 전압 폭 대비 40% 이상 가져가도록 하는데, 이를 만족하기 위해서는 DC 전압 이득이 $2 V/V$ 보다 커야하고 이러한 조건을 단일 모드 전류 회로의 성능 모델에 포함된다. 이와 같은 방식으로 버퍼이외에 그림 2(b),(c)와 같이 멀티플렉서와 래치에 대해서도 수식화된 모델링을 실시하도록 한다. 그림 2에서 보듯이 멀티플렉서와 래치의 경우에는 2단 차동 쌍을 가지고 있기 때문에 그에 따른 바이어스 모델만 추가하면 되기 때문에 본 논문에서는 생략하였다^[12].

3. 시스템 레벨 모델링

고속 시리얼 링크 전송회로의 시스템 레벨 모델링은 여러 개의 단일 전류 모드 논리 게이트를 주어진 구조에 맞게 연결하는 과정이다. 그러므로 시스템 레벨 모델링에 있어 중요한 점은 하위 전류 모드 논리 게이트들의 인터페이스를 연결하는 변수를 정의하고 이를 연결하는데 있다. 기본적인 고속 시리얼 링크 전송회로의 구조는 그림 3과 같고 시스템 레벨의 디자인 사양은 표 3과 같다.

이와 같이 단일 전류 모드 논리 게이트들로 이루어진 시리얼 링크를 연결하는 변수와 이를 연결하는 과정은 다음 그림 4와 같은 알고리즘을 통해 구현될 수 있다. 여기서 주목 할 점은, 시스템 레벨의 모델은 모든 하위 블록의 게이트 레벨 모델뿐만 아니라 이를 연결하기 위한 변수 또한 포함해야 한다. 예를 들어서, 2:1 멀티플

```

cvx_begin gp quiet
%% objective
minimize Power
subject to Area ≤ Area_max
           Vout_swing.outdriver ≥ Vout_min
...
%% system variable link
for k=1:N do
    Cload.latch(k)==Cin.mux(k)
    Vin_swing.mux(k)==Vout_swing.latch(k)
    if n≠N then
        Cload.mux(k)==Cin.latch(k+1)
        Vin_swing.latch(k+1)==Vout_swing.mux(k)
    end if
end for
Cload.mux(N)==Cin.predriver
Cload.predriver=Cin.outdriver
Cload.outdriver=Cout
Vin_swing.predriver==Vout_swing.mux(N)
Vin_swing.outdriver==Vout_swing.predriver
tin_rise.predriver==tout_rise.mux(N)
tin_rise.outdriver==tout_rise.predriver
cvx_end
    
```

그림 4. geometric programming 기반의 시리얼 링크의 시스템 레벨 모델

Fig. 4. geometric programming based system-level model for serial-link transmitter.

렉서 모델의 경우, 래치의 부하 커패시턴스의 값은 멀티플렉서의 입력 게이트 커패시턴스 값으로 대체 된다. 또한 래치의 출력 전압 폭이 멀티플렉서의 입력 전압 폭이 된다. 뿐만 아니라, 시리얼 링크 내부의 모든 개별 전류 모드 논리 게이트에 대한 바이어스 모델, 성능 모델이 또한 시스템 레벨에서 주어진 사용자 정의 사양

표 3. 시리얼 링크 전송회로의 사용자 정의 사양 변수

Table 3. Variables that model the system level performance defined from user specifications.

변수	설명
N	시리얼라이저 스테이지 수
Vout_min	최종 출력 데이터의 전압 폭
Area_max	허용 가능한 최대 면적
Cout	최종 단 부하 커패시턴스

변수에 따라 생성이 된다.

이처럼 인접한 블록 사이를 연결 하는 변수들을 시스템 레벨의 모델에 추가함에 따라, 시스템 레벨에서 최적화를 가능하게 한다. 이러한 시스템 내부에 존재하는 인접 블록 사이를 연결하는 변수화함에 따른 장점은 사용자가 입력한 시리얼 링크 사양이 변하더라도 그에 따라 디자인을 재합성을 가능하게 하는 것이다. 본 연구에서는 8:1 시리얼 링크의 설계 최적화를 수행하여 제안된 모델의 신뢰성을 보여줄 것이다. 실제 시리얼 링크의 환경에서는 최종 출력 단의 부하를 2개의 50Ω 저항을 병렬로 매칭시키기 때문에 이를 반영하여, 최종 출력 단의 부하 저항 값을 25 Ω 으로 고정하도록 한다. 그리고 최종단의 부하 커패시턴스 값은 300 fF 값으로 하여 실제 제작 시 에 발생하는 부하 커패시턴스 값과 비슷하게 하도록 한다.

최종적인 geometric programming 기반의 시스템 레벨 모델이 완성되면, 최적화 엔진에 존재하는 알고리즘에 따라 목적 함수인 전체 시스템의 전력 소모를 최소화하는 작업을 수행하게 되고 이를 통해 모든 개별 전류 모드 논리 게이트의 디자인 파라미터들을 얻을 수 있다. 최적화 수행을 통해 얻은 파라미터를 이용해 SPICE simulation을 수행하여서 모델의 신뢰성을 보여줄 수 있도록 한다. 실제 테스트 환경을 제공하기 위해, PRBS (Pseudo Random Binary Sequence) 생성회로를 이용하여 임의의 데이터 패턴을 형성하여 그림 3에 나오는 $D_0 \sim D_{2^N-1}$ 에 해당하는 데이터를 시리얼 링크의 입력 데이터로 인가하도록 한다.

IV. 시뮬레이션 결과

제시된 시스템 레벨의 모델을 증명하기 위해, 본 논문에서는 전류 모드 논리 회로 기반의 시리얼 링크 전

송회로의 전력 소모량의 최적화를 수행한다. 기존의 시뮬레이션 기반의 최적화 방법과는 다르게 수식 기반의 모델을 GP toolbox 내부에 존재하는 solver가 수식 모델을 해결하는 과정에서 시뮬레이션을 수행하지 않기 때문에 설계 최적화에 소요되는 시간을 상당 부분 단축시킬 수 있다. 실제로 MATLAB 환경에서 최적화를 수행하는 시간은 Xeon(R) 2.67 GHz quad-core CPU 환경에서 23.1초이다. III장에서 제시된 최적화 방법을 따라, 90 nm 와 45 nm 두 가지 CMOS 공정에 적용시켰다. 표 4와 5에 나오듯이 실제 SPICE 시뮬레이션을 수행 결과와 모델에서 얻은 값을 비교 해 보았을 때, 모델링 오차의 최대값이 5% 미만으로 나오는 것을 확인 할 수 있다. 이를 통해, 본 논문에서 제시된 수식 모델 기반의 최적화 틀이 공정 변화에 확장성이 있다는 것을 확인 할 수 있다. 뿐만 아니라, 원하는 출력 데이터 속도를 변화시키면서 얻은 최적화 결과를 통해 주어진 공정에 존재하는 전력 소모량과 데이터 속도 사이의 트레이드 오프 관계를 정량적으로 해석 가능하게 한다. 뿐만 아니라, 최종 출력 데이터의 전압 폭 또한 시스템 레벨의 입력 변수를 변경함으로써 손쉽게 변화시킬 수 있고 결과 또한 신뢰성이 있다는 것을 확인 할 수 있다.

90nm CMOS 공정 기술에서 존재하는 최적의 전력 효율을 가지는 데이터 스피드는 대략적으로 12 Gb/s라는 것을 알 수 있다. 이 때의 출력 데이터의 eye-diagram을 그림 6에서 확인 할 수 있다. 이러한 결과가 나오게 되는 원인을 분석하게 되면, 저속 동작하는 전송회로의 경우에는 대부분의 전력 소비가 출력 드라이버에서 소모된다. 하지만 최적의 전력 효율 데이터 스피드인 12 Gb/s 보다 고속 동작하는 전송회로의 경우에는, 데이터 스피드와 관계없이 상대적으로 일정한 전력 소모를 하는 프리드라이버와 출력 드라이버와는 달리 멀티플렉서와 래치에서 소모하는 전력이 급격히 증가하기 때문에 전력 효율이 떨어지게 된다. 또한 최적의 전력 효율 데이터 스피드인 12 Gb/s 까지는 전력 효율과 출력 데이터의 전압 폭과 선형적으로 비례하는 사실을 확인 할 수 있다. 하지만 그 이상의 데이터 속도에서는 해당 데이터 속도가 허용하는 전달 지연 시간을 만족시키기 위해 전류원이 공급하는 전류가 그만큼 많아지게 되고 또, 이를 차동쌍의 한 쪽 트랜지스터로 완전히 끌어오기 위해 차동쌍의 트랜지스터 사이즈가 커지게 된다. 이는 전류 모드 논리 게이트의

표 4. 시스템 레벨의 증명을 위한 90nm CMOS technology에서의 시리얼 링크 전송 회로의 시뮬레이션 결과
Table 4. Simulation results of a transmitter for system-level model validation in 90nm.

Data rate	Vout_min[mV]	Power dissipation [mW]		Error[%]	Power efficiency[mW/Gb/s]	V _{ppd} [mV]	Output Jitter[ps _{pp}]
		Model	Simulation				
4 Gb/s	200	5.850	6.035	3.15	1.509	200	1.50
	400	10.991	11.1514	1.46	2.788	400	1.80
8 Gb/s	200	6.456	6.602	2.27	0.825	200	5.46
	400	12.296	12.420	1.00	1.553	400	4.17
12 Gb/s	200	7.690	7.860	2.21	0.655	200	1.28
	400	14.819	15.046	1.53	1.254	400	1.50
16 Gb/s	200	13.224	13.446	1.68	0.840	200	1.01
	400	26.085	26.329	0.93	1.664	380	0.68

표 5. 시스템 레벨의 증명을 위한 45nm CMOS technology에서의 시리얼 링크 전송 회로의 시뮬레이션 결과
Table 5. Simulation results of a transmitter for system-level model validation in 45nm.

Data rate	Vout_min[mV]	Power dissipation [mW]		Error[%]	Power efficiency[mW/Gb/s]	V _{ppd} [mV]	Output Jitter[ps _{pp}]
		Model	Simulation				
20 Gb/s	200	7.627	7.865	3.12	0.393	198	1.69
	400	14.806	15.024	1.47	0.751	392	2.06
24 Gb/s	200	8.769	8.980	2.41	0.374	200	1.52
	400	17.819	17.637	1.02	0.742	392	1.70
28 Gb/s	200	10.670	10.898	2.14	0.389	194	1.39
	400	22.111	22.046	0.29	0.787	384	1.40
32 Gb/s	200	15.744	15.793	0.31	0.494	196	1.05
	400	34.844	34.278	1.72	1.071	380	1.01

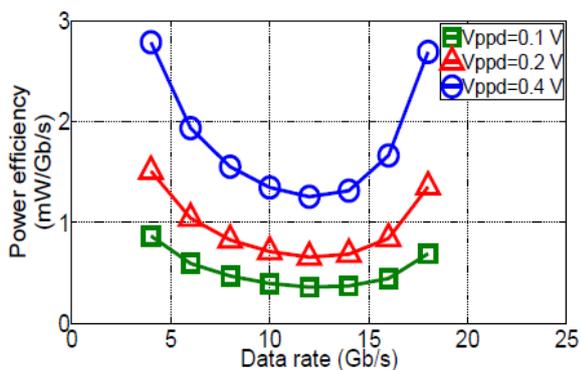


그림 5. 90nm CMOS 공정에서의 데이터 스피드에 따른 시리얼 링크 전송회로의 전력 효율도
Fig. 5. Power efficiency curves of transmitter versus data rate for 90nm CMOS technology (V_{ppd} is peak-to-peak output voltage swing).

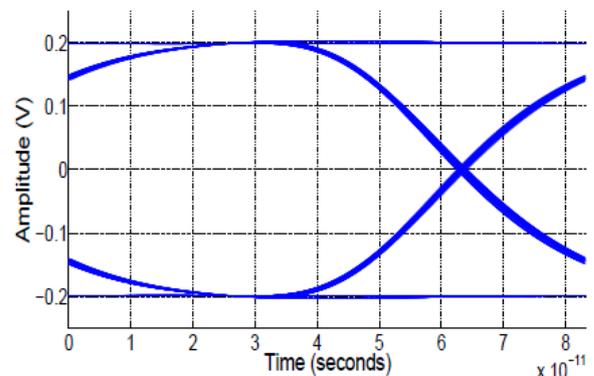


그림 6. 400 mV의 peak-to-peak 전압 폭을 가지는 12 Gb/s의 출력 데이터의 eye-diagram
Fig. 6. Eye-diagram of 12 Gb/s output data having 400 mV V_{ppd} in 90nm CMOS technology.

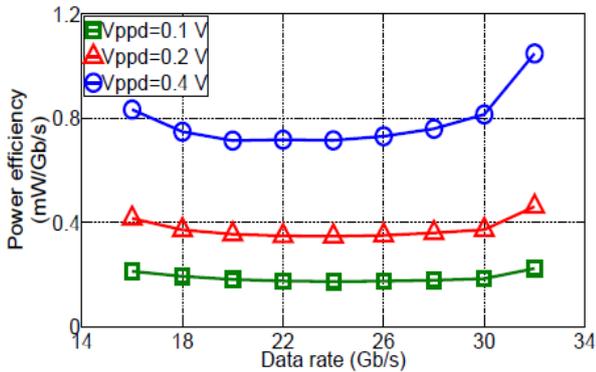


그림 7. 45nm CMOS 공정에서의 데이터 스피드에 따른 시리얼 링크 전송회로의 전력 효율도

Fig. 7. Power efficiency curves of transmitter versus data rate for 45nm CMOS technology (V_{ppd} is peak-to-peak output voltage swing).

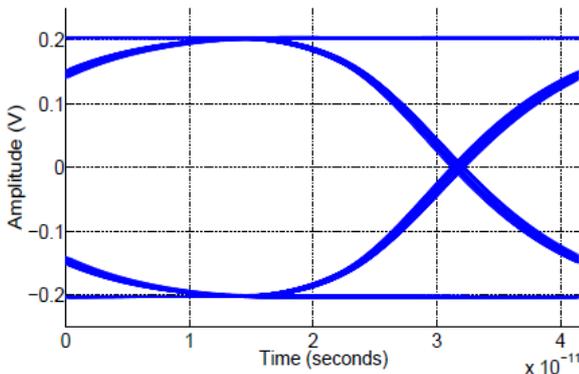


그림 8. 400 mV의 peak-to-peak 전압 폭을 가지는 12 Gb/s의 출력 데이터의 eye-diagram

Fig. 8. Eye-diagram of 12 Gb/s output data having 400 mV V_{ppd} in 90nm CMOS technology.

출력단에 존재하는 기생 커패시턴스가 커지게 되고 이는 전류 모드 논리 게이트가 바라보는 전체 커패시턴스가 증가하게 된다. 이러한 커패시턴스의 증가는 전체 전력 소모의 증가를 초래하게 된다. 이러한 영향은 그림 5에서 나타나듯이, 상대적으로 많은 전류를 소모하는 최종 출력 데이터의 전압 폭이 클수록 더 뚜렷이 나타나게 된다.

45nm CMOS 공정을 적용시켰을 때도 마찬가지로 이유로 인해 최적의 전력 효율을 가지게 하는 데이터 스피드가 존재한다. 45nm CMOS 공정을 적용시켜서 동일한 최적화 과정을 거쳐 얻은 결과는 그림 7과 8과 같다. 이 경우에는 최적의 데이터 스피드가 대략 24 Gb/s 정도인 것을 그림 7을 통해 알 수 있고 이 때의 출력 데이터의 eye-diagram은 그림 8과 같다.

V. 결론

본 논문에서는 전류 모드 논리 기반의 고속 디지털 회로의 종류 중 하나인 고속 시리얼 링크 전송회로의 구조적인 전력 최적화를 위한 수식 기반의 설계 틀을 보여준다. 제안된 최적화 틀은 제약 조건에 의해 좌우되는 전류 모드 논리 게이트 기반의 회로 설계 합성을 가능하게 한다. 따라서 시스템 레벨에서 사용자가 원하는 사양에 대한 간단한 기술을 통해 다양한 디자인 사양을 가지는 저전력 전송회로 설계가 가능하다는 것을 보여준다. 전력 효율 그래프는 주어진 공정 기술 노드에서 가장 최적의 전력 효율을 가지는 데이터 스피드에 대한 정보를 제공한다. 뿐만 아니라, 상위 레벨에서 사양에 대한 정보만 간단히 변경하면 자동으로 회로가 합성되는 특성을 이용해 여러 가지 디자인 사양을 변경해 가면서 전력 소모에 가장 영향을 끼치는 디자인 변수가 무엇인지도 쉽게 확인 될 수 있다. 본 논문에서는 45nm와 90nm CMOS 공정에 대해 SPICE 시뮬레이션 결과를 보여주고 있고, 모델과 실제 시뮬레이션 사이에 최대 오차가 5% 미만인 것을 확인 할 수 있다. 이를 통해 제안된 최적화 틀이 공정 기술 변동에도 무관하게 사용될 수 있다는 것을 확인 할 수 있다. 따라서 공정이 변동하더라도 별도로 설계에 소요되는 비용과 시간을 절약할 수 있을 것으로 예상된다.

REFERENCES

- [1] J. Ku, B. Bae, and Jongsun Kim, "A 13-Gbps Low-swing Low-power Near-ground Signaling Transceiver," *Journal of the Institute of Electronics and Information Engineers*, 51(4):49-58, Apr. 2014.
- [2] H. Hatamkhani, F. Lambrecht, V. Stojanovic, and C. K. Ken Yang, "Power-centric design of high-speed I/Os," *Proc. 43rd ACM/IEEE Design Automation Conf.*, 867-872, Jul 2006.
- [3] A. Palaniappan and S. Palermo, "A Design Methodology for Power Efficiency Optimization of High-Speed Equalized Electrical I/O Architectures," *IEEE Trans. Very Large-Scale Integr.(VLSI) Syst.*, 21(8): 1421-1431, Aug 2013.
- [4] M. Hershenson, S. Boyd, and T. H. Lee, "Optimal design of a CMOS op-amp via geometric programming," *IEEE Trans.*

- Comput.-Aided Design*, 20(1): 1-21, Jan 2001.
- [5] D. Colleran, C. Portmann, A. Hassibi, C. Crusius, S. Mohan, S. Boyd, T. H. Lee, and M. Hershenson, "Optimization of phase-locked loop circuits via geometric programming," *Proc. IEEE Custom Integrated Circuits Conference*, 2003., 377-380, Sep 2003
- [6] Sang Dae You, "Design of CMOS Op Amps Using Adaptive Modeling of Transistor Parameters" *Journal of Semiconductor Technology and Science*, 12(1): 75-87, 2012
- [7] S. Boyd and L. Vandenberghe, *Convex Optimization*. Cambridge University Press, 2003
- [8] J. Kim, L. Vandenberghe, and C. K. Ken Yang, "Convex piecewise-linear modeling method for circuit optimization via geometric programming," *IEEE Trans. Comput.-Aided Designs*, 29(11): 1823-1827, Nov 2010.
- [9] J. Kim, "A convex macromodeling of dynamic comparator for analog circuit synthesis," *Analog Integrated Circuit and Signal Processing*, 77(2):299-305, Nov 2013
- [10] S. Bruma, "Impact of on-chip process variation on MCML performance," *Proc. IEEE Int. Systems-on-Chip Conference*. Sep. 2003, pp.135-140
- [11] H. Hassan, M. Anis, and M. Elmarsry, "MOS current mode circuits: Analysis, Design and Variability", *IEEE Trans. Very Large-Scale Integr.(VLSI) Syst.*, 13(8):885-898, Aug 2005.
- [12] J. C. Lee and J. Y. Jeong "Design Method of Current Mode Logic Gates for High Performance LTPS TFT Digital Circuits" *Journal of the Institute of Electronics and Information Engineers*, 44(9):54-58, Sep 2007

— 저 자 소 개 —



장 익 찬(학생회원)
2013년 성균관대학교 반도체 시스템공학과 학사.
2013년~현재 성균관대학교 정보통신대학 석사과정.

<주관심분야 : 아날로그/혼성 신호 회로 설계, 아날로그 설계 자동화>



김 진 태(정회원)
1997년 서울대학교 전기공학부 학사 졸업.
2004년 University of California 전기공학부 석사 졸업.
2008년 University of California 전기공학부 박사 졸업.

20012년~현재 건국대학교 전자공학부 조교수
<주관심분야 : 데이터 컨버터, CMOS 센서, 고속 통신 회로, 아날로그 설계 자동화>



김 소 영(정회원)-교신저자
1997년 서울대학교 전기공학부 학사 졸업.
1999년 Stanford University 전기공학과 석사 졸업.
2004년 Stanford University 전기공학과 박사 졸업.

2004년~2008년 Intel Corporation
2008년~2009년 Cadence Design Systems
2009년~현재 성균관대학교 정보통신대학 반도체시스템공학과 부교수

<주관심분야: Device and Interconnect Modeling, Computer-Aided Design of IC, Electromagnetic Compatibility>