

## 래치-업 면역과 높은 감내 특성을 가지는 LIGBT 기반 ESD 보호회로에 대한 연구

곽재창<sup>1,a</sup>

<sup>1</sup> 서경대학교 컴퓨터과학과

### Analysis of the LIGBT-based ESD Protection Circuit with Latch-up Immunity and High Robustness

Jae Chang Kwak<sup>1,a</sup>

<sup>1</sup> Department of Computer Science, SeoKyeong University, Seoul 136-704, Korea

(Received October 15, 2014; Accepted October 24, 2014)

**Abstract:** Electrostatic discharge has been considered as a major reliability problem in the semiconductor industry. ESD reliability is an important issue for these products. Therefore, each I/O (Input/Output) PAD must be designed with a protection circuitry that creates a low impedance discharge path for ESD current. This paper presents a novel Lateral Insulated Gate Bipolar (LIGBT)-based ESD protection circuit with latch-up immunity and high robustness. The proposed circuit is fabricated by using 0.18 um BCD (bipolar-CMOS-DMOS) process. Also, TLP (transmission line pulse) I-V characteristic of proposed circuit is measured. In the result, the proposed ESD protection circuit has latch-up immunity and high robustness. These characteristics permit the proposed circuit to apply to power clamp circuit. Consequently, the proposed LIGBT-based ESD protection circuit with a latch-up immune characteristic can be applied to analog integrated circuits.

**Keywords:** ESD, LIGBT, Trigger voltage, Holding voltage, Latch-up

#### 1. 서 론

ESD에 의한 손상은 집적회로의 신뢰성 측면에서 주요한 문제로 고려되어 왔다 [1,2]. ESD (electro-static discharge)는 집적회로의 파괴 및 오작동의 큰 비율을 차지하며 ESD/EOS에 의한 손상 중 약 10% 이상이 ESD에 의한 문제로 알려져 있다. 반도체 공정 기술의

발전은 반도체 집적회로의 집적화와 성능 향상을 가져왔지만, 트랜지스터 게이트 산화막의 두께의 감소와 LDD 층의 삽입, 메탈 라인 폭의 감소 등에 의해 ESD (electro-static discharge) 손상에 취약한 문제를 가져왔다. ESD 보호소자로 널리 사용되고 있는 SCR (silicon controlled rectifier)은 구조의 특성상 약 2 V의 낮은 홀딩 전압과 20 V 이상의 트리거 전압을 갖는다 [3]. 이는 정상동작 상태에서 ESD가 아닌 overshoot 전압 및 노이즈 등에 의해 동작하여 원하지 않는 래치-업 (latch-up) 문제를 야기할 수 있다 [4].

또한 고전압 회로의 경우, 전류 구동능력의 저하와 래치-업 발생의 위험 증가 등 더 많은 문제점을 가지고

있다 [5]. 따라서 래치-업 면역 특성을 갖는 고전압용 ESD 보호회로의 개발이 필요하다.

일반적으로 전력 스위칭 소자로 사용되는 LIGBT (lateral insulated gate bipolar transistor)는 MOSFET과 BJT의 장점을 취합한 구조이다. 따라서 GGNMOS보다 높은 항복 전압과 내부적으로 기생 BJT 구조를 형성함으로써 높은 전류 구동 능력을 갖는다.

본 논문에서는 이러한 LIGBT의 장점을 이용한 래치-업 면역 특성을 가지는 ESD 보호회로를 구성하였으며, 다양한 설계변수에 따른 특성 변화를 TLP (transmission line pulse) 측정을 통해 검증하였다.

## 2. 실험 방법

### 2.1 제안된 ESD 보호회로

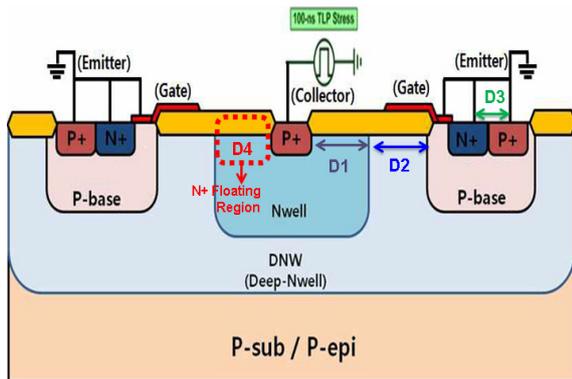


Fig. 1. Cross-sectional view of the LIGBT-base ESD protection circuit.

그림 1은 LIGBT를 이용한 ESD 보호회로의 단면도를 나타낸다. LIGBT를 ESD 보호소자로 사용하기 위해 컬렉터 (collector)를 제외한 게이트 (gate)와 이미터 (emitter)를 접지로 연결하여 구성하였으며 동작 방식은 다음과 같다. 내부회로가 정상 동작상태에 있을 때 LIGBT 기반의 ESD 보호회로는 P-베이스 (P-base)와 딥-N웰 (deep N-well) 간의 역방향 바이어스에 의해 동작하지 않는다. 따라서 내부회로 정상 동작 상태에서 ESD 보호회로는 동작에 영향을 미치지 않는다.

반면 ESD 서지 (surge)가 인가 될 경우 P-베이스와 딥-N웰 간 역바이어스에 의한 공핍층 확산으로

인해 펀치 스로우 (punch-through) 현상이 발생하고 컬렉터에서 이미터로 전류가 형성된다.

형성된 전류에 의해 P-베이스의 전위가 상승하게 되고, P-베이스와 이미터 N+ 확산영역 간의 전위 장벽을 넘어서게 되면 P-베이스와 이미터 N+ 확산영역은 순방향 바이어스 상태가 되고, 이미터 N+, P-베이스, 딥-N웰로 형성되는 기생 NPN 바이폴라 트랜지스터가 동작한다. 기생 NPN 바이폴라 트랜지스터는 컬렉터 P+ 확산영역, 딥-N웰, P-베이스로 형성되는 기생 PNP 바이폴라 트랜지스터의 바이어스 전류를 제공하기 때문에 결과적으로 기생 NPN/PNP 바이폴라가 서로 순궤환 (positive feedback)하며 ESD 전류 방전 경로를 형성한다.

### 2.2 제안된 ESD 보호회로의 TLP 특성

제안된 소자의 설계변수에 따른 특성의 경향을 알아보기 위해 다음 4개의 설계변수 (D1, D2, D3, D4)를 설정하였다. 기생 PNP 바이폴라 트랜지스터의 베이스 역할을 하는 N웰의 길이 (D1)의 증가는 PNP 바이폴라 트랜지스터의 베이스 영역을 증가시킨다. 베이스 영역의 증가는 기생 PNP 바이폴라 트랜지스터의 전류 이득의 감소를 야기하여 홀딩 전압을 증가시킨다.

드리프트 (drift) 영역 (D2)의 길이는 LIGBT에서 항복 전압을 결정하는 요소로, 드리프트 길이의 증가는 항복 전압의 증가를 야기한다. LIGBT의 애노드단에 ESD 서지가 인가되면 P-베이스 영역과 딥-N웰 간 역방향 바이어스에 의해 드리프트 영역 쪽으로 공핍층이 주로 확산되는데 드리프트 영역의 길이가 길수록 공핍층은 더 넓게 확장될 수 있고, 더 높은 전계를 견딜 수 있다. 따라서 펀치 스로우 항복 전압이 증가한다. 또한 드리프트 영역은 기생 NPN 바이폴라 트랜지스터의 베이스 영역의 역할도 하기 때문에 드리프트 영역의 증가는 전류 이득의 감소로 홀딩 전압의 감소를 야기한다.

캐소드 N+ 확산영역과 P+ 확산영역의 간격 (D3)은 NPN/PNP 두 기생 바이폴라 트랜지스터의 전류 경로를 필드 옥사이드 (field oxide)로 나뉘 구분하여 래치 동작의 형성을 어렵게 만들며, 간격이 증가할수록 트리기 전압은 증가한다. 또한, 기생 NPN 바이폴라 트랜지스터의 베이스 길이 역시 증가로 전류이득 감소를 야기하여 홀딩 전압이 증가한다.

또한, 딥-N웰 내에 고농도의 N+ 플로팅 확산영역

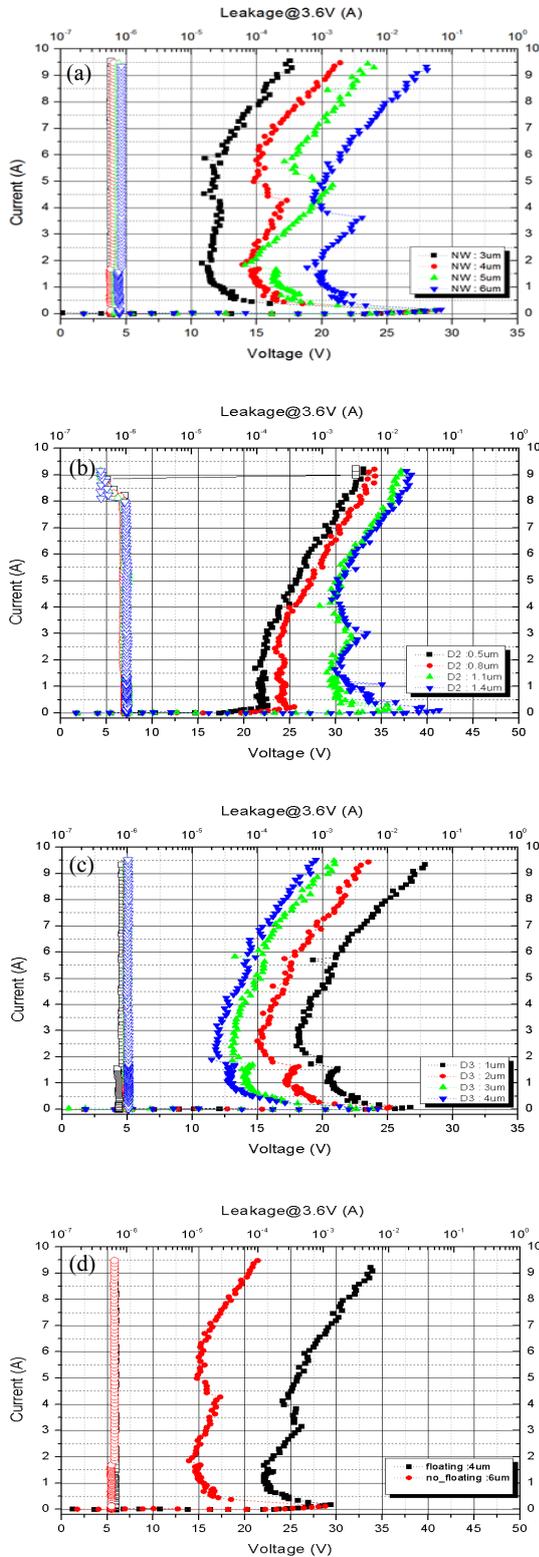


Fig. 2. TLP I-V characteristics for the design variables of the proposed protection circuit.

Table 1. TLP measurement results of the proposed ESD protection circuit.

Design parameter	Trigger Voltage	Holding Voltage	Second Breakdown current	
D1	3 um	27.62 V	10.79 V	>10 A
	4 um	28.77 V	13.92 V	>10 A
	5 um	28.63 V	14.12 V	>10 A
	6 um	29.13 V	18.87 V	>10 A
D2	0.5 um	22.51 V	21.31 V	7.97 A
	0.8 um	25.45 V	23.69 V	8.06 A
	1.1 um	36.97 V	29.94 V	7.99 A
	1.4 um	41.26 V	31.6 V	7.97 A
D3	1 um	24.23 V	12.7 V	>10 A
	2 um	23.77 V	13.97 V	>10 A
	3 um	25.11 V	17.14 V	>10 A
	4 um	26.7 V	20.34 V	>10 A
D4	Con.	29.31 V	22.36 V	>10 A
	Floating	28.77 V	14.63 V	>10 A

(D4)을 형성함으로써 기생 PNP 바이폴라 트랜지스터의 베이스의 농도가 상승하는 효과를 얻게 된다. 그로 인해 바이폴라의 전류 이득이 감소하게 되어 베이스 전류의 상승을 유도하여 기생 PNP 바이폴라의 홀딩 전압을 증가시킨다.

### 3. 결과 및 고찰

제안된 ESD 보호회로는 BCD 0.18 um 공정을 이용하여 제작되었으며, TLP 측정을 통해 전기적 특성을 표 1과 같이 검증하였다.

D1이 3 um, 4 um, 5 um, 6 um로 변화함에 따라 트리거 전압은 27.62 V에서 29.13 V로 큰 변화가 없는 반면, 홀딩 전압은 각각 27.62 V, 28.77 V, 28.63 V, 29.13 V로 각각 증가하는 것을 확인하였다.

D2가 0.5 um, 0.8 um, 1.1 um, 1.4 um로 변화함에 따라 트리거 전압은 각각 22.51 V, 25.45 V, 36.97 V, 41.26 V이며 홀딩 전압은 각각 21.31 V, 23.69 V, 29.94 V, 31.6 V로 각각 증가하는 것을 확인하였다.

D3의 1 um, 2 um, 3 um, 4 um의 변화에 따라 트리거 전압은 24.23 V에서 26.7 V로 큰 변화가 없는 반면, 홀딩 전압은 각각 21.31 V, 23.69 V, 29.94 V, 31.6 V로 각각 증가하는 것을 확인하였다.

D4의 길이 4 um 고정 시, N+ 플로팅 (floating) 확

산영역을 삽입하였을 경우 트리거 전압은 28.77 V에서 29.31 V로 큰 변화가 없는 반면, 홀딩 전압은 각 14.63 V에서 22.36 V로 증가하는 것을 확인하였다.

#### 4. 결론

본 논문은 래치-업 면역성을 갖는 LIGBT 기반의 ESD 보호회로를 제안하였다. 제안된 ESD 보호회로는 BCD 0.18  $\mu\text{m}$  공정을 통해 제작되었으며 TLP 측정을 통한 전기적 특성을 검증하였다.

측정 결과, D1이 3~6  $\mu\text{m}$ 로 증가할 때, 홀딩 전압은 27.62 V에서 29.13 V로 증가하였으며, D2가 0.5~1.4  $\mu\text{m}$ 로 증가함에 따라 트리거 전압은 22.51 V에서 41.26 V로 증가하였다. D3가 1~4  $\mu\text{m}$ 로 증가하였을 경우에는 홀딩 전압은 21.31 V에서 31.6 V로 증가하였다. 또한, N웰에 N+ 플로팅 확산영역을 삽입함으로써, 기생 바이폴라 트랜지스터의 전류 이득을 낮춰 홀딩 전압을 14.63 V에서 22.36 V로 증가하는 것을 확인할 수 있었다.

설계변수에 따른 측정 결과, 제안된 ESD 보호회로는 높은 홀딩 전압에 따른 래치-업 면역 특성을 가지는 것을 확인하였고, 높은 항복전압과 감내 특성에 의해 높은 신뢰성이 요구되는 고전압 집적회로에 적용되어 ESD로부터의 우수한 보호와 높은 신뢰성을 보장할 것으로 기대된다.

#### 감사의 글

본 연구는 2012학년도 서경대학교 교내연구비 지원에 의하여 이루어졌음.

#### REFERENCES

- [1] A.Z.H. Wang, *On-chip ESD Protection for Integrated Circuit. An IC Design Perspective, 2nd ed.* (Kluwer Academic Publisher, 2002)
- [2] T. Green, *A Review of EOS/ESD Field Failure in Military Equipment, Proc. of the 7<sup>th</sup> EOS/ESD Symp.*, 49 (1993).
- [3] V. Vashchenko, A. Concannon, M. T. Beek, and P. Hopper, *IEEE Trans. Device Mater. Rel.*, **4**, 273 (2004).
- [4] M.P.J. Mergens, C. C. Russ, K. G. Verhaege, J. Armer, P. C. Jozwiak, R. Mohn, *Microelectronics Reliability*, **43**, 993 (2003).
- [5] B. Keppens, M.P.J. Mergence, C. S. Trinh, C. C. Russ, B. V. Camp, and K. G. Verhaege, *Proc. of EOS/ESD Symp.*, 1 (2004).