

## 모듈통합형 항공전자시스템을 위한 Video Processing Module 구현

### Implementation of Video Processing Module for Integrated Modular Avionics System

전은선<sup>1</sup> · 강대일<sup>1</sup> · 반창봉<sup>1</sup> · 양승열<sup>2</sup>

<sup>1</sup>LIG넥스원 항공연구센터

<sup>2</sup>국방과학연구소 국방항공전자센터

Eun-seon Jeon<sup>1</sup> · Dae-il Kang<sup>1</sup> · Chang-bong Ban<sup>1</sup> · Seong-yul Yang<sup>2</sup>

<sup>1</sup>Avionics R&D Lab, LIG Nex1, Daejeon 305-804, Korea

<sup>2</sup>Avionics Technology Center, Agency for Defense Development, Daejeon 305-600, Korea

#### [요 약]

모듈통합형 항공전자시스템은 연방형의 LRU (line replaceable unit)의 기능을 하나의 LRM (line replaceable module)에서 제공하고, 하나의 cabinet에 여러 개의 LRM을 탑재한다. IMA core 시스템의 VPM (video processing module)은 LRM으로써 ARINC 818 AVDB (avionics digital video bus)의 bridge 및 gateway 역할을 한다. ARINC 818은 광 대역폭, 적은 지연시간, 비 압축 디지털영상 전송을 위해 개발된 규격이다. VPM의 FPGA IP core는 ARINC 818 to DVI 또는 DVI to ARINC 818 처리와 video decoder, overlay 기능을 가진다. 본 논문에서는 VPM 하드웨어 구현에 대해 다루고, VPM 기능과 IP core 성능 검증 결과를 보인다.

#### [Abstract]

The integrated modular avionics (IMA) system has quite a number of line replaceable modules (LRMs) in a cabinet. The LRM performs functions like line replaceable units (LRUs) in federated architecture. The video processing module (VPM) acts as a video bus bridge and gateway of ARINC 818 avionics digital video bus (AVDB). The VPM is a LRM in IMA core system. The ARINC 818 video interface and protocol standard was developed for high-bandwidth, low-latency and uncompressed digital video transmission. FPGAs of the VPM include video processing function such as ARINC 818 to DVI, DVI to ARINC 818 convertor, video decoder and overlay. In this paper we explain how to implement VPM's Hardware. Also we show the verification results about VPM functions and IP core performance.

**Key word** : Integrated modular avionics, ARINC 818 avionics digital video bus, Line replaceable modules, Digital video bus.

<http://dx.doi.org/10.12673/jant.2014.18.5.437>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 22 September 2014; Revised 22 October 2014

Accepted (Publication) 7 October 2014 (30 October 2014)

\*Corresponding Author

Tel: +82-42-718-3533

E-mail: jeunseon@lignex1.com

## I. 서론

항공전자시스템이란 항공기에 장착되는 구성품이나 세부 계통 중에 전자기술에 의해 동작하는 것을 통칭하는 것으로써 현대의 항공기는 항공전자기술이 항공기 성능을 좌지우지 한 다 해도 지나치지 않을 정도로 그 중요성이 부각되고 있다 [1].

항공전자시스템은 최초에 임무 기능 단위별로 임무 장비가 항공기 내에 각각 장착되는 독립형 (independent) 시스템 구조에서 주변 임무장비들로부터 정보를 통합하여 임무컴퓨터에서 처리하는 연방형 (federated) 시스템 구조를 거쳐 각 임무별 수행하는 임무장비의 기능을 모듈 단위로 지원하고 이러한 모듈이 하나의 장비로 통합되는 통합형 (integrated) 시스템 구조로 발전중이다. 즉, 모듈통합형 항공전자 (IMA; integrated modular avionics) 시스템은 최근 개발되는 항공기의 항공전자시스템의 발전방향이다.

모듈통합형 항공전자시스템은 연방형 항공전자시스템에서 LRU (line replaceable unit)의 기능을 cabinet의 LRM (line replaceable module) 에서 제공하여 하나의 cabinet이 여러 개의 LRU 기능을 제공한다. cabinet 내부의 복잡도는 증가하나 항공기 내 연결을 표준 데이터 네트워크로 구성해 연방형 시스템과 비교하였을 때 케이블에 의한 복잡도 및 무게를 줄이고, cabinet 내에서 여러 기능을 수행하는 LRM이 효율적으로 동작할 수 있다.

본 논문에서는 모듈통합형 항공전자 기술 적용을 위한 핵심 기술 연구의 수행 내용 중 cabinet내 LRM중 한 종류인 VPM의 구현 및 검증에 대해 다룬다[2]. 핵심 기술 연구의 IMA core 시스템은 모듈통합형 항공전자 시스템을 국내에서 개발, 제작 및 검증을 통해 실제 항공기에 적용시 필요한 기술을 획득하는데 목적을 둔다.

## II. 배경

### 2-1 IMA core 시스템

모듈통합형 항공전자기술 적용을 위한 핵심기술 연구에서 IMA core 시스템은 2개의 cabinet의 이중화로 설계하였고, cabinet은 하우징, RTM (rear transition module), backplane과 DPM (data processing module), GPM (graphic processing module), IOM (input output module), VPM (video processing module), MMM (mass memory module), SWH (VPX switch module), PSM (power supply module)의 7종류의 모듈로 구성한다. IMA core 시스템의 하드웨어는 cabinet뿐 아니라 boot ROM, module support package, BIT (built in test), device driver 등의 응용소프트웨어 로딩 및 실행환경인 IMA core 시스템 펌웨어를 포함한다.

표 1. ARINC 651-1 모듈

Table 1. ARINC 651-1 Module.

ARINC 651-1 모듈	세부 기능	설계 모듈
The core processing module	Processor Robust partitioning support Memory Software re-programmability Interface specification	DPM, GPM
power supply module	power line pairs reporting status	PSM
mass memory module	Mass storage function/controller Memory Backplane data bus interface Fault tolerance Application or Data bus loading	MMM
standard I/O module	Bus bridge and Gate way Serial, analog input/output interface Discrete input/output interface ARINC 429 interface	IOM, VPM, SWH

IMA core 시스템의 PSM을 제외한 6종류의 모듈은 개방형 구조의 VPX (VITA46, VITA65) 표준에 따라 utility plane (power distribution, test and maintenance bus, common reference clock), data plane, expansion plane, control plane, user defined로 구성된 물리적 인터페이스를 공유한다. VITA 65 OpenVPX backplane을 적용하였고, 모듈 간에는 3.125Gbps x4 전송속도의 serial rapid IO (data plane) 네트워크와 1.25Gbps 전송속도의 1000Base-BX backplane Ethernet (control plane)으로 통신한다. data plane과 control plane 은 switching 역할을 하는 두 개의 SWH를 통하여 타 모듈과 통신할 수 있다. 두 개의 SWH은 redundancy를 지원하여 모듈 고장시 우회 경로를 제공한다. 6 종류의 모듈은 또한 ARINC 653을 지원하는 DPM, GPM과 지원하지 않는 단일 모듈 (SWH, VPM, MMM, IOM)로도 구분할 수 있다. IMA core 시스템에 장착되는 DPM, GPM, IOM, VPM, MMM, SWH, PSM의 총 7종류의 모듈은 표 1의 ARINC 651-1, 11장 (standard IMA module)의 지침을 토대로 LRM으로 설계 하였다 [3].

본 논문의 대상인 VPM은 ARINC 651-1의 standard I/O Module 중 하나로 Video Bus의 bridge와 gateway에 해당하는 기능을 수행한다. 설계 내용은 3장에서 자세히 다룬다.

### 2-2 Digital Video Bus

IMA core 시스템의 digital video bus는 최대 전송속도 및 속도 가변성, 지원 가능한 전송매체, 전송거리 측면에서 우수함을 가지는 ARINC 818 ADVB (avionics digital video bus)을 선택하였다 [4]. ARINC 818은 광 대역폭, 비 압축 디지털영상을 위해 개발된 규격으로써 fibre channel-audio video (FC-AV, ANSI INCITS 356-2002)를 기반으로 하는 전송 방식이다 [5].

ARINC 818은 영상 뿐 아니라 오디오 및 데이터도 전송이 가능하며, 8B/10B encoding을 이용하는 serial point-to-point 통신 프로토콜이다.

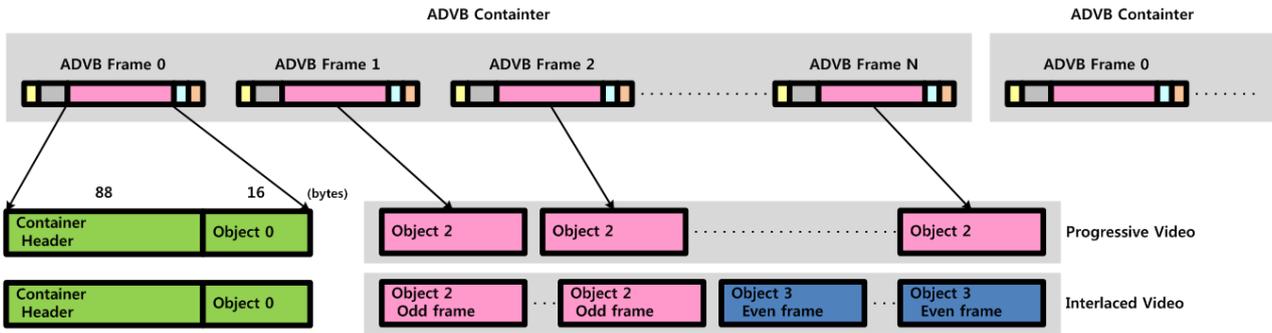


그림 1. ADVB 컨테이너  
Fig. 1. ADVB container.

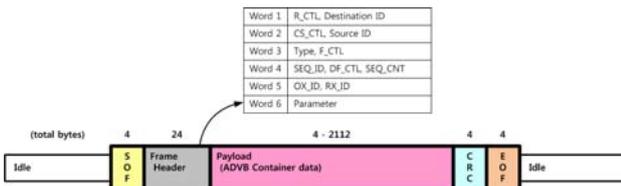


그림 2. ADVB 프레임  
Fig. 2. ADVB frame.

ADVB 프레임은 프레임의 시작과 끝을 알려주는 4byte의 SOF, EOF, frame 정보를 알려주는 frame header, 실제 전송데이터 부분인 payload, 데이터의 에러검출을 위한 CRC로 구성된다. payload 부분은 전송 데이터 량에 따라 4~2112byte로 가변적이다. ADVB 프레임은 FC (fibre channel)을 기반으로 하여 구조는 FC 프레임과 동일하나, FC 프레임에서 사용하는 payload의 첫 부분 64byte의 optional header는 사용하지 않는다 [6].

실제 영상을 전송할 때에는 ADVB 프레임의 집합인 container 개념이 필요하다. ADVB container의 첫 ADVB 프레임의 payload에는 실제 데이터가 아닌 ADVB container의 header와 object 0 data (ancillary data)로 구성한다. container header에서는 사용하는 object type, object size, video frame rate, video transmission rate 등을 정의하고, ancillary data는 video frame resolution, pixel format, interlaced / progressive 방식 등을 정의한다.

object 0 data와 달리 object 1~3은 실제 데이터를 의미하며, object 1 data는 audio data를, object 2/3는 video data에 쓰인다. video data 전송시에는 object 0를 제외한 object 2/3의 N개 모음이 실제 video frame 하나에 해당한다. 예를 들어 XGA (1024×768×3 byte) 영상을 전송할 때 ADVB 프레임 1개의 최대 전송 데이터는 2112 byte이므로, XGA 영상의 1개 라인에 해당하는 3072 byte를 2개의 ADVB 프레임으로 나누어 구성한다. container header와 ancillary data가 담긴 ADVB 프레임 1개와 XGA 영상 데이터가 담긴 ADVB 프레임 1536개, 총 ADVB 프레임 1537개가 XGA 영상 전송시 container 1개, 영상 프레임에 해당한다.

### III. VPM 설계

기존의 연방형 시스템 구조의 임무컴퓨터에서는 영상 출력에 analog video, DVI 방식 등을 사용하였다. 연방형의 임무컴퓨터는 입력 처리, 심별 정보를 가공하여 MFD (multi function display) 또는 CDU (control display unit)에 시현하는 역할을 수행한다 [7]. 연방형의 임무컴퓨터 내의 GPM, VIOM 등은 SPM의 processing 없이 독립적으로 기능을 수행할 수 없는 모듈로써 IMA core 시스템의 VPM과는 구별된다.

#### 3-1 VPM 하드웨어

VPM은 IMA core 시스템을 구성하는 모듈 중 하나로 PowerPC에 기반을 둔 OpenVPX 6U 크기의 payload SBC로 구현한다. 응용소프트웨어를 탑재하여 LRM의 기능을 수행할 수 있도록 processor와 주변부 회로와 영상 I/O 인터페이스 처리를 위한 FPGA 및 DPRAM으로 구성한다. VPM은 GPM에서 출력된 DVI 영상과 cabinet 외부에서 입력된 최대 6개의 ARINC 818 영상, RS170영상을 소프트웨어적으로 선택 구성하여 오버레이하여 ARINC 818 4개 채널로 출력하는 기능을 수행한다. VPM의 이러한 기능이 ARINC 651-1의 standard I/O module에 해당한다. LRU에서 수행하던 PBIT/CBIT/IBIT의 자체점검 기능도 포함한다.

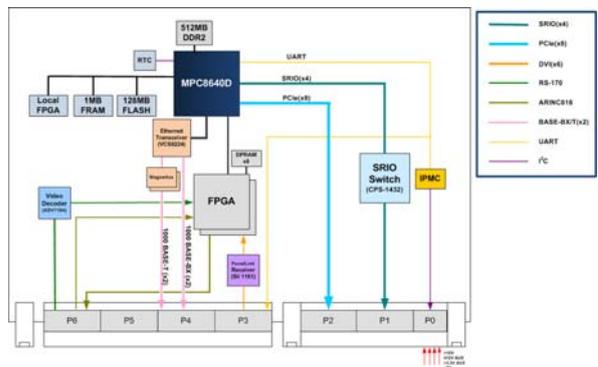


그림 3. VPM 구성도  
Fig. 3. VPM diagram.

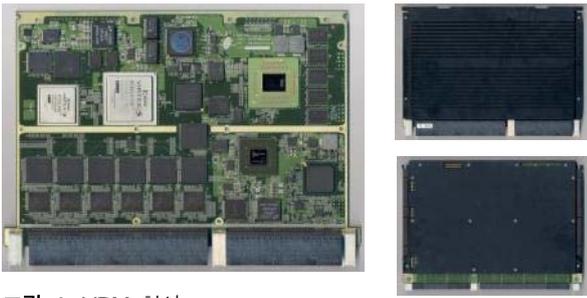


그림 4. VPM 형상  
Fig. 4. VPM figuration.

표 2. VPM 사양

Table 2. VPM specification.

Item	Description	Remark
OpenVPX payload profile	MOD6-PAY-4F1Q2U2T-12.2.1-1	VITA65
Processor	Freescale MPC8640D	Freescale, 1GHz
Main memory	DDR2 512MB	
ROM (Flash memory)	128MB NOR Flash	
Video In	ARINC 818	1 channel from external
	DVI	6 channel from GPM
	RS-170	1 channel from external
Video Out	ARINC 818	4 channel to MFD
GbE	1000BASE-T × 2 100BASE-BX × 2	Control plane
UART	2 channel	debug
serial rapid IO	3.125Gbaud × 4	Data plane
IPMI	IPMC	Management plane
OS	VxWorks	

VPM은 IPMC를 이용한 시스템 감시 기능을 제공하며 IPMC는 모듈 간 test and maintenance bus인 IPMI (I2C)로 통신한다. 다른 모듈 간의 통신을 위한 backplane bus인 serial rapid IO를 제공한다. processor의 디버깅 및 소프트웨어 로딩을 위한 UART 및 Ethernet도 제공한다. 이 기능들은 IMA core 시스템의 모듈에 공통적으로 구현된다. VPM의 구체적인 하드웨어 사양은 표 42와 같다.

3-2 영상 처리 FPGA

VPM은 video decoder 기능, overlay 기능, ARINC 818 to DVI 및 DVI to ARINC 818 처리 기능을 Xilinx사의 Vertex5 FPGA 2개와 8개의 DPRAM으로 구현하였다. 이를 video framer FPGA와 overlay master FPGA로 명명한다. video framer는 RS170 신호를 입력 받아 DPRAM에 저장하였다가 overlay를 위한 크기로 변경하여 overlay master로 전달한다. 또한 6개의 DVI 입력 신호를 처리하여 영상 데이터를 DPRAM에 저장한다.

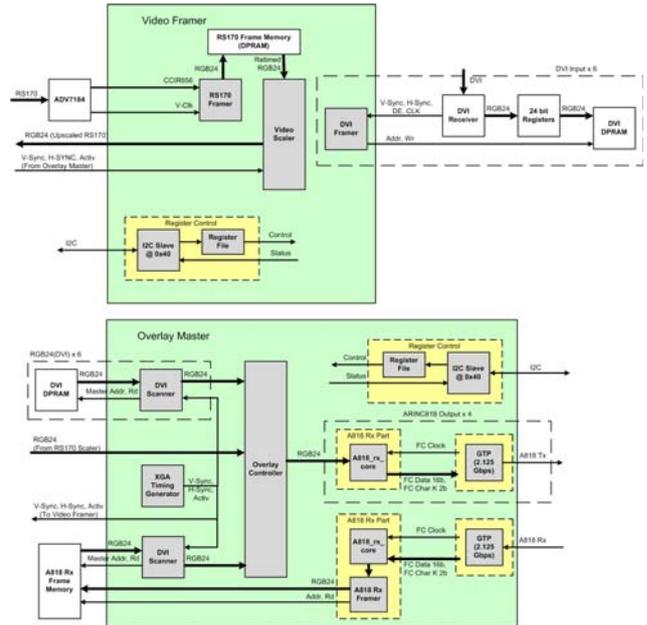


그림 5. video frame/overlay master FPGA 구성도  
Fig. 5. video frame/overlay master FPGA diagram.

overlay master는 6개의 DPRAM에 저장된 DVI 영상 데이터와 RS170 영상 데이터, ARINC 818 입력 데이터 중에서 선택적으로 overlay하여 4개의 ARINC 818로 출력한다. ‘A818 Tx part’와 ‘A818 Rx part’은 기 개발한 IP core를 재사용하였다. 개발한 IP core는 XGA (1024×768) RGB 60Hz의 영상에 맞춰 구현되었으며, 외부 광 인터페이스는 2.125Gbps 전송 속도를 가지는 FC 프레임으로 입출력된다. 다른 종류의 영상 포맷이나 해상도에는 적용하기 위해서는 IP core의 수정 개발이 필요하다 [8].

3-3 ARINC 818 IP core

‘A818 Rx part’의 성능 확인을 위해 개발된 A818-rx-core가 탑재된 COTS ARINC 818 converter (개발품)와 상용품 ARINC 818 converter (Great River의 SAM)과 비교 분석을 하였다. 시험 구성은 DVI 비디오 패턴 발생기에서 DVI 패턴을 발생시켜 각 converter에 입력한 후 converter 출력인 ARINC 818 신호를 fiber channel protocol analyzer를 통해 분석하였다.



그림 6. ARINC 818 converter 시험구성도  
Fig. 6. ARINC 818 converter test diagram.

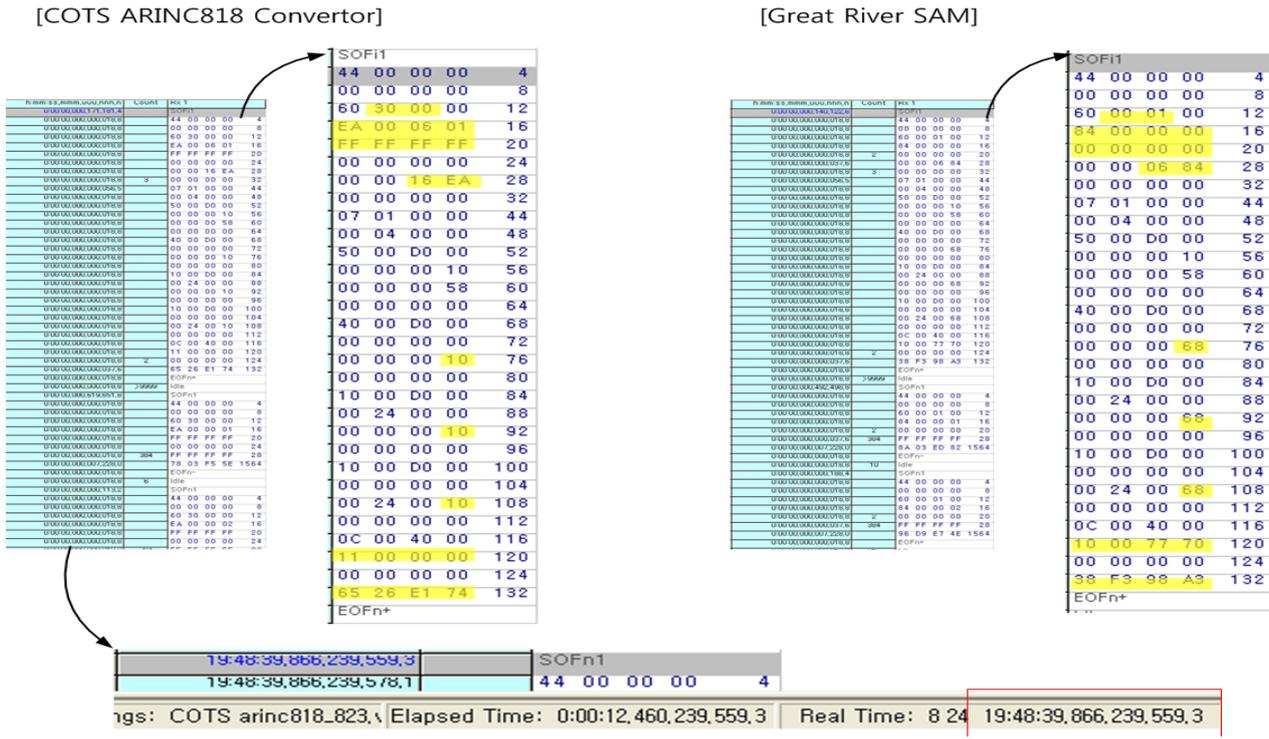


그림 7. protocol analyzer 결과화면  
 Fig. 7. protocol analyzer result.

표 3. ARINC 818 timing parameter 비교  
 Table 3. ARINC 818 timing parameter comparison.

timing parameter	ARINC SPECIFICATION 818-1 TABLE 17	Description	개발품			상용품			time unit
			time	T <sub>LW</sub> count	lines count	time	T <sub>LW</sub> count	lines count	
		ADVB frame 0	0.6588	35	-	0.6588	35	-	μs
		ADVB frame 2	7.3974	393	-	7.3975	393	-	μs
t <sub>LT</sub>		nominal line time	20.6871	1098.5	1	20.913	1111	1	μs
t <sub>VFT</sub>		nominal video frame time	16.6655435	885357	806	16.6573976	886517	798	ms
t <sub>0</sub>	$t_0 = 4 \times LineSize \times T_{LW}$ ( $\pm 1T_{LW}$ )	from SOFi to first SOFn	620.3106	32954	30	493.1576	27044	23.58	μs
t <sub>1</sub>	$t_1 \leq 1T_{LW}$	video line tolerance (faster than nominal)	0.0094	-	-	0.00005	-	-	-μs
t <sub>2</sub>	$t_1 \leq 1T_{LW}$	video line tolerance (slower than nominal)	0.0094	-	-	0.00005	-	-	+μs
		SOFn to SOFn (next)	7.5106	399	0.36	7.5859	403	0.36	μs
		SOFn (first) to SOFn (last)	15866.6353	842915	767	16539.8588	878680	790.8	μs
		SOFn (last) to SOFi	178.5976	9488	8.64	147.5388	7838	7.05	μs
t <sub>3</sub>	$6T_{LW} \leq t_3 \leq 15T_{LW}$ $0.1129\mu s \leq t_3 \leq 0.2823\mu s$	intraframe idle (± Tol)	0.1132	6	-	0.1884	10	-	μs
t <sub>4</sub>	$t_4 \geq 6T_{LW}$ $t_4 \geq 0.01129\mu s$	intraframe idle, -EOFn to SOFn (± Tol)	5.7791	307	-	5.9296	315	-	μs
t <sub>5</sub>	$t_5 \geq 500T_{LW}$ $t_5 \geq 9.4117\mu s$	interframe idle, EOFt to SOFi (± Tol)	171.2002	9095	-	140.1414	7445	-	μs
t <sub>6</sub>	$t_6 \leq 2T_{LW}$	video frame tolerance (faster than nominal)	-	-	-	-	-	-	-
t <sub>7</sub>	$t_7 \leq 2T_{LW}$	video frame tolerance (slower than nominal)	-	-	-	-	-	-	-

protocol analyzer를 이용한 분석 결과 화면은 그림 7과 같이 나타난다. 이를 통한 데이터 비교 결과 frame header 및 container header에서는 서로 다른 부분이 있으나, 실제 영상 부분인 object2 부분 데이터는 모두 동일함을 확인하였다.

protocol analyzer에서는 또한 32 bit (4 byte) 단위로 ADVB frame 데이터의 도착시간을 측정하여 나타낸다. 2.125 Gbps에서 32 bit 데이터를 보내는 데 걸리는 시간은 8b/10b encoding 후 40 bit 전송 시간에 해당하므로 다음 식의 계산 결과와 같다.

$$T_{LW} = \frac{1}{2.125 \text{ Gbps}} \times 40 \cong 18.82352941 \text{ ns} \quad (1)$$

protocol analyzer를 통한 시간 측정 결과는 표 3에 나타낸다. 개발품과 상용품 간에 약간의 시간 차이는 있으나 모두 ARINC SPECIFICATION 818-1의 요구시간을 만족함을 확인할 수 있다.

### 3-4 VPM support package

IMA core 시스템 펌웨어는 VPM에 탑재되는 모든 소프트웨어를 통칭하여 VPM support package라 한다. VPM support package는 VxWorks 6.x 기반으로 개발되며, VPM application과 디바이스 드라이버로 구성되며 세부 구성도는 그림 8과 같다.

VPM 디바이스 드라이버는 VPM application이 하드웨어를 운용할 수 있게 제공되는 것으로, SBC BSP (board support package), IPMI driver, BIT, FPGA control, 그리고 고장 주입 기능을 수행한다.

VPM application은 VPM 초기화 CPM-VPM 통신, 고장주입, IPMC heart beat 통신, BIT로 구성된다. VPM 초기화는 VPM 부팅 완료 후 디바이스 드라이버를 초기화하여 사용가능한 상태로 설정하고, CPM-VPM 통신은 BSP의 serial rapid IO를 이용하여 다른 LRM과 통신하고, BIT 결과 등을 전달한다. IPMC heart beat 통신은 BSP의 DUART를 이용하여 다른 모듈과 heart beat 통신을 담당하고, BIT는 VPM의 PBIT, CBIT, IBIT 관리 및 주기적으로 CBIT을 수행하여 최신 BIT 결과를 유지한다.

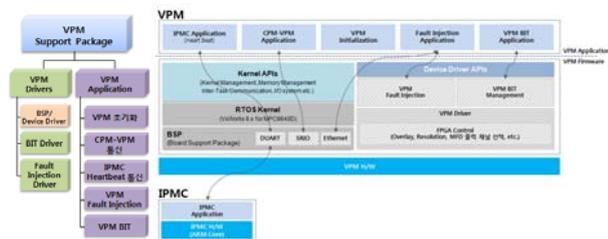


그림 8. VPM support package 구성도  
Fig. 8. VPM support package diagram.

## IV. VPM 검증

IMA core 시스템은 그림 9와 같이 구성된 통합 및 검증 환경을 통해 검증을 수행한다. 통합 및 검증환경에서 RS-170 카메라 신호와 ARINC 818 신호를 VPM으로 입력한다. VPM의 ARINC 818 입력은 sensor simulator에서 출력되는 DVI신호를 DVI to ARINC 818 converter를 통해 생성한다. sensor simulator CSC는 다음 그림 9와 같은 GUI를 통해 각 sensor 영상을 모의하여 전시한다. 순서대로 radar 모의 CSC, IRST 모의 CSC, EO/IR 모의 CSC 영상이다.

VPM의 ARINC 818 출력 신호는 ARINC 818 to DVI converter로 연결된다. 이 converter의 DVI 출력을 MFD 역할을 하는 모니터로 확인한다.



그림 9. IMA core 시스템의 통합 및 검증환경  
Fig. 9. integration & verification environment for IMA core system.

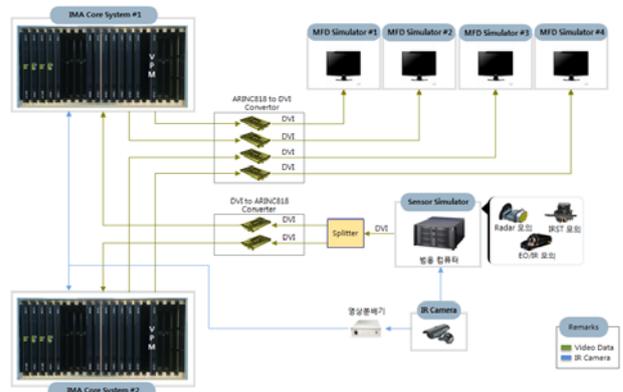


그림 10. 통합 및 검증환경 구성도  
Fig. 10. integration & verification environment diagram.



그림 11. 센서 시뮬레이터 GUI  
Fig. 11. sensor simulator GUI.



그림 12. MFD 모니터  
Fig. 12. MFD monitor.

그림 12의 MFD 모니터의 4개를 통해 ARINC 818 출력 영상을 확인할 수 있다. 4개의 출력 영상은 선택적으로 오버레이가 가능하다. 왼쪽 위 모니터는 항공기 상태 영상을 표시하고, 오른쪽 위 모니터는IRST 모의 영상에IRST 표적 정보 영상을 오버레이 해서 표시한다. 왼쪽 아래 모니터는 EO/IR 모의 영상에 EO/IR 표적 정보 영상을 오버레이하여 표시하고, 오른쪽 아래 모니터는 항공기 무장 상태 영상을 표시한다.

## V. 결 론

본 논문에서는 모듈통합형 항공전자시스템인 IMA core 시스템의 VPM을 설계 제작하여, 검증한 결과를 보였다. 본 논문을 통해 확보된 설계기술은 다음과 같다.

- ARINC 651-1의 standard I/O module 설계기술
- digital video bus protocol(ARINC 818) 설계기술
- VITA 65 OpenVPX 기반한 물리적 인터페이스 설계기술

VPM은 기존의 연방형 시스템 구조에서 장비(LRU)의 graphic processing 기능을 모듈(LRM) 하나에서 수행하며 기존 시스템의 analog video, DVI 방식보다 빠르고 효율적인 digital video bus를 지원한다. VPM은 모듈통합형 항공전자시스템의 LRM으로써 동일한 물리적 인터페이스를 갖는 다른 항공전자 시스템에 사용될 수 있다.

VPM의 영상처리 FPGA에 구현된 ARINC 818 IP core 성능은 상용품과 비교를 통해 확인하였다. ARINC 818 설계 기술은 ARINC 818 ADVB를 필요로 하는 다른 시스템에 적용할 수 있을 것으로 기대된다. 다만 ARINC 818 ADVB에서 정의한 여러 종류 및 크기의 video에 대한 수정 개발이 선행되어야 할 것이

다.

본 논문에서 다루지 않은 기존 LRU와 VPM에 대한 성능 비교와 실제 항공기에 적용하기 위한 연구는 추가적으로 수행되어야 할 것으로 생각된다.

## 참고문헌

- [1] C. H. Song, Industry Trend : Avionics technology development trends, *IT Soc Magazine*, Vol. 29, pp. 24-31.
- [2] C. B. Ban, S. C. Cha, J. S. Baek, Y. I. Kim, J. S. Park, S. Y. Yang, K. H. Park “Key technology development for integrated modular avionics core system,” in *Proceeding of the Annual Autumn Conference on the Korean Society for Aeronautical and Space Sciences*, Jeju: Korea, pp. 1265-1272, 2012.
- [3] Airlines Electronic Engineering Committee, ARINC REPORT 651-1 Design Guidance for Integrated Modular Avionics, AERONAUTICAL RADIO, INC., 1997. [Internet] Available: <http://www.aviation-ia.com/aec/>
- [4] J. P. Jeong, S. J. Lee, K. D. Kim, S. T. Moon, S. Y. Yang, “Study on the design of next generation digital video bus using ARINC 818 specification for military aircraft,” in *Proceeding of the Annual Spring Conference on the Korean Society for Aeronautical and Space Sciences (KSAS)*, Pyeongchang: Korea, pp. 977-980, 2009.
- [5] Airlines Electronic Engineering Committee, ARINC Specification 818-1 Avionics Digital Video Bus (ADVB) High Data Rate, AERONAUTICAL RADIO, INC., 2007. [Internet] Available: <http://www.aviation-ia.com/aec/>
- [6] T. Keller, J. Alexander, P. Grunwald, “Designing and testing avionics digital video bus (ARINC 818) interface,” in *Digital Avionics Systems Conference (DASC)*, Williamsburg: VA, pp. 7D3-1 - 7D3-11, 2012.
- [7] H. J. Jang, C. M. Yeom, S. Y. Yang, S. T. Moon, “Design on video input/output module of mission computer for aircraft,” in *Proceeding of the Annual Autumn Conference on the Korean Society for Aeronautical and Space Sciences (KSAS)*, Jeju: Korea, pp. 550-553, 2007.
- [8] M. K. Yuk, B. C. Hwang, D. I. Kang, E. S. Jeon, S. Y. Yang, “For real-time video transmission development ARINC818 converter,” in *Proceeding of the Annual Conference on the Korea Institute of Military Science and Technology (KIMST)*, Gyeongju: Korea, 2012.



**전 은 선 (Eun-seon Jeon)**  
2007년 충남대학교 전자전파정보통신공학 (공학석사)  
2007년~현재 LIG넥스원  
※관심분야 : FPGA, 항공전자



**강 대 일 (Dae-il Kang)**  
1997년 창원대학교 전기전자제어공학 (공학석사)  
2011년~현재 LIG넥스원 수석연구원  
※관심분야 : 항공전자, 실시간 운영체제



**반 창 봉 (Chang-bong Ban)**  
2002년 중앙대학교 전자전기공학 (공학석사)  
2002년~현재 LIG넥스원 수석연구원  
※관심분야 : 항공전자



**양 승 열 (Seong-yul Yang)**  
1996년 충남대학교 전자공학 (통신 및 제어) (공학석사)  
1993년~현재 국방과학연구소 선임연구원  
※관심분야 : 항공전자