

## 3차원 적층 집적회로에서 구리 TSV가 열전달에 미치는 영향

마준성<sup>1</sup> · 김사라은경<sup>1</sup> · 김성동<sup>2,†</sup>

<sup>1</sup>서울과학기술대학교 NID 융합기술대학원, <sup>2</sup>서울과학기술대학교 기계시스템디자인공학과

### The Effects of Cu TSV on the Thermal Conduction in 3D Stacked IC

Junsung Ma<sup>1</sup>, Sarah Eunkyung Kim<sup>1</sup> and Sungdong Kim<sup>2,†</sup>

<sup>1</sup>Graduate School of NID Fusion Technology, Seoul National University of Science and Technology,  
232 Gongreung-ro, Nowon-gu, Seoul 139-743, Korea

<sup>2</sup>Dept. of Mechanical System Design Eng., Seoul National University of Science and Technology,  
232 Gongreung-ro, Nowon-gu, Seoul 139-743, Korea

(2014년 9월 19일 접수: 2014년 9월 25일 수정: 2014년 9월 29일 게재확정)

**초 록:** 본 연구에서는 3차원 적층 집적회로 구조에서 Cu TSV를 활용한 열관리 가능성에 대해 살펴보았다. Cu TSV가 있는 실리콘 웨이퍼와 일반 실리콘 웨이퍼 후면부를 점열원을 이용하여 가열한 후 전면부의 온도 변화를 적외선 현미경을 이용하여 관찰하였다. 일반 실리콘 웨이퍼의 경우 두께가 얇아지면서 국부적인 고온영역이 관찰됨으로서 적층 구조에서 층간 열문제의 가능성을 확인할 수 있었다. TSV 웨이퍼의 경우 일반 실리콘 웨이퍼보다 넓은 영역의 고온 분포를 나타내었으며, 이는 Cu TSV를 통한 우선적인 열전달로 인한 것으로 적층 구조에서 Cu TSV를 이용한 효과적인 열관리의 가능성을 나타낸다.

**Abstract:** In this study, we investigated the effects of Cu TSV on the thermal management of 3D stacked IC. Combination of backside point-heating and IR microscopic measurement of the front-side temperature showed evolution of hot spots in thin Si wafers, implying 3D stacked IC is vulnerable to thermal interference between stacked layers. Cu TSV was found to be an effective heat path, resulting in larger high temperature area in TSV wafer than bare Si wafer, and could be used as an efficient thermal via in the thermal management of 3D stacked IC.

**Keywords:** thermal via, 3D stacked IC, Cu TSV, thermal management

## 1. 서 론

3차원 적층 집적회로(3D stacked IC)는 기존의 실리콘 웨이퍼 위에서 평면적으로 구현되었던 2차원 집적회로를 칩단위로 3차원으로 쌓아올림으로써 고집적화 및 고성능화를 꾀하는 기술이다. 이 기술은 최근 반도체 미세화 기술이 물리적, 경제적 한계에 부딪힘에 따라 이를 극복하고 새로운 시장을 창출할 수 있는 대안으로 주목받고 있다. 그러나 기존의 소자를 3차원으로 쌓아올리는데 따른 여러 가지 기술적, 경제적 어려움이 존재하는데, 그 가운데 열관리(thermal management) 문제는 3차원 적층 집적회로의 성능 뿐 아니라 신뢰성에 직접적인 영향을 끼치는 중요한 부분이다.

반도체 칩을 3차원으로 적층한 구조에서는 각 칩에서

발생하는 열 또한 3차원으로 적층될 수밖에 없어, 2차원 평면 구조와 비교해서 동일 면적에서 발생하는 열이 적층 수에 비례하여 증가함에 따라 적절한 열관리가 없으면 과열될 가능성이 높다. 특히 3차원 집적회로 적층 시 적층된 칩 사이의 간격이 매우 좁아서 이를 통한 냉각 경로를 형성하기가 어려우며 또한 전체 적층 두께를 낮추기 위해 개별 칩이 얇아짐에 따라 발열점(hot spot)의 문제가 심각해지는 어려움이 있다. Lau 등은<sup>1)</sup> 칩 두께에 따른 발열 문제에 대한 전산모사를 통해, 칩당 0.2W의 발열을 가정할 때 200  $\mu\text{m}$ 의 일반적인 두께에서는 전체온도가 35°C로 균일하게 유지되나, 10  $\mu\text{m}$ 의 경우 발열점의 온도가 69°C까지 올라가는 문제점을 제기한바 있다.

이러한 3차원 적층 구조에서의 발열 문제를 해결하기 위해 TIM(thermal interface material)과 같이 소자에서 발

<sup>†</sup>Corresponding author  
E-mail: sdkim@seoultech.ac.kr

© 2014, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

생한 열을 보다 효과적으로 방출하는 방열(heat dissipation) 재료에 관한 연구뿐만<sup>2,3)</sup> 아니라 적극적으로 소자를 냉각하려는 액체 냉각(liquid cooling) 방식에 대한 연구도<sup>4,5)</sup> 활발히 진행되고 있다. 또한 3차원 적층구조에서 층간 배선을 위해 사용되는 TSV(through silicon via) 구조를 이용하여 내부에서 발생하는 열을 신속하게 외부로 방출하는 thermal via에 대한 연구도<sup>6-8)</sup> 많은 관심을 받고 있다. 그러나 방열 연구를 위한 적층 구조의 실험은 제작 공정상의 어려움으로 인해 주로 전산모사를 중심으로 진행되어 왔으며, 실험 결과에 대한 발표는 많지 않은 실정이다. 본 연구에서는 Cu TSV를 이용한 thermal via의 구현 가능성에 대해 실험적으로 고찰하고자 하였으며, 이를 위해 Cu TSV의 유무에 따른 실리콘 웨이퍼에서의 열전달의 차이를 적외선 현미경을 이용해 확인하였다.

2. 실험 방법

적층 집적회로 구조에서의 트랜지스터 방열을 모사하기 위해 Fig. 1과 같은 점열원(point heat source)을 제작하였다. 세라믹히터(Fig. 1의 (c))에서 발생한 열이 구리 구조물(Fig. 1의 (b)) 끝의 다이아몬드 코팅 팁과 시편 뒷면과의 점접촉을 통해 시편에 전달됨으로써 점열원의 역할을 하도록 제작되었다. 이때 z축 스테이지(Fig. 1의 (d))를 이용하여 팁과 시편과의 안정적인 점접촉을 형성하였다. 세라믹히터와 다이아몬드 팁 부분의 온도차를 열전쌍을 이용하여 측정한 결과 최대 47°C의 온도차가 발생하였으며, 이후 본 논문에서는 세라믹히터 온도를 가열 온도로 표기하였다. 가열 온도별 다이아몬드 팁 온도의 측정결

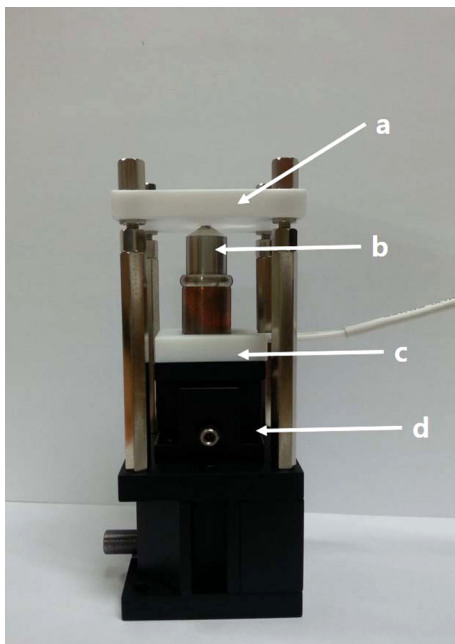


Fig. 1. Sample stage with point heat source; (a) Teflon sample holder, (b) Cu heat block with diamond coated tip, (c) ceramic heater, (d) z-axis stage.

Table 1. Temperature at the diamond tip induced by ceramic heater.

Ceramic heater(°C)	Diamond tip(°C)
50	42
100	75
150	110
200	153

과를 Table 1에 정리하였다.

시편 후면부를 일정 온도의 점열원으로 가열한 상태에서 시편 전면부의 온도변화를 적외선 현미경(FLIR사 SC5000)을 이용하여 측정함으로써 트랜지스터에서 발생한 열이 적층구조에서 주변부로 어떻게 전달되는 가를 관찰하였다. 이때 세라믹히터 및 구리구조물에서 발생하는 적외선이 시편 온도 측정에 미치는 영향을 제거하기 위하여 측정시편의 뒷면에 e-beam 증발법을 이용하여 Cr 100 nm/Au 200 nm를 증착하였다. Au의 경우 반사율이 98% 이상으로 거의 모든 파장대의 적외선을 반사하는 것으로 알려져 있으며, 실제 아무런 처리를 하지 않은 경우 및 상용 적외선 차단 필름(VK30)을 사용한 경우와 비교하였을 때 Fig. 2에 나타난 것과 같이 가장 우수한 적외선 차단 성능을 나타내었다. Fig. 2의 (a)의 경우 시편에 아무처리도 하지 않은 경우로서 팁에서 발생하는 적외선이 실리콘 시편을 통과하여 전면부에서 그대로 검출되었으며, 적외선 차단 필름을 사용한 (b)의 경우 적외선 차단에는 효과가 있으나 팁과 시편과의 점접촉 주변의 틈을 통해 팁 적외선이 검출됨을 볼 수 있다. 반면 Au 코팅한 (c)의 경우 팁에서 발생하는 적외선이 전혀 검출되지 않는 것을 알 수 있다. 한편 시편의 전면부에는 탄소 분말을 도포함으로써 흑체(black body) 복사 효과를 통해 시편의 온도를 보다 정밀하게 측정하고자 하였으며, 26°C의 항온환경에서 주변 대류의 영향을 최소화한 상태에서 측정함으로써 주변 환경의 영향을 최소화 하였다.

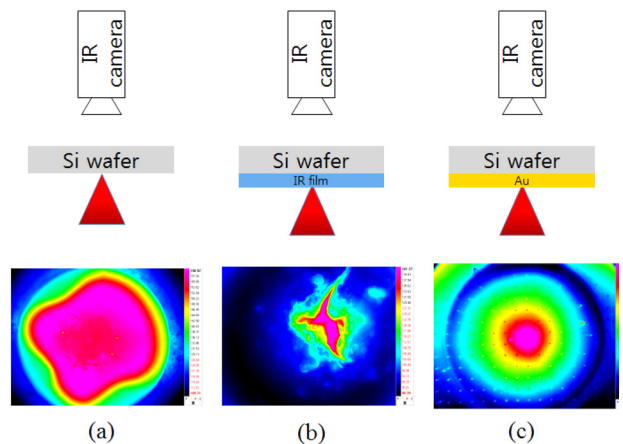
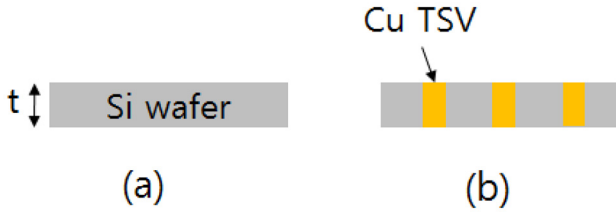


Fig. 2. Effects of backside coating on reflecting IR from the point heat source (a) bare Si wafer (b) commercial IR reflective film (c) Au thin film. Note that temperature scale in each figure is different; (a) 110~158°C (b) 80~140°C (c) 71~74°C.



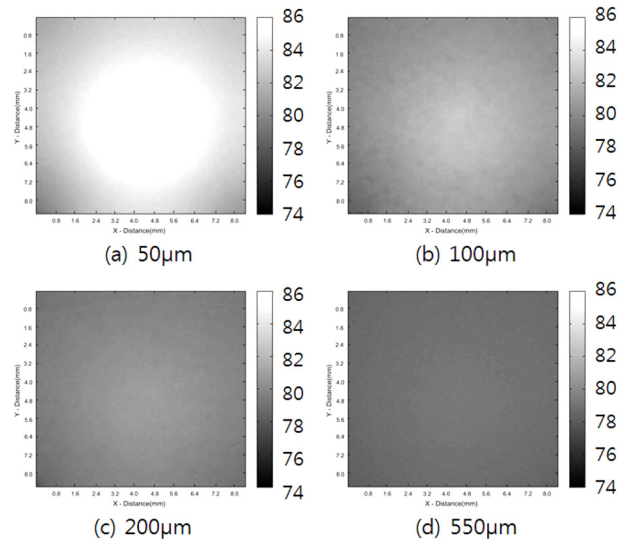
**Fig. 3.** Schematic diagram of specimens (a) thin Si wafer ( $t=50,100, 200,550 \mu\text{m}$ ) (b) TSV wafer (dia.  $8 \mu\text{m}$ , pitch  $200 \mu\text{m}$ , thickness  $40 \mu\text{m}$ ).

측정에 사용한 시편으로는 ① 박형 실리콘 웨이퍼, ② Cu TSV를 포함하는 TSV 웨이퍼를 사용하였으며, 각 시편의 단면도를 Fig. 3에 나타내었다. 먼저 시편 두께에 따른 열전달 효과를 확인하기 위해 각각 50, 100, 200, 550  $\mu\text{m}$ 의 두께를 갖는 실리콘 웨이퍼를 그라인더(Disco사, DGP8760)를 이용하여 제작하였다. TSV 웨이퍼의 경우 지름  $8 \mu\text{m}$ 의 구리 관통전극이  $200 \mu\text{m}$  간격으로 배열되어 있으며, 웨이퍼 두께는  $40 \mu\text{m}$ 이다(Fig. 3의 (b)). 모든 시편의 크기는  $1 \text{cm} \times 1 \text{cm}$  이었다.

### 3. 결과 및 고찰

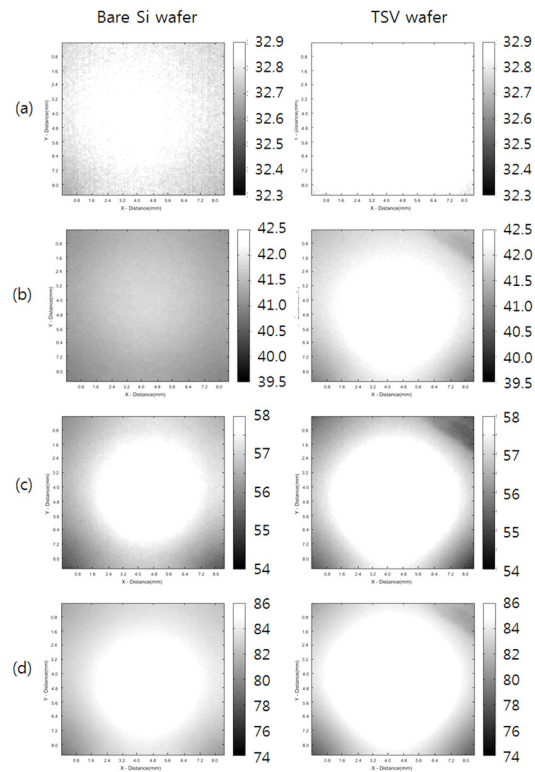
적층 집적소자 구조에서 실리콘 웨이퍼를 통한 열전달이 영향을 미치는 층의 두께 및 온도를 살펴보기 위해 우선 일반 실리콘 웨이퍼에 대해 웨이퍼 두께와 가열 온도에 따른 열전달을 관찰하였다. 네 종류( $50 \mu\text{m}$ ,  $100 \mu\text{m}$ ,  $200 \mu\text{m}$ ,  $550 \mu\text{m}$ )의 실리콘 웨이퍼를  $50^\circ\text{C}$ ,  $100^\circ\text{C}$ ,  $150^\circ\text{C}$ ,  $200^\circ\text{C}$ 로(세라믹히터 설정 온도 기준) 후면부를 가열한 후 전면부의 온도 변화를 적외선 현미경으로 관찰한 결과, 표면 온도는 시편의 두께와 반비례하였으며 가열온도가 높을수록 시편 내부의 온도차가 커졌다.  $50^\circ\text{C}$ 로 가열한 경우 표면온도는  $32.3 \sim 32.9^\circ\text{C}$ 로 가열부와 주변부 사이에 거의 차이가 없이 시편 전체가 가열되는 효과가 관찰되었으나,  $100^\circ\text{C}$ ,  $150^\circ\text{C}$ 로 가열 온도가 증가한 경우  $39.7 \sim 42.5^\circ\text{C}$ ,  $54.0 \sim 58.0^\circ\text{C}$ 로 시편 내부의 표면온도가 차이 나기 시작하였다.  $200^\circ\text{C}$  가열한 경우 가장 큰 온도차를 나타내었으며 측정 결과를 Fig. 4에 나타내었다.  $550 \mu\text{m}$  두께의 경우 점열원으로 가열한 중앙부와 주변부의 온도차가 거의 없으나,  $200 \mu\text{m}$ 의 경우 서서히 중앙부의 온도가 높아지기 시작하여  $100 \mu\text{m}$ 의 경우 그 온도차가 비교적 뚜렷해지기 시작하였다.  $50 \mu\text{m}$  두께의 경우 중앙부의 온도가  $86^\circ\text{C}$ 까지 올라가는 것을 볼 수 있다. 따라서 적층 집적회로 구조에서 많이 고려되고 있는  $20\text{--}80 \mu\text{m}$  두께의 경우 임의의 층에서 발생한 열이 충분히 상부 및 하부 층에 영향을 미칠 수 있는 것을 알 수 있다.

적층 집적소자 구조에서 TSV가 열전달에 미치는 영향을 알아보기 위해 TSV가 없는  $50 \mu\text{m}$  두께의 일반 실리콘 웨이퍼와 Cu TSV를 가지는  $40 \mu\text{m}$  두께의 실리콘 웨이퍼에 대해 열전달 현상을 비교하였다. 각 온도별 측정



**Fig. 4.** Surface temperature profile of various thickness Si wafers point-heated at  $200^\circ\text{C}$  on the backside (a)  $50 \mu\text{m}$  (b)  $100 \mu\text{m}$  (c)  $200 \mu\text{m}$  (d)  $550 \mu\text{m}$ . Note that temperature scale ranges from  $74^\circ\text{C}$  to  $86^\circ\text{C}$  for all profiles.

결과를 Fig. 5에 정리하였으며, 모든 측정 온도에 대해서 Cu TSV 웨이퍼가 일반 실리콘 웨이퍼보다 고온 영역이 훨씬 넓은 것을 알 수 있다. 고온 영역의 최고 온도는 양



**Fig. 5.** Comparison of surface temperature profiles between bare Si wafer and TSV wafer. Backside point-heater was set to (a)  $50^\circ\text{C}$ , (b)  $100^\circ\text{C}$ , (c)  $150^\circ\text{C}$ , (d)  $200^\circ\text{C}$ . Note temperature scale range of (a)  $32.3\text{--}32.9^\circ\text{C}$  (b)  $39.7\text{--}42.5^\circ\text{C}$  (c)  $54.0\text{--}58.0^\circ\text{C}$  (d)  $74.0\text{--}86.0^\circ\text{C}$ .

시편이 큰 차이가 나지 않으나 그 영역의 넓이와 분포는 큰 차이를 보이고 있는데, 이는 시편 준비과정에서 발생한 약 10  $\mu\text{m}$  정도의 두께 차이와 Cu TSV의 유무에 따른 것으로 보인다. 그러나 Lau<sup>1)</sup> 등의 연구결과 및 본 연구진의 전산모사에서도 40~50  $\mu\text{m}$  영역에서는 두께에 따른 온도분포 차이가 나타나지 않아, 두 시편간의 관찰된 온도분포 차이는 시편의 두께 차이보다는 TSV 웨이퍼의 구리 비아(via)가 효과적인 열전달 경로로 작용했기 때문으로 판단된다. 구리의 열전도도는 385 W/m·K<sup>9)</sup>로 실리콘의 149 W/m·K 보다 높기 때문에 구리 비아는 후면부의 점열원에서 발생한 열을 실리콘 보다 빠르게 전면부로 전달하게 된다. 또한 주변의 실리콘 보다 높은 온도를 갖는 구리 비아는 새로운 열원으로 작용하여 주변의 실리콘의 온도를 상승시키게 된다. 결국 후면부의 점열원에서 발생한 열은 구리 비아를 통해 시편 전체로 빠르게 퍼져나가게 되어, 구리 비아가 없는 일반 실리콘 웨이퍼보다 전체적으로 고온 영역이 증가하게 된다. 본 측정 결과를 통해 구리 비아가 실리콘보다 효과적인 열전달 경로로 작용할 수 있으며, 적층 집적소자 구조에서 내부에서 발생한 열을 빠르게 외부로 전달하여 내부의 과열을 방지하는 중요한 열배출 경로로 이용할 수 있음을 알 수 있다.

#### 4. 결 론

적층 집적회로 구조에서의 내부 발열 및 이로 인한 열 관리 문제에 대한 해결책으로 TSV를 열배출 경로로 사용하는 가능성에 대해 실험적 고찰을 진행하였다. 시편 후면부를 점열원으로 가열한 상태에서 전면부의 온도변화를 적외선 현미경을 이용해 관찰하는 실험을 진행하였으며, 적층 집적회로 구조에서 많이 고려되고 있는 20~80  $\mu\text{m}$  두께 내외의 실리콘 웨이퍼의 경우 임의의 층에서 발생한 열이 상부 및 하부 층에 영향을 미칠 수 있음을 확인하였다. 또한 Cu TSV를 통해 우선적인 열전달이 일어나는 현상을 통해 향후 TSV를 이용하여 내부의 열을

효과적으로 외부로 방출하는 thermal TSV의 실현 가능성을 확인하였다.

#### 감사의 글

본 연구는년도정부(교육부)의재원으로한국연구재단의 지원을받아수행된기초연구사업(2013R1A1A2012619)으로 일부는 한국연구재단을 통한 미래창조과학부의 과학 기술 국제화 사업의 지원(과제번호: 2011-0030492)에 의해 수행되었습니다.

#### References

1. J. H. Lau and G. Tang, "Thermal Management of 3D IC Integration with TSV(Through Silicon Via)", IEEE Proceedings of ECTC, San Diego, 635 (2009).
2. A. J. McNamara, Y. Joshi and Z. M. Zhang, "Characterization of Nanostructured Thermal Interface Materials: A Review", Int. J. Therm. Sci., 62, 2 (2011).
3. Jun Xu and T. S. Fisher, "Enhancement of Thermal Interface Materials with Carbon Nanotube Arrays", Int. J. Heat Mass Transfer, 49(9-10), 1658 (2006).
4. M. Park, S. Kim and S. E. Kim, "TSV Liquid Cooling System for 3D Integrated Circuits", J. Microelectron. Packag. Soc., 20(3), 1 (2013).
5. J. Darabi and K. Ekula, "Development of a Chip-Integrated Micro Cooling Device", Microelectron. J., 34(11), 1067 (2003).
6. B. Sung, "Thermal enhancement of stacked dies using thermal vias", Master thesis, the university of Texas Arlington, (2006).
7. J. Cong and Y. Zhang, "Thermal via planning for 3-D ICs." IEEE/ACM International Conference on Computer-Aided Design, 745 (2005).
8. B. K. Yu, M. Y. Kim and T. S. Oh, "Anisotropic Wet-Etching Process of Si Substrate for Formation of Thermal Vias in High-Power LED Packages", J. Microelectron. Packag. Soc., 19(4), 51 (2012).
9. H. D. Young, "University Physics", 7th Ed., Table 15-5, Addison Wesley, (1992).