

논문 2014-51-10-10

# 멤리스터-CMOS 기반의 재구성 가능한 곱셈기 구조

## ( A Reconfigurable Multiplier Architecture Based on Memristor-CMOS Technology )

박 병 석\*, 이 상 진\*\*, 장 영 조\*\*\*, 캄란 에쉬라기안\*\*, 조 경 록\*\*

( Byungsuk Park, Sang-Jin Lee, Young-Jo Jang, Kamran Eshraghian, and Kyoungrok Cho<sup>©</sup> )

### 요 약

곱셈기는 멀티미디어 통신 시스템과 같이 다양한 신호처리 알고리즘을 갖는 복잡한 연산을 수행한다. 곱셈기는 상대적으로 큰 전달 지연시간, 높은 전력 소모, 큰 면적을 갖는다. 이 논문은 멤리스터-CMOS 기반의 재구성 가능한 곱셈기를 제안하여 곱셈기 회로의 면적을 줄이고 다양한 응용프로그램에 최적화 된 비트폭을 제공한다. 멤리스터-CMOS 기반의 재구성 가능한 곱셈기의 성능은 1.8 V 공급전압에서 멤리스터 SPICE 모델과 180 nm CMOS 공정으로 검증했다. 검증 결과 제안한 멤리스터-CMOS 기반의 재구성 가능한 곱셈기는 종래의 것과 비교시 면적, 지연시간, 전력소모가 각각 61%, 38%, 28% 개선되었고, twin-precision 곱셈기와 면적 비교에서도 22% 개선되었다.

### Abstract

Multiplier performs a complex arithmetic operation in various signal processing algorithms such as multimedia and communication system. The multiplier also suffers from its relatively large signal propagation delay, high power dissipation, and large area requirement. This paper presents memristor-CMOS based reconfigurable multiplier reducing area occupation of the multiplier circuitry and increasing compatibility using optimized bit-width for various applications. The performance of the memristor-CMOS based reconfigurable multiplier are estimated with memristor SPICE model and 180 nm CMOS process under 1.8 V supply voltage. The circuit shows performance improvement of 61% for area, 38% for delay and 28% for power consumption respectively compared with the conventional reconfigurable multipliers. It also has an advantage for area reduction of 22% against a twin-precision multiplier.

**Keywords :** 멤리스터-CMOS, 곱셈기, 재구성 가능한 구조

\* 학생회원, \*\* 정회원, 충북대학교 전자정보대학  
(College of Electrical and Computer Engineering,  
Chungbuk National University)

\*\*\* 정회원, 한국기술교육대학교 전기전자통신공학부  
(School of Electrical, Electronics & Communication  
Engineering, Korea University of Technology and  
Education)

© Corresponding Author(E-mail: krcho@cbnu.ac.kr)

※ 본 연구는 미래창조과학부 IDEC 플랫폼 센터와  
ETRI SW-SoC융합 R&BD 센터의 지원으로 수행  
하였음.

접수일자: 2014년05월14일, 수정일자: 2014년09월10일  
게재확정: 2014년10월06일

## I. 서 론

곱셈기는 대부분의 프로세서나 디지털 신호 처리를 수행하는 하드웨어에 필수적으로 포함되어 있다. 그 중 DSP(digital signal processor)에 사용되는 곱셈기는 다양한 입력 비트를 갖는다. 다양한 크기의 입력 비트 폭을 처리하기 위해 곱셈기의 하드웨어는 상대적으로 다른 장치에 비해 크다. DSP에 사용되는 곱셈기처럼 큰 하드웨어를 갖는 장치는 많은 전력 소모, 긴 지연시간,

넓은 면적을 소모한다. 이러한 곱셈기의 성능을 개선은 전체 시스템의 성능을 크게 개선시킬 수 있다. 곱셈기의 성능을 개선하기 위한 방법으로 하나의 곱셈기 구조로 여러 응용프로그램에 효율적으로 동작 할 수 있는 재구성 가능한 곱셈기 (reconfigurable multiplier) 구조가 연구되어 왔다.<sup>[1-6]</sup>

일반적으로 재구성 가능한 곱셈기는 내부에 신호를 제어하기 위한 회로를 추가함으로써 구현된다. Eshraghian은 일반적인 곱셈기 주변에 3개의 multiplexer (MUX)를 연결한 scalable 곱셈기 구조를 제안했다.<sup>[7]</sup> 3개의 MUX는 두 개의 수직, 수평 제어신호를 통해 carry와 sum의 전달을 제어한다. 재구성 가능한 구조를 위해 추가된 3개의 MUX는 곱셈기회로의 신호전달 지연시간과 면적을 증가시키는 단점이 있다. Madhuria는 carry 전달을 제어하는 재구성 가능한 곱셈기 구조를 제안하였다.<sup>[8]</sup> 전가산기에 하나의 AND 게이트를 추가하여  $C_{in}$  (carry 입력)과 제어신호를 입력받는다. 제어신호가 'high'가 되면 해당 블록은 carry 전달이 이루어져 일반적인 정수 곱셈을 수행한다. 반대로 제어신호가 'low'가 되면 carry 전달은 차단되고 Galois field 곱셈을 수행한다. 이러한 재구성 가능한 곱셈기는 응용프로그램에 따라 효율적인 동작을 제공한다. Sjalander는 풀-비트 (full-bit) 및 twin-precision 곱셈이 가능한 곱셈기를 제안하였다.<sup>[9]</sup> 승수와 피승수를 입력받는 부분에 3-input AND 게이트를 사용하여 활성, 비활성 블록을 만들었다. 이 구조는 고속 푸리에 변환과 같은 상대적으로 작은 입력 비트 폭을 갖는 연산에 적합하다. 따라서 다양한 입력 비트 폭을 갖는 응용프로그램에는 적합하지 않다.<sup>[10]</sup>

재구성 가능한 곱셈기 구조는 시스템의 소비 전력을 감소시키는 동시에 곱셈 처리량을 증가시킬 수 있는 구조이다. 앞서 연구된 3개의 재구성 가능한 곱셈기 구조는 곱셈기 내부의 신호를 제어하기 위해 하드웨어가 추가되었다. 재구성 동작을 위한 회로의 추가는 하드웨어의 면적 소비를 크게 만드는 단점이 있다. 본 논문에서는 재구성 가능한 동작을 위해 추가된 면적을 줄이는 방법으로 멤리스터-CMOS 설계 방법을 도입하였다. 이것은 나노 크기의 멤리스티브 (memristive) 소자와 기존의 CMOS 회로 기술의 융합으로 현재 CMOS 기술이 직면한 Moore의 법칙을 극복하는 방법 중의 하나로 연구되고 있다.<sup>[11]</sup>

본 논문의 구성은 멤리스터 소자의 특성과 멤리스터-CMOS 회로 설계 기법을 II장에서 설명하고, III장에서는 멤리스터-CMOS 기반의 재구성 가능한 곱셈기를 제안한다. IV장에서는 제안하는 회로의 동작 설명과 시뮬레이션 결과를 바탕으로 기존의 회로들과 비교하였다. 끝으로 V장에서 결론을 맺는다.

## II. 멤리스터-CMOS 회로 설계

1971년 Chua가 전하 ( $q$ )와 자속 ( $\phi$ )의 관계로 정의되는 멤리스터 (memristor)를 예측했다.<sup>[12-13]</sup> 이 이론을 바탕으로 2008년 Hewlett-Packard사의 연구자들이 멤리스터를 실제 디바이스로 구현했다.<sup>[14-15]</sup> 멤리스터는 두 개의 Pt 금속 전극 사이에  $TiO_2/TiO_{2-x}$  절연체 층을 결합한 구조다. 멤리스터의 두 전극에 입력되는 바이어스에 따라  $TiO_2/TiO_{2-x}$  층의 산소 정공이 드리프트 된다. 산소 정공이 드리프트 되면서 멤리스터 소자의 저항 상태가 변화하게 된다. 이러한 멤리스터의 저항 특성을 이용하여 CMOS 회로 기술과 융합하여 논리 회로를 구현할 수 있다.

최근에 멤리스터와 CMOS를 결합한 형태로 NAND, NOR, MUX 등의 논리 게이트 구현이 가능한 멤리스터-CMOS 논리 프리미티브 설계 기법이 발표되었다.<sup>[11]</sup> 두 개 이상의 멤리스터를 음극끼리 연결하여 OR 게이트를, 반대로 양극끼리 연결하여 AND 게이트를 구성했다. 그림 1은 멤리스터-CMOS NAND/NOR 게이트를 나타낸다. 멤리스터-CMOS 논리게이트를 사용하여 전가산기를 구성하면 CMOS 기반의 전가산기에 비하여 약 절반의 트랜지스터 개수를 줄일 수 있다. 그러나 멤리스터와 CMOS 게이트를 결합할 때 발생하는 문제도 있다. 멤리스터가 갖고 있는 물리적인 단점(낮은 내구성, CMOS 트랜지스터 보다 느린 상태 변화 시간)은 멤리스터를 구성하고 있는 물질의 개발과 같은 노력으로

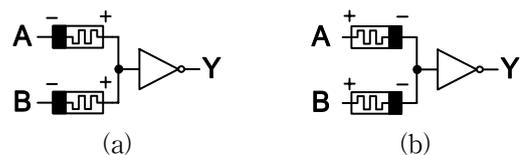


그림 1. 멤리스터-CMOS 논리게이트 (a) NAND 게이트 (b) NOR 게이트  
Fig. 1. Memristor-CMOS logic primitives for (a) NAND and (b) NOR gates.

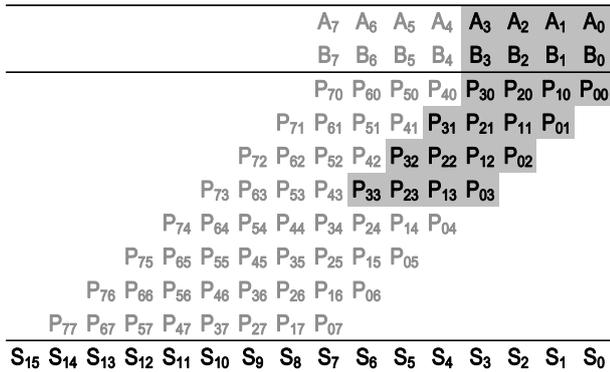


그림 2. 8-비트 곱셈기의 블록다이어그램  
 Fig. 2. Block diagram of an unsigned 8-bit array multiplier.

해결해야 할 숙제다. 본 논문에서는 보다 작은 면적을 갖는 재구성 가능한 곱셈기를 구현하기 위해 멤리스터-CMOS 설계 기법을 도입하였다.

### III. 제안하는 재구성 가능한 곱셈기

곱셈의 가장 기본적인 방법은 AND게이트를 사용하여 부분 곱 (partial product)을 칼럼(column) 형식으로 만든 후 에 부분 곱을 더하는 방법이다. 이 방법은 회로

를 간단하게 구성할 수 있다는 일반적인 곱셈기 설계 방법이다.<sup>[4]</sup> 그림 2는 8-비트 곱셈기에서의 4-비트 곱셈 동작을 보인다. 4-비트 곱셈 연산을 수행하기 위해 승수와 피승수를 입력받는 블록은 전체의 25%다. 나머지 75% 블록이 승수와 피승수를 입력받지 않고 최종 출력에도 영향을 미치지 않는다. 그림 2과 같은 구조에 입력이 곱셈기 전체 비트 폭의 절반 이하로 연속적으로 입력된다면 많은 곱셈 블록이 동작하지 않게 되어 비효율적이다.

제안하는 회로의 동작을 설명하기 위해 그림 3에 멤리스터-CMOS 기반의 재구성 가능한 8-비트 곱셈기를 나타냈다. 사각 블록은 제안하는 재구성 가능한 1-비트 곱셈기를 의미한다. 그림 3에서 일반적인 곱셈 연산을 수행하는 활성화 블록을 검은색으로 비활성화 블록은 흰색으로 표시하였다. 비활성화 블록은 제어신호를 통해 승수와 피승수의 입력이 차단된 상태다. 그림 3의 제안하는 회로는 5-비트와 3-비트의 병렬 곱셈 동작을 나타낸다. 이 때 수평 제어신호  $H_0$  부터  $H_7$ 은 '1110000'이 입력되며 수직 제어신호  $V_0$  부터  $V_7$ 은 '0001111'이 된다. 제안하는 회로가 서로 다른 비트 폭의 병렬 곱셈을 할 경우, 입력 비트 폭의 차이가 큰 응

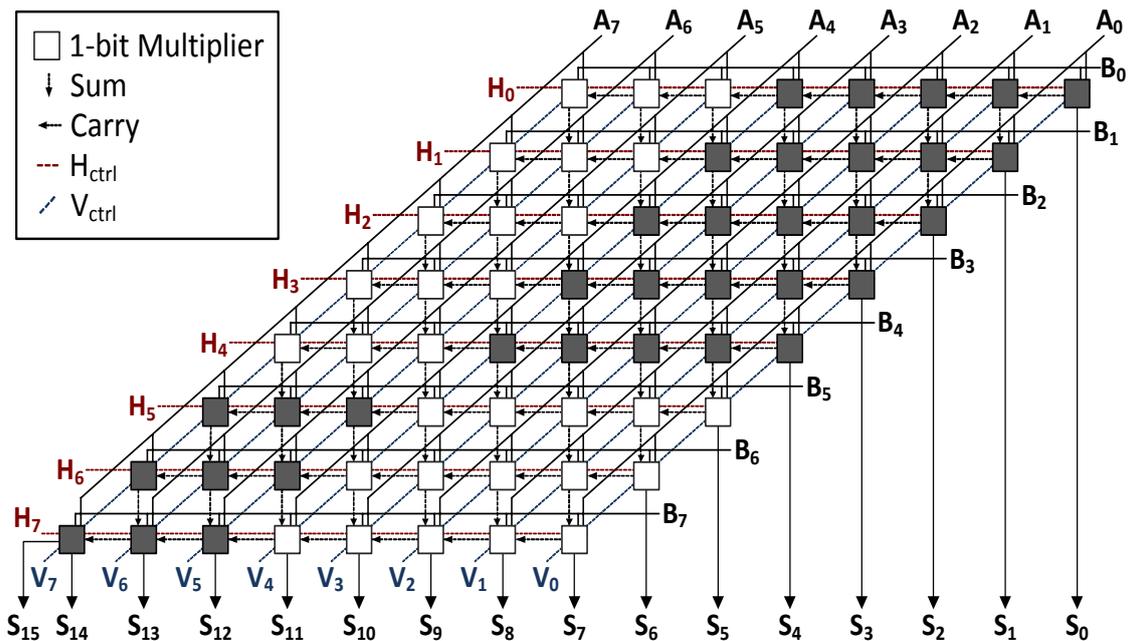


그림 3. 멤리스터-CMOS 기반의 8-비트 재구성 가능한 곱셈기 구조  
 Fig. 3. Memristor-CMOS based 8-bit reconfigurable multiplier array architecture.

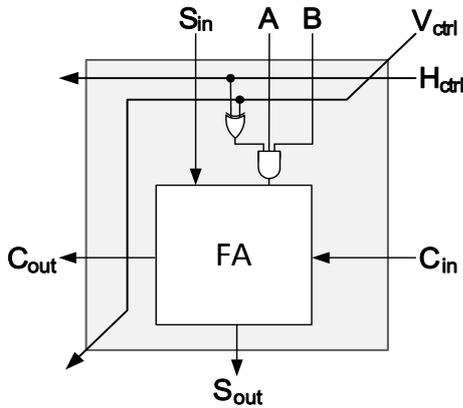


그림 4. 제안하는 멤리스터-CMOS 기반의 재구성 가능한 곱셈기 구조

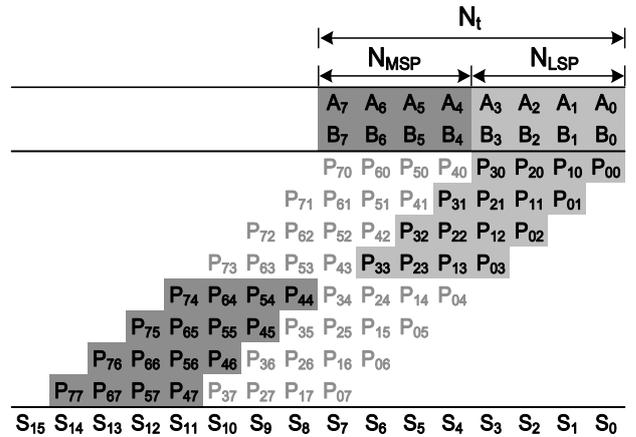
Fig. 4. The proposed memristor-CMOS based reconfigurable multiplier architecture.

용프로그램에 높은 효율을 기대할 수 있다. 또한 제어 신호를 변경하여  $H_0$  부터  $H_7$ 은 '1111000',  $V_0$  부터  $V_7$ 은 '00011111'을 적용하면 두 개의 4-비트 병렬곱셈이 가능하다. 이는 입력 비트 폭이 다른 응용프로그램에 비하여 상대적으로 작은 응용프로그램에 적용하면 높은 효율을 기대할 수 있다.<sup>[9]</sup> 이처럼 제안하는 곱셈기 구조는 입력 비트 폭에 변화에 따라 유연한 병렬 곱셈 동작을 하여 여러 응용프로그램에 적합하게 설계 되었다.

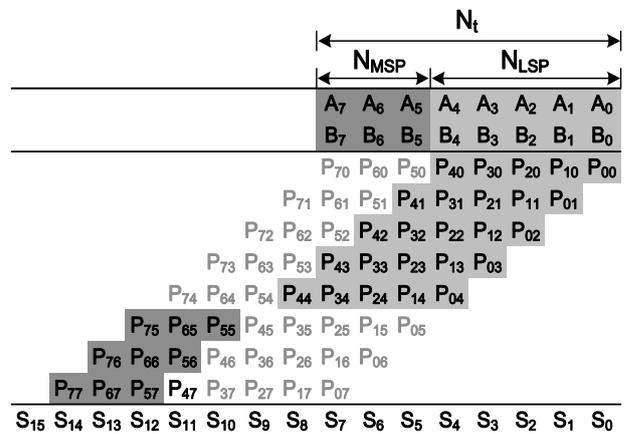
그림 4는 제안하는 재구성 가능한 곱셈기 1-비트의 구조를 나타낸다.  $H_{ctrl}$ 와  $V_{ctrl}$ 는 각각 수직, 수평 제어신호를 의미한다.  $H_{ctrl}$ 와  $V_{ctrl}$ 는 승수와 피승수를 제어하여 해당 블록의 곱셈동작을 활성화, 비활성화 한다. 두 제어신호가 같을 때 ('00' 또는 '11') XOR 게이트의 출력은 'low'가 되어 3-input AND 게이트로 전달된다. 이때 3-input AND 게이트의 나머지 두 입력인 승수와 피승수가 어떻게 입력되더라도 3-input AND 게이트의 출력은 'low'가 되고 해당 블록은 곱셈 연산을 하지 않는다. 반면 두 제어신호가 다를 때 ('01' 또는 '10') 해당 블록은 일반적인 정수 곱셈 동작을 한다. 표 1은 수직, 수평 제어신호에 따른 곱셈 블록의 동작을 나타내는 진리표를 나타낸다. 또한 제안하는 재구성 가능한 곱셈기의 부분 곱 ( $P_{ij}$ )은 다음과 같이 표현 할 수 있다.

$$P_{ij} = A_i \cdot B_j \cdot (V_i \oplus H_j) \quad (1)$$

예를 들어 제안하는 곱셈기 구조에 모든 수직 제어신호 ( $V_i$ )를 'high'로, 모든 수평 제어신호 ( $H_j$ )를 'low'로 입력하게 된다면 전체 블록이 활성화 되어 전체 비트곱



(a)



(b)

그림 5. 제안하는 멤리스터-CMOS 기반의 재구성 가능한 8-비트 곱셈기의 동작 (a) 4+4 비트 (b) 5+3 비트

Fig. 5. Operation of Memristor-CMOS based reconfigurable 8-bit array multiplier. (a) 4+4 bit (b) 5+3 bit.

표 1. 수직, 수평 제어신호에 따른 재구성 곱셈 블록 동작

Table 1. Operation of reconfigurable multiplier block by the vertical and horizontality control signal.

$H_{ctrl}$	$V_{ctrl}$	$P_{ij}$
0	0	비활성
0	1	활성
1	0	활성
1	1	비활성

셈 연산을 한다.

그림 5는 제안하는 멤리스터-CMOS 기반의 재구성 가능한 8-비트 곱셈기의 동작을 보인다. 그림 5(a)는 제안하는 8-비트 곱셈기에서 두 개의 4-비트 병렬 곱셈을 나타낸다. 병렬 4-비트 곱셈은 독립적으로 동작하여 서로의 최종출력에 영향을 주지 않는다. 곱셈기 내부에서 독립적인 병렬 곱셈이 가능하기 위해서는 곱셈기로 입력되는 승수와 피승수를 제어해야 한다. 일반적인 곱셈기 구조는 해당 곱셈 블록으로 입력되는 승수와 피승수를 차단할 수 없다. 제안하는 구조는 XOR 게이트를 활용하여 승수와 피승수를 제어 했다. XOR 게이트는 수직, 수평 신호를 입력받아 승수, 피승수와 함께 전가산기로 입력된다. 수직, 수평 제어신호가 서로 같게 입력되면 승수와, 피승수의 입력이 차단된다. 반면 수직, 수평 신호를 다르게 입력하여 활성화된 블록은 그림 5에서 회색으로 표시되었다. 그림 5(b)는 5-비트와 3-비트의 병렬 곱셈을 보인다. 제안하는 회로의 구조로 8-비트 곱셈기를 구성하면 5가지의 병렬 곱셈 연산이 가능하다. 병렬 곱셈 비트 폭 합은 곱셈기 전체 비트 폭과 같은 범위 내에서 선택될 수 있다. 이는 다음과 같이 수식으로 표현된다. Least significant part (LSP)의 비트폭  $N_{LSP}$ 와 most significant part (MSP)의 비트폭  $N_{MSP}$ 는 그림 5에 나타난 구조처럼 병렬로 구분된다.

$$N_t = N_{LSP} + N_{MSP} \quad (2)$$

#### IV. 동작 설명 및 시뮬레이션

제안하는 멤리스터-CMOS 기반의 재구성 가능한 1-비트 곱셈기의 동작을 확인하기 위해 시뮬레이션 결과를 그림 6에 나타내었다. 시뮬레이션 결과는 활성화, 비활성성 두 부분으로 나눌 수 있다. 활성화 부분은 두 수직 ( $V_{ctrl}$ ), 수평 ( $H_{ctrl}$ ) 제어신호가 서로 다를 때를 의미한다. 활성화 부분은 일반적인 정수 곱셈 동작을 보인다. 두 제어신호가 같을 때는 비활성성 부분으로 승수와 피승수의 전달이 차단되어 carry ( $C_{in}$ )와 sum ( $S_{in}$ )만을 입력 받는다. 비활성성 부분은 승수 ( $A$ )와 피승수 ( $B$ )의 입력이 있을 때도 carry와 sum 입력이 없다면 출력이 없다. 이렇게 비활성성 부분은 병렬 곱셈간의 간섭이 없이 독립적으로 연산하기 위해 carry와 sum의 전달 역할을 한다.

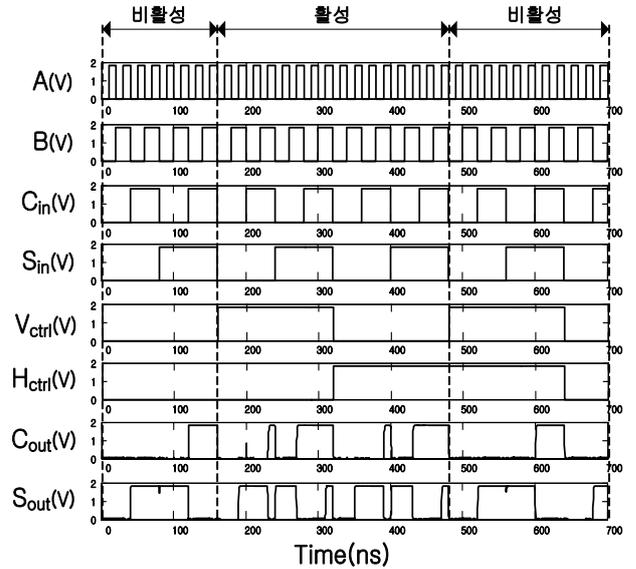


그림 6. 멤리스터-CMOS 기반의 재구성 가능한 곱셈기 시뮬레이션 결과  
Fig. 6. Simulation result of Memristor-CMOS based reconfigurable multiplier.

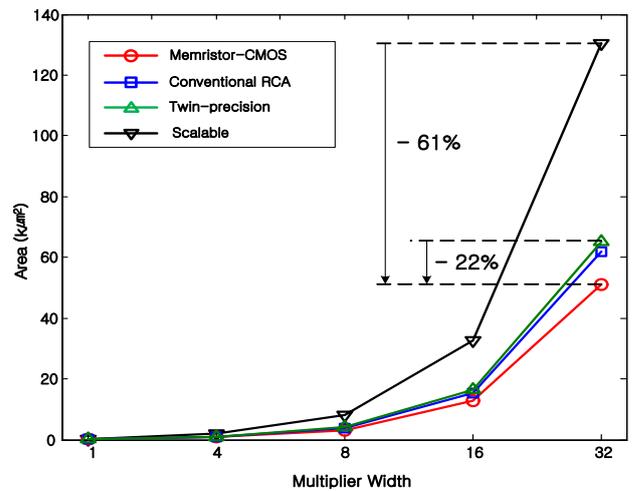
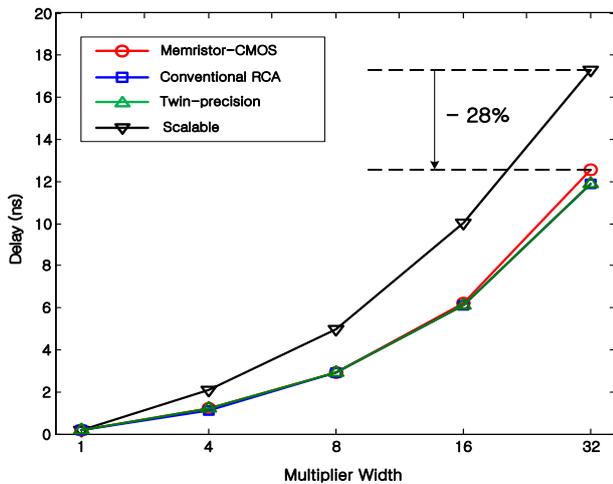
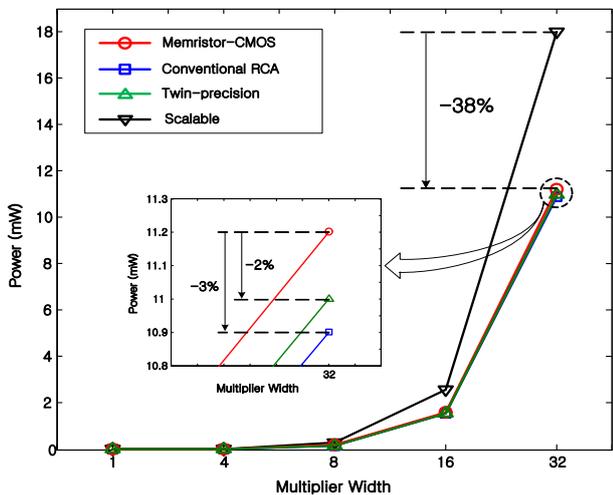


그림 7. 1비트부터 32비트 까지 제안하는 곱셈기와 종래의 곱셈기 면적 비교  
Fig. 7. The area for proposed circuit and various multipliers of size from 1 to 32 bits.

제안하는 멤리스터-CMOS 기반의 재구성 가능한 곱셈기는 180 nm CMOS 프로세스와 멤리스터의 SPICE 매크로 모델을 사용하여 구현하였다. 제안하는 회로는 32-비트로 구성되어 일반적인 CMOS 기반의 ripple carry adder (RCA) 곱셈기와 재구성 가능한 twin-precision 곱셈기와 scalable 곱셈기와 성능을 비교했다. 제안하는 회로와 비교 회로의 전달 지연시간, 평균 전력 소비, 면적에 따라 비교 결과를 표 2에 나타내었다.



(a)



(b)

그림 8. 1비트부터 32비트 까지 제안하는 곱셈기와 종래의 곱셈기 면적, 지연시간, 전력 소모 비교  
Fig. 8. The delay and power consumption for proposed circuit and various multipliers of size from 1 to 32 bits. (a) delay (b) power consumption.

괄호 안에는 제안하는 회로를 기준으로 전달 지연시간, 평균 전력 소비, 면적의 증감률을 표시 했다.

비교 결과는 1.8 V 공급전압으로 500 MHz의 난수 데이터를 이용하여 시뮬레이션 했다. 시뮬레이션에 사용한 프로그램은 IDEC으로부터 제공받은 ELDO이다.

그림 7은 비트 폭에 따른 면적 비교를 그래프로 나타냈다. 멤리스터-CMOS 논리 게이트로 구성된 제안하는 회로는 각각 twin-precision, scalable 곱셈기에 비해 32-비트에서 22%, 61% 더 적은 면적을 보인다. 제안하는 회로는 RCA 곱셈기와 면적 비교 시 1-비트에서 10  $\mu\text{m}^2$ , 32-비트에서 10547  $\mu\text{m}^2$  차이를 보인다. 이 차이는

표 2. 제안하는 멤리스터-CMOS 기반의 32-비트 곱셈기의 동작 모드별 성능 비교

Table 2. Performance comparison of proposed memristor-CMOS based reconfigurable multiplier by various bit-width.

Bit-width [bit]	32	24 + 8	16 + 16
Delay [ns]	12.56 (1.00)	10.3 (0.82)	7.92 (0.63)
Average power [mW]	11.2 (1.00)	6.9 (0.61)	4.2 (0.37)

멤리스터-CMOS 논리회로가 CMOS 논리회로 비하여 20~50%까지 더 적은 면적을 갖기 때문이다.

그림 8 (a)와 (b)는 곱셈기 비트 폭 증가에 따라 제안하는 회로와 RCA, twin-precision, scalable 곱셈기의 지연시간과 면적비교를 나타낸다. 제안하는 재구성 가능한 곱셈기의 전달 지연시간과 전력소모는 scalable 곱셈기 보다 각각 28%, 38% 개선되었다. 제안하는 구조의 32-비트 전달 지연시간은 RCA 보다 700 ps, 약 5% 느렸지만 면적은 RCA 보다 20%이상 감소되었다.

표 2는 제안하는 회로의 제어신호 설정에 따른 32-비트, 16+16 비트, 24+8 비트 연산의 성능을 보여준다. 제안하는 회로의 24+8 비트 연산 전달 지연시간이 32-비트 연산보다 약 20% 감소되었다. 전력소모에서도 32-비트 연산에 비하여 24+8 비트 연산이 약 40% 감소하였다. 32-비트 연산의 경우 부분 곱을 수행하는 블록의 개수가 1024개 인 반면 24+8 비트 연산은 640개이다. 16+16 비트 연산과 32-비트 연산 비교 시 지연시간과 전력소모가 각각 37%, 63% 감소되었다. 제안하는 회로는 다양한 입력 비트 폭에 최적화된 병렬 곱셈으로 응용프로그램의 전력소모와 지연시간에서 이득을 기대한다.

## V. 결 론

본 논문에서는 다양한 응용프로그램이 갖는 여러 입력 비트 폭에 따라 보다 유연한 곱셈 연산을 제공하는 멤리스터-CMOS 기반의 재구성 가능한 곱셈기를 제안한다. 설계된 곱셈기 회로는 기존의 CMOS 기반의 RCA 곱셈기, 재구성 가능한 twin-precision 및 scalable

곱셈기와 성능을 비교했다. 멤리스터-CMOS 기반의 재구성 가능한 곱셈기와 기존의 scalable 곱셈기의 성능 비교 시 면적, 지연시간, 전력소모에서 각각 61%, 38%, 28% 개선되었다. 본 논문의 회로와 twin-precision 곱셈기의 면적 비교에서도 22% 개선되었다. 제안하는 구조는 두 개의  $N/2$  병렬 곱셈을 포함한 다양한 병렬동작이 가능하여 응용프로그램에 따라 다른 유형의 곱셈 연산으로 소모 전력과 계산 시간을 줄인다.

## REFERENCES

- [1] S.-J. Jon and H.-H. Wang, "Fixed-width multiplier for DSP application," in *Proc. of International Conference on Computer Design (ICCD)*, pp. 318-322, 2000.
- [2] S. D. Haynes and P. Y. K. Cheung, "Configurable multiplier blocks for embedding in FPGAs," *Electronics Letter*, vol. 34, no. 7, pp. 638-639, 1998.
- [3] S. Kim and M. Papaefthymiou, "Reconfigurable low-energy multiplier for multimedia system design," in *Proc. IEEE Workshop on VLSI*, pp. 129-134, 2000.
- [4] C. L. Wey and J. F. Li, "Design of reconfigurable array multipliers and multiplier-accumulators," in *Proc. IEEE Int. Conf. Asia-Pacific Circuits Syst.*, pp. 37-40, 2004.
- [5] J. Hughes, K. Jeppson, P. Larsson-Edefors, M. Sheeran, P. Stenstrom, and L. J. Svensson, "FlexSoC : combining flexibility and efficiency in SoC designs," in *Proc. IEEE NorChip Conference*, pp. 52-55, 2003.
- [6] D. Madhuri, Kedhareswarao, M. Lathad and B. parsad, "Design reconfigurable multipliers based on high speed shannon adders," *International Journal of Engineering Research & Technology*, vol. 1, no. 7, 2012.
- [7] K. Eshraghian, D. A. Pucknell and S. Eshraghian, *Essentials of VLSI circuits and system*, Prentice Hall of India, 2005.
- [8] D. Madhuria, R. Kumarc and M. Lathad, "Analysis of reconfigurable multipliers for integer and Galois field multiplication based on high speed adder," *Procedia Technology*, vol. 6, pp. 90-97, 2012.
- [9] M. Sjalander and P. Larsson-Edefors, "Multiplication acceleration through twin precision," *IEEE Trans. Very Large Scale Integrated (VLSI) Systems*, vol. 17, no. 9, pp. 1233-1246, 2009.
- [10] O. L. MacSorley, "High-speed arithmetic in binary computers," *Proc. IRE*, vol. 49, no. 1, pp. 67-91, 1961.
- [11] C.-R. Han, S.-J. Lee, K. Eshraghian, and K. Cho, "Primitive IPs design based on a memristor-CMOS circuit technology," *Journal of the Institute of Electronics Engineers of Korea*, vol.50, no.4, pp.825-832, 2011.
- [12] L. O. Chua, "Memristor: the missing circuit element," *IEEE Trans. Circuit Theory*, vol. 18, no. 5, pp. 507-519, 1971.
- [13] L. O. Chua and S. M. Kang, "Memristive devices and systems," in *Proc. IEEE*, vol. 64, no. 2, pp. 209-223, 1976.
- [14] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, "The missing memristor found," *Nature*, vol. 453, no. 7191, pp. 80-83, May 2008.
- [15] D. B. Strukov et al, "Hybrid CMOS/memristor circuits," *Proc. Int. Symp. Circuits and Systems*, pp. 1967-1970, 2010.

저 자 소 개



박 병 석(학생회원)  
2012년 충북대학교 정보통신공학과 학사 졸업.  
2014년 충북대학교 정보통신공학과 석사 졸업.  
<주관심분야:멤리스터-CMOS >



이 상 진(정회원)  
2008년 충북대학교 화학공학과 학사 졸업.  
2010년 충북대학교 정보통신공학과 석사 졸업.  
2014년 충북대학교 정보통신공학과 박사 졸업.

2014년~현재 (재)스마트 IT 융합 시스템 연구단 연구조교수  
<주관심분야 : CMOS image sensor, 멤리스터-CMOS 회로설계>



장 영 조(정회원)  
1979년 경북대학교 전자공학과 공학사.  
1982년 경북대학교 대학원 공학석사.  
1992년 한국과학기술원 전기 및 전자공학과 공학박사.

1981년~1993년 한국전자통신연구원 자동설계 기술개발부 선임연구원  
1993년~현재 한국기술교육대학교 전기전자통신공학부 교수  
1987년~1988년 UIUC CSL 방문연구원  
1999년~2000년 MDT in San Jose, 초빙연구원  
<주관심분야 : 영상처리 SoC 설계, 임베디드 SoC 설계, 생체신호 SoC 설계>



Kamran Eshraghian(정회원)  
1968년 B.Tech, Electrical & Electronic Eng., University of Adelaide.  
1978년 MEng. Sc., Electrical & Electronic Eng., University of Adelaide.

1980년 Ph.D., Electrical & Electronic Eng., University of Adelaide.  
1969년~1977년 Philips 선임연구원.  
1979년~1994년 University of Adelaide 교수.  
1994년~2004년 Edith Cowan University 교수.  
2007년~2009년 University of California Merced 객원교수.  
2009년~현재 충북대학교 전자정보대학 석좌교수  
<주관심분야 : CMOS VLSI 설계, system on system (SoS) multi-technology 회로설계>



조 경 록(정회원)  
1977년 경북대학교 전자공학과 학사 졸업.  
1989년 일본 동경대학교 전자공학과 석사 졸업.  
1992년 일본 동경대학교 전자공학과 박사 졸업.

1979년~1986년 (주)금성사TV연구소 선임연구원.  
1999년, 2005년 Oregon State University 객원교수.  
1992년~현재 충북대학교 전자정보대학 교수.  
2008년~2011년 World Class University program (충북대학교) 책임.  
2010년~현재 IDEC 충북대지역센터장  
<주관심분야 : 통신시스템 LSI 설계, 저전력 고속 회로설계, Platform 기반의 SoC 설계>