

반도체 IP 인터페이스의 표준화된 모델링 방법 Standardized Modeling Method of Semiconductor IP Interfaces

이 성 수*★

Seongsoo Lee*★

Abstract

When several reusable semiconductor IPs are connected and implemented into an integrated chip, each semiconductor IP should provide code files for synthesis and interface modeling files for simulation and verification. However, description methods and levels of abstraction of interface modeling files are different because these semiconductor IPs are designed by different designers, which makes some problems in simulation and verification. This paper proposes a standardized modeling method of semiconductor IP interfaces. It restricts semiconductor IP interfaces to several predefined level of abstraction. The proposed method helps the chip integration designer to easily connect different semiconductor IPs and to simulate and verify them.

요 약

재사용하고자 하는 다수의 반도체 IP를 연결하여 통합 칩을 구현하는 경우, 각각의 반도체 IP에 대해 합성이 가능한 코드 파일과 시뮬레이션 및 검증이 가능한 인터페이스 모델링 파일을 제공하여야 한다. 그러나 이들 반도체 IP의 설계자가 모두 다르기 때문에 인터페이스 모델링 파일의 기술 방법 및 구체도 수준이 제각각이어서 시뮬레이션 및 검증이 어렵다는 문제가 있다. 본 논문에서는 반도체 IP 인터페이스의 모델링을 몇 가지 정의된 구체도 수준으로 제한하여 표준화한 모델링 방법을 제안한다. 제안된 방법은 통합 칩 설계자가 서로 다른 반도체 IP를 손쉽게 연결하여 시뮬레이션하고 검증하는데 도움이 된다.

Key words : standardization, modeling method, interface, semiconductor IP, IP reuse

I. 서론

IT 기술의 급격한 발달에 따라 제품의 출시 주기가 빨라지고 있으며 IT 기기의 핵심 부품인 반도체 칩을

설계하기 위해 주어지는 시간도 점점 짧아지고 있다. 이에 반하여 IT 기기에 탑재되는 기능은 점점 많아지기 때문에 반도체 칩의 복잡도는 급격하게 높아지고 있다. 이러한 문제점을 해결하기 위해서 이미 설계, 구현, 검증이 이루어진 반도체 IP를 재사용하고 이들을 연결하여 통합 칩을 구현함으로써 설계 시간과 노력을 줄이는 방법이 널리 사용되고 있다.

재사용이 가능한 반도체 IP의 대다수는 상업적인 목적으로 개발하고 판매하는 상용 반도체 IP이다. 이러한 경우, 지적재산권을 보호하기 위해 마치 블랙박스처럼 내부 구조를 합성이 가능한 코드로 밀봉하고, 시뮬레이션과 검증이 가능한 인터페이스 모델만을 HDL이나 C/C++ 등으로 기술 (description)하여 제공하는 경우가 많다. 따라서 재사용하고자 하는 다수의 반도체 IP를 연결하여 통합 칩을 구현하는 경우, 각각의 반도체 IP에 대해 합성이 가능한 코드 파일과 시

* School of Electronic Engineering, Soongsil University, sslee@ssu.ac.kr, 010-9182-3835

★ Corresponding author

※ Acknowledgment

"This research was supported by the Industrial Core Technology Development Program (10049095, "Development of Fusion Power Management Platforms and Solutions for Smart Connected Devices) funded By the Ministry of Trade, industry & Energy."

Manuscript received Aug. 29, 2014; revised Sep. 15, 2014; accepted Sep. 16, 2014

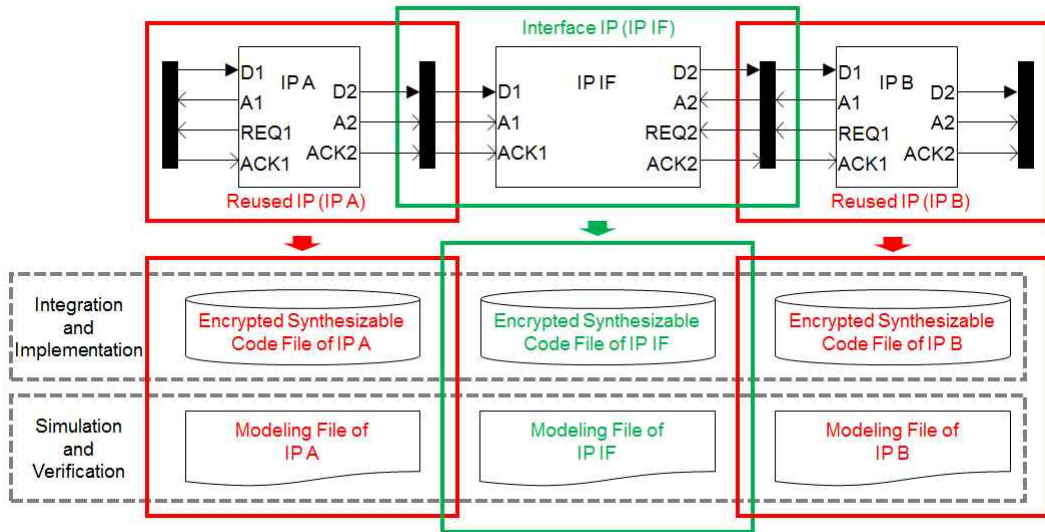


Fig. 1. Code files and modeling files of semiconductor IPs in simulation, verification, integration, and implementation.
 그림 1. 반도체 IP의 시뮬레이션, 검증, 통합 및 구현에서 코드 파일과 모델링 파일.

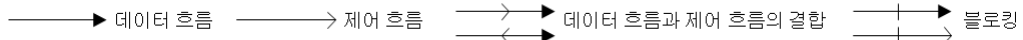


Fig. 2. Representation of data flows and control flows.
 그림 2. 데이터 흐름 및 제어 흐름의 표기 방법.

물레이션 및 검증이 가능한 인터페이스 모델링 파일을 제공하여야 한다. 그림 1은 두 개의 반도체 IP인 IP A와 IP B를 IP IF로 연결하여 통합 칩을 설계할 때의 코드 파일과 모델링 파일을 나타낸 것이다. 이들 IP를 통합하는 경우, 각각의 인터페이스 모델링 파일을 연결하여 시뮬레이션 및 검증을 수행하고, 최종적으로는 각각의 합성 가능한 코드 파일을 연결하여 통합 및 구현을 수행한다.

이때 발생하는 문제점의 하나는 이들 반도체 IP의 설계자가 모두 다르기 때문에 시뮬레이션 및 검증을 위한 인터페이스 모델링 파일의 기술 방법 및 구체도 수준 (level of abstraction)이 제각각일 수 있다는 점이다. 각 인터페이스 모델링 파일의 기술 방법 및 구체도 수준을 하나로 통일하면 이러한 문제점을 해결할 수 있지만, 이러한 경우 설계자에게 너무 많은 제약능을 가해 설계 능률을 떨어뜨릴 수도 있다.[1][2]

본 논문에서는 이러한 문제점을 해결하기 위해 반도체 IP 인터페이스의 모델링을 미리 정의된 몇 가지 구체도 수준으로 제한하여 표준화된 모델링 방법을 제안한다. 이렇게 표준화된 모델링 방법을 통하여 통합 칩 설계자가 서로 다른 반도체 IP를 손쉽게 연결하여 시뮬레이션하고 검증할 수 있다.

II. 반도체 IP 인터페이스의 표준화된 모델링 방법

반도체 IP 인터페이스의 표준화된 모델링 방법은 표 1과 같이 IP 정보, 모델링 수준, 모델링 정보, 소스 파일의 4개 항목으로 정의된다. 이들 항목 및 하위 항목은 사용자값 또는 선택값 중 하나의 형태를 가지며, 선택값은 표 1에 지정된 몇 개의 값 중에서 하나를 선택하여 사용한다. 다이어그램에서 데이터 흐름 및 제어 흐름은 그림 2의 표기법을 사용한다. 이 모델링 방법은 한국정보통신기술협회의 표준[3] 및 VSI Alliance의 표준[4]을 부분적으로 참고하였다.

1. IP 정보

IP 정보는 인터페이스가 적용되는 반도체 IP의 이름, 기능 및 일반적인 설명을 나타낸다. 표 2는 그림 1과 같은 반도체 IP 인터페이스에서 IP 정보를 나타낸 예인데, IF라는 이름의 반도체 IP가 반도체 IP A에서 데이터 D1를 받아서 이를 반도체 IP B에 데이터 D2로 보내는 기능을 수행한다는 것을 나타낸다.

Table 1. Modeling method of semiconductor IP interfaces.

표 1. 반도체 IP 인터페이스의 모델링 방법.

항목	하위 항목	항목 값의 형태	선택값
IP 정보	IP 이름	사용자값	-
	IP 기능	사용자값	-
	IP 설명	사용자값	-
모델링 수준		선택값	port_level, signal_level, simulation_level, 또는 implementation_level
모델링 정보	다이아그램	사용자값	-
	블록 이름	사용자값	-
	동작 설명	사용자값	-
	파일 이름	사용자값	-
소스 파일		사용자값	-

Table 2. Example of IP information.

표 2. IP 정보의 예.

IP 이름	IF
IP 기능	D2@B ← D1@A
IP 설명	이 IP는 IP A로부터 데이터 D1을 받아서 이를 IP B에 데이터 D2로 보낸다.

Table 3. Modeling level.

표 3. 모델링 수준.

모델링 수준	설명
port_level	인터페이스 내부의 논리적 블록이 표시되고 데이터가 어떤 포트를 통해 움직이는 지가 표시된 수준
signal_level	인터페이스 내부의 논리적 블록이 표시되고 데이터가 어떤 신호를 통해 움직이는 지가 표시된 수준
simulation_level	인터페이스 내부의 논리적 모델이 표시되고 HDL로 기술됨으로서 하드웨어 시뮬레이션이 가능한 수준
implementation_level	인터페이스 내부의 물리적 블록과 인터페이스가 동작하기 위해 필요한 모든 신호가 표시되고 HDL로 기술됨으로서 하드웨어 구현이 가능한 수준

2. 모델링 수준

반도체 IP의 기술 수준이 개념적인 수준에서 구현 가능한 수준까지 다양화됨에 따라, 반도체 IP 인터페이스를 모델링하는 방법도 다양하게 존재한다. 이 모델링에서 주의해야 할 부분은 모델링 방법에 너무 많은 자유를 허용할 경우 서로 다른 수준으로 기술된 모델링끼리 전혀 호환이 되지 않거나 호환이 매우 어려운 경우가 발생할 수 있다는 점이다. 이에 반하여 모델링 방법을 너무 제한할 경우 설계자가 효율적으로 설계하지 못하는 경우가 발생할 수도 있다. 본 논문에서는 이러한 문제점을 해결하기 위해 반도체 IP 인터페이스의 모델링을 구체도 수준에 따라 표 3과 같이 네 가지 모델링 수준으로 구분하여 정의함으로써 설계자에게는 충분한 자유를 부여하되 정의되지 않은 모델링 수준은 사용하지 않음으로서 호환성을 유지할 수 있도록 한다. 모델링 수준의 자세한 내용과 예는 3장에서 다룬다.

3. 모델링 정보

모델링 정보는 인터페이스의 내부 모델링을 나타낸다. 이 항목은 다이어그램, 블록 이름, 동작 설명, 파일 이름을 표기하여야 하며, 여러 개의 블록이 사용되는 경우, 각 블록마다 따로따로 표기하여야 한다.

다이아그램은 인터페이스 내부의 모든 데이터 흐름, 데이터 연결 관계, 논리적 블록, 물리적 블록, 포트, 신호, 프로토콜, 전역 신호를 나타내어야 하나, 모델링 수준에 따라 일부가 생략될 수 있다. 각 모델링 수준에 따른 모델링 정보의 자세한 내용과 예는 3장에서 다룬다.

4. 소스 파일

소스 파일은 모델링에서 사용하는 포트 및 신호의 동작을 기술한 파일을 나타낸다. 이 항목은 타 항목과는 달리 문서가 아닌 파일로 제공되며, 파일을 제공할 필요가 없는 경우에는 생략할 수 있다. 이 항목에서는 C/C++, HDL 이외에도 기존의 다양한 기술 방법을 적용할 수 있다.

III. 모델링 수준 및 모델링 정보

1. 포트 수준 모델링

포트 수준 모델링은 표 4와 같이 인터페이스 내부의 논리적 블록이 표시되고 데이터가 어떤 포트를 통해 움직이는지를 나타낸다. 이 모델링 수준에서는 데이터를 주고받는 반도체 IP, 이들의 연결 관계, 인터페이스 내부의 논리적 블록, 포트, 모델링 파일만이 나타나며 인터페이스 내부의 물리적 블록과 신호는 나타나지 않는다. 데이터의 흐름은 포트 별로 나타나며 모델링 파일은 C/C++로 기술된다.

표 4는 그림 1과 같은 반도체 IP 인터페이스가 포트 수준으로 모델링될 때 모델링 수준과 모델링 정보를 나타낸 예인데, 이 인터페이스는 포트 수준으로 모델링되며, 두 개의 논리적 블록인 MEM과 CTRL로 구성되어 MEM.cpp와 CTRL.cpp 파일에 저장된다. MEM 블록은 CTRL 블록으로부터 데이터를 저장하거나 내보내는 제어 명령을 EN 포트에 받고 IP A로부터 D1 포트에 데이터를 받아 저장하며 IP B에 D2 포트에 데이터를 보낸다. CTRL 블록은 IP A로부터 데이터를 전송할 것임을 알리는 제어 명령을 ACK 포트에 받고 IP B에 데이터 전송을 요구하는 제어 명령을 REQ 포트에 보내며 MEM 블록에 데이터를 저장하거나 내보내는 제어 명령을 EN 포트에 보낸다.

2. 신호 수준 모델링

신호 수준 모델링은 표 5와 같이 인터페이스 내부의 논리적 블록이 표시되고 데이터가 어떤 신호를 통해 움직이는지를 나타낸다. 이 모델링 수준에서는 데이터를 주고받는 반도체 IP, 이들의 연결 관계, 인터페이스 내부의 논리적 블록, 포트, 신호, 모델링 파일만이 나타나며 인터페이스 내부의 물리적 블록이나 데이터를 주고받는데 직접 관련이 없는 클록, 리셋 등과 같은 전역 신호의 포트 및 신호는 나타나지 않는다. 데이터의 흐름은 신호 별로 나타나며 모델링 파일은 C/C++로 기술된다.

표 5는 그림 1과 같은 반도체 IP 인터페이스가 신호 수준으로 모델링될 때 모델링 수준과 모델링 정보를 나타낸 예인데, 이 인터페이스는 신호 수준으로 모델링되며, 두 개의 논리적 블록인 MEM과 CTRL로 구성되어 MEM.cpp와 CTRL.cpp 파일에 저장된다. MEM 블록은 CTRL 블록으로부터 데이터를 저장하거나 내보내는 제어 신호인 MODE, EN을 받고 IP A로부터 데이터를 저장할 위치를 나타내는 제어 신호인 A1을 받아 데이터 신호인 D1으로 데이터를 받아

저장하며 IP B로부터 데이터를 내보낼 위치를 나타내는 제어 신호인 A2를 받아 IP B에 데이터 신호인 D2로 데이터를 보낸다. CTRL 블록은 IP A로부터 데이터를 저장할 시점을 나타내는 제어 신호인 ACK1을 받고 IP B로부터 데이터를 내보낼 시점을 나타내는 제어 신호인 REQ2를 받아 IP B에 데이터를 내보내는 시점을 알리는 제어 신호인 ACK2를 보내고 MEM 블록으로 데이터를 저장하거나 내보내는 제어 신호인 MODE, EN을 보낸다.

3. 시뮬레이션 수준 모델링

시뮬레이션 수준 모델링은 표 6과 같이 인터페이스 내부의 논리적 모델과 이 모델의 모든 외부 신호가 표시됨으로서 하드웨어 시뮬레이션이 가능하다. 이 모델링 수준에서는 데이터를 주고받는 반도체 IP, 이들의 연결 관계, 인터페이스 내부의 논리적 모델과 이 모델의 모든 외부 신호가 나타난다. 데이터의 흐름은 인터페이스 내부의 논리적 모델이 사용하는 모든 외부 신호 별로 나타나며 모델링 파일은 HDL로 기술된다. 인터페이스 내부의 논리적 모델은 실제 인터페이스를 구성하는 논리적 블록 또는 물리적 블록과 관계가 없으며 단순히 인터페이스의 동작만을 기술한다.

표 6은 그림 1과 같은 반도체 IP 인터페이스가 시뮬레이션 수준으로 모델링될 때 모델링 수준과 모델링 정보를 나타낸 예인데, 이 인터페이스는 시뮬레이션 수준으로 모델링되며 한 개의 논리적 모델인 IF로 구성되어 IF.v 파일에 저장된다. IF 모델은 IP A로부터 데이터를 저장할 시점과 위치를 나타내는 제어 신호인 ACK1, A1을 받아 데이터 신호인 D1으로 데이터를 받아 저장하며 IP B로부터 데이터를 내보낼 시점과 위치를 나타내는 제어 신호인 REQ2, A2를 받아 IP B에 데이터를 내보낼 시점을 알리는 제어 신호인 ACK2를 보내고 데이터 신호인 D2로 IP B에 데이터를 보낸다. 전역 신호는 CLK와 RESET으로서 IF 모델의 동작에 필요하다.

4. 구현 수준 모델링

구현 수준 모델링은 표 7과 같이 인터페이스 내부의 물리적 블록과 인터페이스가 동작하기 위해 필요한 모든 신호가 표시되고 HDL로 기술됨으로서 하드웨어 구현이 가능하다. 이 모델링 수준에서는 데이터를 주고받는 반도체 IP, 이들의 연결 관계, 인터페이스 내부의 물리적 블록, 포트, 신호, 모델링 파일이 나타나며 전역 신호의 포트 및 신호까지 나타난다. 데

Table 4. Example of modeling level and modeling information in port-level modeling.

표 4. 포트 수준 모델링에서 모델링 수준과 모델링 정보의 예.

모델링 수준	port_level
다이어그램	
블록 이름	MEM
동작 설명	CTRL 블록으로부터 데이터를 저장하거나 내보내는 제어 명령을 EN 포트로 받고, IP A로부터 D1 포트로 데이터를 받아 저장하며, IP B에 D2 포트로 데이터를 보냄.
파일 이름	MEM.cpp
블록 이름	CTRL
동작 설명	IP A로부터 데이터를 전송할 것임을 알리는 제어 명령을 ACK 포트로 받고, IP B에 데이터 전송을 요구하는 제어 명령을 REQ 포트로 보내며, MEM 블록에 데이터를 저장하거나 내보내는 제어 명령을 EN 포트로 보냄.
파일 이름	CTRL.cpp

Table 5. Example of modeling level and modeling information in signal-level modeling.

표 5. 신호 수준 모델링에서 모델링 수준과 모델링 정보의 예.

모델링 수준	signal_level
다이어그램	
블록 이름	MEM
동작 설명	CTRL 블록으로부터 데이터를 저장하거나 내보내는 제어 신호인 MODE, EN을 받고, IP A로부터 데이터를 저장할 위치를 나타내는 제어 신호인 A1을 받아 데이터 신호인 D1으로 데이터를 받아 저장하며, IP B로부터 데이터를 내보낼 위치를 나타내는 제어 신호인 A2를 받아 IP B에 데이터 신호인 D2로 데이터를 보냄.
파일 이름	MEM.cpp
블록 이름	CTRL
동작 설명	IP A로부터 데이터를 저장할 시점을 나타내는 제어 신호인 ACK1을 받고, IP B로부터 데이터를 내보낼 시점을 나타내는 제어 신호인 REQ2를 받아 IP B에 데이터를 내보내는 시점을 알리는 제어 신호인 ACK2를 보내고, MEM 블록으로 데이터를 저장하거나 내보내는 제어 신호인 MODE, EN을 보냄.
파일 이름	CTRL.cpp

Table 6. Example of modeling level and modeling information in simulation-level modeling.

표 6. 시뮬레이션 수준 모델링에서 모델링 수준과 모델링 정보의 예.

모델링 수준	simulation_level
<p>다이어그램</p> <p> 논리적 모델 논리적 블록 물리적 블록 모델링 제한 없음 C/C++ 모델링 HDL 모델링 </p>	
블록 이름	IF
동작 설명	외부로부터 전역 신호인 CLK, RESET을 받고, IP A로부터 데이터를 저장할 시점과 위치를 나타내는 제어 신호인 ACK1, A1을 받아 데이터 신호인 D1으로 데이터를 받아 저장하며, IP B로부터 데이터를 내보낼 시점과 위치를 나타내는 제어 신호인 REQ2, A2를 받아 IP B에 데이터를 내보낼 시점을 알리는 제어 신호인 ACK2를 보내고, 데이터 신호인 D2로 IP B에 데이터를 보냄.
파일 이름	IF.v

이터의 흐름은 전역 신호를 포함한 모든 신호 별로 나타나며 모델링 파일은 HDL로 기술된다.

표 7은 그림 1과 같은 반도체 IP 인터페이스가 구현 수준으로 모델링될 때 모델링 수준과 모델링 정보를 나타낸 예인데, 이 인터페이스는 구현 수준으로 모델링되며 두 개의 물리적 블록인 MEM과 CTRL로 구성되어 MEM.v와 CTRL.v 파일에 저장된다. MEM 블록은 CTRL 블록으로부터 데이터를 저장하거나 내보내는 제어 신호인 MODE, EN을 받고 IP A로부터 데이터를 저장할 위치를 나타내는 제어 신호인 A1을 받아 데이터 신호인 D1으로 데이터를 받아 저장하며 IP B로부터 데이터를 내보낼 위치를 나타내는 제어 신호인 A2를 받아 IP B에 데이터 신호인 D2로 데이터를 보낸다. CTRL 블록은 IP A로부터 데이터를 저장할 시점을 나타내는 제어 신호인 ACK1을 받고 IP B로부터 데이터를 내보낼 시점을 나타내는 제어 신호인 REQ2를 받아 IP B에 데이터를 내보내는 시점을 알리는 제어 신호인 ACK2를 보내고 MEM 블록으로 데이터를 저장하거나 내보내는 제어 신호인 MODE, EN을 보낸다. 전역 신호는 CLK와 RESET으로서, CLK는 MEM 블록과 CTRL 블록의 동작에 필요하며 RESET은 CTRL 블록의 동작에 필요하다.

5. 명시되어야 하거나 명시되지 말아야 할 항목

포트 수준부터 구현 수준까지의 모델링 수준에서는 각각의 모델링 수준에 따라 명시하거나 명시하지 말아야 할 항목이 존재한다. 이들 항목은 명시해야 할 항목인 M (mandatory: 의무 항목), 명시하지 말아야 할 항목인 P (prohibited: 금지 항목), 명시할 필요는 없으나 명시하여도 문제는 없는 O (optional: 선택 항목)로 구분된다. 명시하지 말아야 할 항목이 존재하는 이유는 이들 항목을 명시하였을 경우에 인터페이스의 동작을 이해하는 데는 도움이 되지만 다수의 인터페이스를 동일한 모델링 수준끼리 묶어서 시뮬레이션 및 검증을 수행할 때 해당 수준에서 이들 항목을 컴퓨터로 처리할 방법이 없어서 문제가 발생하기 때문이다. 각각의 모델링 수준에서 의무 항목, 금지 항목, 선택 항목은 표 8과 같다.

IV. 결론

반도체 IP를 재사용하여 통합 칩을 설계하는 경우, 각각의 반도체 IP에 대해 합성이 가능한 코드 파일과 시뮬레이션 및 검증이 가능한 인터페이스 모델링 파일을 제공하여야 하는데, 기존에는 이러한 반도체 IP

Table 7. Example of modeling level and modeling information in implementation-level modeling.

표 7. 구현 수준 모델링에서 모델링 수준과 모델링 정보의 예.

모델링 수준	implementation_level
다이어그램	
블록 이름	MEM
동작 설명	외부로부터 전역 신호인 CLK을 받고, CTRL 블록으로부터 데이터를 저장하거나 내보내는 제어 신호인 MODE, EN을 받고, IP A로부터 데이터를 저장할 위치를 나타내는 제어 신호인 A1을 받아 데이터 신호인 D1으로 데이터를 받아 저장하며, IP B로부터 데이터를 내보낼 위치를 나타내는 제어 신호인 A2를 받아 IP B에 데이터 신호인 D2로 데이터를 보냄.
파일 이름	MEM.v
블록 이름	CTRL
동작 설명	외부로부터 전역 신호인 CLK, RESET을 받고, IP A로부터 데이터를 저장할 시점을 나타내는 제어 신호인 ACK1을 받고, IP B로부터 데이터를 내보낼 시점을 나타내는 제어 신호인 REQ2를 받아 IP B에 데이터를 내보내는 시점을 알리는 제어 신호인 ACK2를 보내고, MEM 블록으로 데이터를 저장하거나 내보내는 제어 신호인 MODE, EN을 보냄.
파일 이름	CTRL.v

Table 8. Mandatory, prohibited, and optional items in modeling levels.

표 8. 모델링 수준별 의무 항목, 금지 항목 및 선택 항목.

항목	포트 수준	신호 수준	시뮬레이션 수준	구현 수준
인터페이스로 연결할 IP	M	M	M	M
데이터의 흐름	M	M	M	M
데이터의 연결 관계	M	M	M	M
논리적 모델	P	P	M	P
논리적 블록	M	M	P	P
물리적 블록	P	P	P	M
포트	M	P	P	P
신호	P	M	M	M
프로토콜	P	M	M	M
데이터를 주고받는데 직접 관계없는 전역 신호	P	P	M	M
C/C++ 모델링 파일	M	M	O	O
HDL 모델링 파일	O	O	M	M

인터페이스를 모델링하는 방법이 설계자에 따라 제각각이어서 시뮬레이션 및 검증에 어려움이 있어왔다. 본 논문에서는 이러한 문제점을 해결하기 위해 반도체 IP 인터페이스를 모델링하는 표준화된 방법을

제안하였다. 제안된 모델링 방법은 반도체 IP 인터페이스를 IP 정보, 모델링 수준, 모델링 정보, 소스 파일의 4개 항목으로 나누어 정의하였다. 제안된 모델링 방법을 IDEC에서 제공한 설계 도구를 사용하여 다수

의 반도체 IP 인터페이스에 적용해본 결과, 이들 반도체 IP 인터페이스를 간단하고 명확하게 모델링할 수 있었으며, 거의 모든 반도체 IP 인터페이스를 효과적으로 모델링할 수 있을 것으로 판단된다. 본 논문에서 설명한 반도체 IP 인터페이스의 모델링 방법은 향후 반도체 IP를 연결하고 시뮬레이션 및 검증하는데 큰 도움이 될 것으로 생각된다.

References

- [1] S. Lee, "Standardized Description Method of Image Acquisition Characteristics Tests for Image Sensors and Modules, Journal of IKEEE, vol. 18, no. 1, pp. 64-76, Mar. 2014.
- [2] S. Lee, "Standard Image Acquisition Characteristics Tests for Image Sensors and Modules", Journal of IKEEE, vol. 18, no. 1, pp. 77-95, Mar. 2014.
- [3] Telecommunications Technology Association, TTAK.OT-10.0288, "System-Level Semiconductor IP Interface Modeling", 2010.
- [4] VSI Alliance, "System-Level Interface Behavioral Documentation Standard (SLD) 1 1.0", 2000.

BIOGRAPHY

Seongsoo Lee (Life Member)



1991 : BS degree in Electronic Engineering, Seoul National University.

1993 : MS degree in Electronic Engineering, Seoul National University.

1998 : PhD degree in Electrical Engineering, Seoul National University.

1998~2000 : Research Associate, University of Tokyo

2000~2002 : Research Professor, Ewha Womans University

2002~Now : Associate Professor in School of Electronic Engineering, Soongsil University

<Main Interest> HEVC, Low-Power SoC Design, Multimedia SoC Design, Battery Management