

효율적인 모바일 시스템 전력공급을 위한 전압 모드 2-페이즈 벅 변환기

An Efficient Voltage Mode 2-Phase Buck Converter for Mobile Systems

박 주 원 *, 전 인 호 *, 노 정 진*★

Ju-Won Park*, In-Ho Jun*, Jeong-Jin Roh*★

Abstract

Recently, Importance of power management circuit technology is increased with the development of portable electric devices. This paper presents a high performance DC-DC buck converter for mobile applications. Especially, presented design have low ripple voltages and driving capability of large load current. A designed voltage mode 2-phase DC-DC converter is implemented in a 0.35 μ m CMOS process, and the overall size is 2.35 \times 2.35mm². The peak efficiency is 91% with a 4MHz frequency and the maximum load current is 4A.

요 약

최근 휴대용 전자기기의 발달로 인해 전력관리회로 기술의 중요성이 증가하고 있다. 본 논문에서는 휴대기기를 위한 고성능 DC-DC 벅 변환기를 설계하였으며 특히 출력에서의 리플 전압을 작게 하고 수 A급의 대용량 출력 전류의 안정적인 구동이 가능하도록 2-페이즈 구조를 사용하여 설계하였다. 설계된 전압모드 2-페이즈 벅 변환기는 0.35 μ m CMOS 공정을 통하여 칩으로 제작되었고 전체 칩의 크기는 2.35 \times 2.35mm², 동작주파수는 4MHz, 최대 4A의 부하전류를 구동할 수 있으며 최대 변환효율은 91% 이다.

Key words : DC-DC converter, Multi-phase, Compensation, Inductor current, Ripple voltage

* Dept. of Electronics and Communication engineering,
Hanyang University
jroh@hanyang.ac.kr TEL: 031-400-5168

★ Corresponding author

※ Acknowledgment: "This research was supported by the MSIP(Ministry of Science, ICT and Future Planning), Korea, under the ITRC(Information Technology Research Center)/support program(NIPA-2014-H0301-14-1007) supervised by the NIPA(National IT Industry Promotion Agency)."

Manuscript received July 14, 2014; revised Sep. 3, 2014 ; accepted Sep 3. 2014

1. 서론

본 논문에서는 효율적인 멀티페이즈 DC-DC 벅 변환기를 설계, 제작 하였다. 스위칭 레귤레이터는 외부에 인덕터를 이용해 전력을 전달하는 변환기로 리니어 레귤레이터, 차지펌프와 같은 다른 변환기에 비해 설계 난이도가 높으며 가장 큰 시스템 면적을 차지한다. 또한 인덕터의 사용으로 EMI 영향을 고려해야 하며, 비용이 가장 많이 소요되는 시스템이기도 하다. 하지만 스위칭 변환기는 공급전압보다 낮은 전압뿐 아니라 높은 전압 또한 발생 시킬 수 있어 활용도가

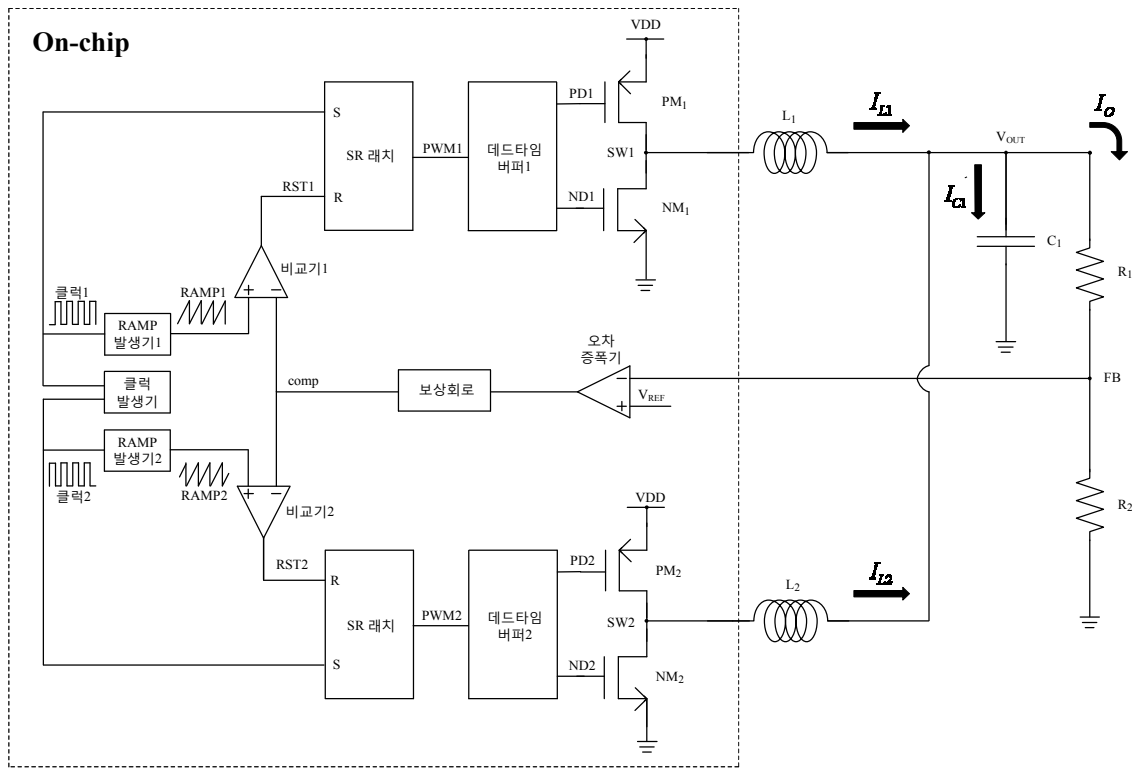


Fig. 1. Proposed block diagram of the voltage -mode buck converter
 그림 1. 제안된 전압모드 벅 변환기의 블록선도

II. 본론

1. 회로구성과 동작원리

높다 [1], [2]. 멀티페이스 구조의 벅 변환기는 두 개 이상의 인덕터를 사용하여 출력전압을 생성하고 전류를 공급 한다 [3]. 이 구조는 리플 상쇄 효과가 있어 출력 커패시터의 크기를 감소시킬 수 있으며, 적은 인덕턴스를 가지는 인덕터의 사용이 가능하여 빠른 천이 응답 특성과 높은 효율을 지니게 된다 [4]. 본 논문에서는 수 A급 이상의 대용량 출력전류가 필요한 모바일 시스템에 최적화된 전력을 공급하기 위한 2-페이스 구조의 DC-DC 변환기 개발을 목표로 하였다 [5], [6]. 설계된 회로는 두 개의 인덕터를 사용하는 2-페이스 벅 변환기 이고 설계공정은 0.35 μ m CMOS공정으로 제작되었다. 파워 트랜지스터를 포함한 전체 칩 면적은 2.35 \times 2.35mm² 이고 컨트롤러 면적은 2.35 \times 0.72mm² 이다.

그림 1은 본 논문에서 설계한 벅 변환기의 블록도이다. 두 개의 인덕터와 파워트랜지스터, 데드타임 버퍼, SR 래치, 비교기, 클럭, 램프 발생기, 그리고 L, C 외부소자로 회로를 구성하였다. 파워 트랜지스터는 부하 시스템에 전력을 공급하는 스위치 역할을 하며 데드타임 버퍼는 SR래치의 출력신호(PWM신호)를 파워 트랜지스터에 정확히 전달하기 위한 구동회로이다. SR 래치 회로는 클럭 신호와 RST신호를 이용해 PWM 신호를 발생 시킨다. 램프 신호는 클럭 신호에 동기되어 톱니파형의 신호를 발생시키며 여러 증폭기와 함께 비교기를 통해 RST 신호를 발생시킨다. 여러 증폭기와 보상회로는 전체 시스템의 안정성과 출력전류와 입력전압 변화에 대한 응답속도에 영향을 준다 [7]. R₁과 R₂는 출력전압을 감지하며 L과 C는 2차 필터로서 펄스형태의 전압을 평활 시켜 준다.

또한 그림 2 와 같이 2-페이즈 구조를 통해 180°의 위상 차이를 갖는 인덕터 전류신호를 이용하여 리플 상쇄효과를 통해 단일 페이즈 구조의 벽 변환기에 비해 출력에서의 인덕터 전류 리플크기를 줄일 수 있다 [8-11].

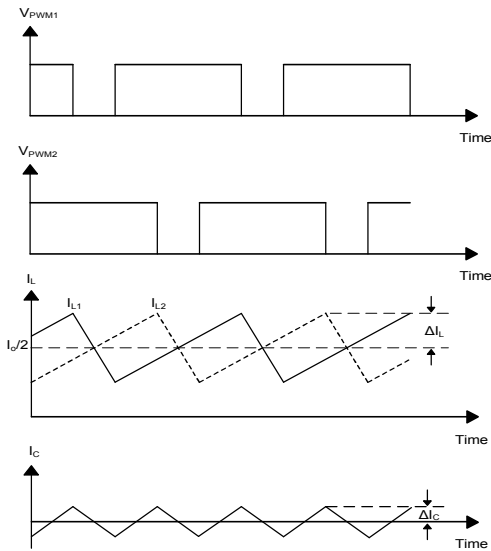


Fig. 2. Inductor current waveform of 2-phase buck converter
그림 2. 2-페이즈 벽 변환기의 인덕터 전류파형

(1) 증폭기 및 보상 회로의 설계

벽 변환기 설계에 있어서 중요한 블록 중 하나는 증폭기다. 특히 기준 전압과 피드백 신호의 전압 차이를 증폭하여 비교기에서 램프 신호와 함께 전체 Duty를 결정하게 되므로 높은 이득과 더불어 빠른 반응속도를 필요로 한다 [7].

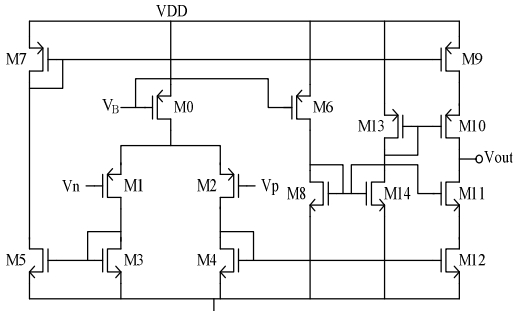


Fig. 3. Schematic of the OTA
그림 3. OTA 회로도

Table 1. Simulation results of the OTA

표 1. OTA의 시뮬레이션 결과

Parameter	시뮬레이션 값	단위
공급 전압	5	V
부하 커패시터	1	pF
DC 이득	80.8	dB
단일 이득 주파수	44	MHz
위상 여유	88.8	degree
소모 전류	110	μA

이에 적합한 OTA(Operational Transconductance Amplifier)로 그림 3에 보이는 구조를 사용하였으며 표 1에 시뮬레이션 결과를 나타내었다. 전체 벽 변환기의 루프 이득이 작을 경우 부하전류 및 공급전압의 변화에 대해 출력전압을 유지할 수 없다. 따라서 높은 루프 이득을 위해 본 논문에서는 80dB 이상의 OTA를 설계하였고, 타입 3 보상 회로를 통해 전체 루프의 안정성을 확보하였다 [7]. 설계한 OTA는 80dB 이상의 DC 이득과 입력 피드백 전압의 변화폭에서도 안정도를 가지기 위해 위상여유를 88°로 설계하였다. 또한 2-페이즈 구조이지만 여러 증폭기를 통한 comp신호를 공유하기 때문에 일반적인 1-페이즈 전압모드 벽 변환기의 보상 회로를 설계할 때와 동일하게 보상회로 값을 결정하였다. 그림 4의 타입 3 보상 회로는 2개의 폴과 2개의 제로를 만들어 크로스 오버 주파수를 높게 만들고 각각의 주파수는 (식1)의 값으로 계산할 수 있다.

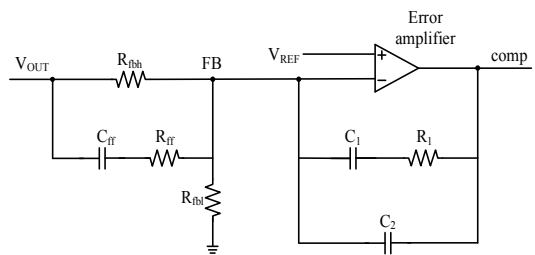


Fig. 4. Type3 compensation circuit

그림 4. 타입3 보상회로

$$f_{z1} = \frac{1}{2\pi * (R_{fb} + R_H) * C_{fb}} \quad f_{z2} = \frac{1}{2\pi * R_1 * C_1}$$

$$f_{p1} = \frac{1}{2\pi * R_H * C_{fb}} \quad f_{p2} = \frac{1}{2\pi * R_1 * (C_1 // C_2)} \quad (\text{식 1})$$

2개의 제로 주파수는 출력의 인덕터와 커패시터에 의한 더블 폴 주파수에 위치시키고, 2개의 폴은 크로스 오버 주파수로 설정하여 보상 회로에 의한 위상

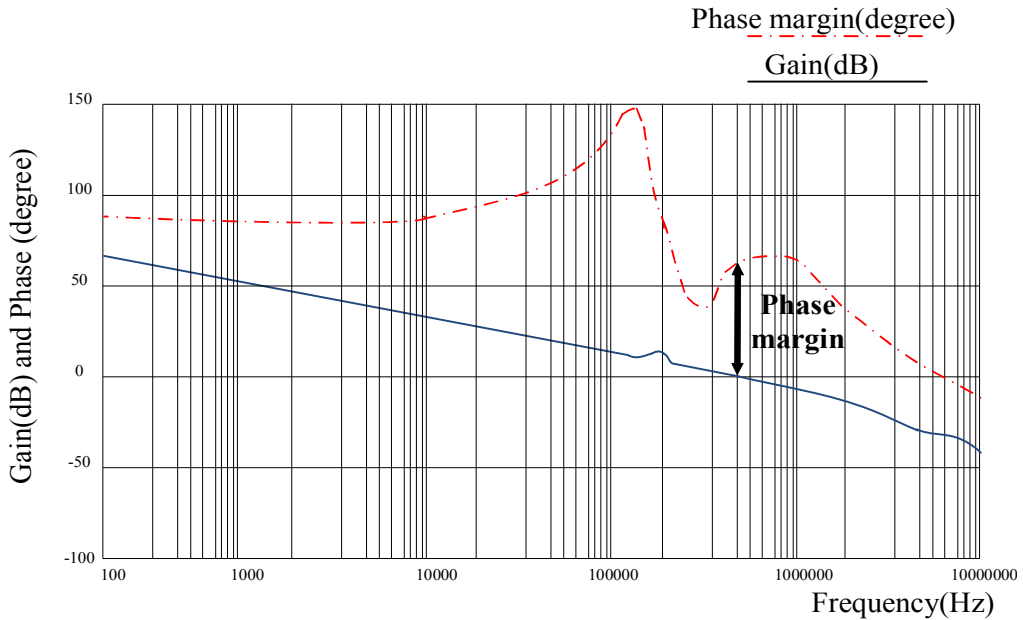


Fig. 5. Gain, phase plot of the compensation circuit
 그림 5. 보상회로의 이득과 위상선도

이동이 최대로 발생하도록 설계하여야 한다. 크로스오버 주파수는 스위칭 노이즈로 인한 리플 전압을 줄이기 위해 일반적으로 스위칭 주파수의 1/10 정도로 정한다 [12]. 크로스오버 주파수가 높게 되면 빠른 속도의 출력 전이 반응을 얻을 수 있지만 위상 여유가 부족하게 되어 전체 루프의 안정성에 문제가 생길 수 있으므로 그림 5와 같이 단일 이득 주파수에서 위상이동을 최소 45° 이상 확보하여야 한다 [13].

(2) 클럭 분배 회로와 램프 발생기 설계

그림 6에서 클럭 분배 회로를 나타내었다. 2-페이지 구조이기 때문에 두 개의 클럭 신호가 필요한데, 4MHz의 클럭 신호를 입력으로 각각 2MHz의 클럭 신호로 분배한다. D 플립플롭, 슛 펄스 회로를 이용하여 180° 반대위상을 갖는 램프 신호를 생성하여 출력에서의 리플 전류를 최소화 하고, 그로인한 리플 전압이 상쇄 될 수 있도록 하였다.

클럭 분배 회로에서 발생한 클럭은 각각 두 개의 컨트롤러 내부에서 클럭 신호에 동기화된 램프신호를 발생 시킨다. 그림 7에 클럭 신호에 동기화된 램프 신호발생 회로를 나타내었다. 클럭 신호가 High 일 때 V_{RAMP} 신호가 VSS가 되며 반대로 클럭 신호가 Low일 때 V_{RAMP} 신호는 (식 2)와 같이 정의된다.

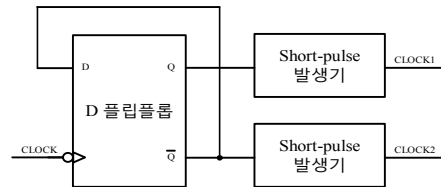


Fig. 6. Block diagram of clock division circuit
 그림 6. 클럭 분배회로의 블록도

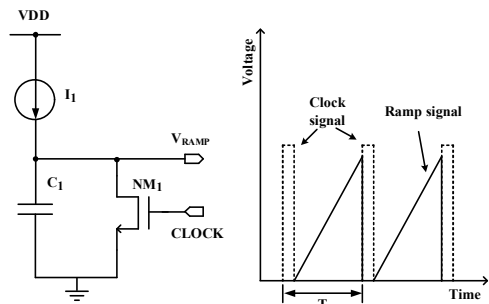


Fig. 7. Ramp generator and waveform
 그림 7. 램프 발생기와 파형

$$V_{RAMP} = \frac{I_1}{C_1} \cdot T_s \quad (\text{식 2})$$

V_{RAMP} 신호는 클럭의 High/Low에 따라 결정되므로 클럭 신호에 동기되며 톱니파 신호 형태를 갖게 된다.

(3) 데드타임 버퍼

파워 트랜지스터는 인버터 형태로 구성되어 있고 면적이 매우 크다. 본 논문에서 제작한 2-페이즈 벅 변환기의 파워 트랜지스터는 낮은 저항을 갖기 위해 사이즈를 각각 약 $2.35 \times 0.80 \text{mm}^2$ 로 설계하였다. 파워 트랜지스터의 크기가 상당히 큰 것을 고려해 볼 때, 동시에 켜지는 순간 큰 전류가 발생하게 된다. 이러한 문제를 해결하기 위한 데드타임 버퍼를 그림 8에 나타내었다. 데드타임 버퍼는 기본적인 인버터, NAND로 구성되어 Non-overlapping 신호를 발생시켜 최종 출력단을 파워 트랜지스터의 게이트에 연결시킨다. 파워트랜지스터의 게이트는 큰 면적으로 매우 큰 기생 커패시턴스를 포함하고 있기 때문에 펄스 파형의 상승시간, 하강시간이 증가하게 된다. 따라서 인버터 크기를 점차 증가시켜 파워 트랜지스터를 충분히 구동시킬 수 있도록 설계해야 한다. 그림 8에서는 데드타임버퍼의 출력신호를 나타내었다. 우선 PD 신호가 High 일 때 PMOS 파워 트랜지스터를 OFF 시키고, ND 신호가 High일 때 NMOS 파워 트랜지스터를 ON 시킨다. 또한 데드타임 간격은 인버터 사이 C1, C2 커패시터를 적용시켜 조절하며, 본 논문에서는 스위칭 주파수가 4MHz임을 고려하여 데드타임을 약 10ns로 스위칭 주파수의 4%로 동작하도록 하였다.

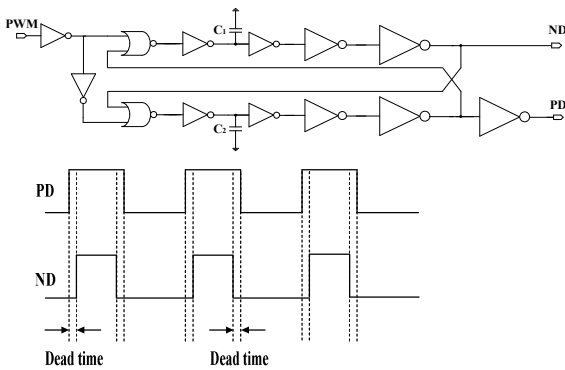


Fig. 8. Dead time buffer and waveform
그림 8. 데드타임 버퍼와 출력신호

이러한 동작을 통해 파워 트랜지스터의 NMOS, PMOS가 동시에 ON 되는 구간이 생기지 않도록 하였다 [14].

III 측정결과

설계된 2-페이즈 전압모드 DC-DC 벅 변환기는 $0.35 \mu\text{s}$ CMOS 공정으로 제작하였다, 그림 9는 측정을 위해 제작된 PCB 이고 그림 10에서 180° 의 위상 차이를 가지고 2-페이즈를 구동하는 램프 파형, 그림 11에서 두 개 컨트롤러의 PWM 파형이 각각 2MHz로 정확하게 측정됨을 볼 수 있다. 또한 그림 12에서는 최대효율 구간인 1.5A에서 출력전류 구동 시 $40 \mu\text{s}$ 의 settling time, 300mV의 전압 강하를 보이며 약 50° 의 위상 여유를 가지고 전압 레귤레이션이 안정적으로 동작함을 볼 수 있다. 출력 전류에 따른 효율을 그림 13에 나타내었다. 이외 설계상에 사용된 소자와 세부 스펙들의 각각의 값은 표 2를 통해 정리 하였다.

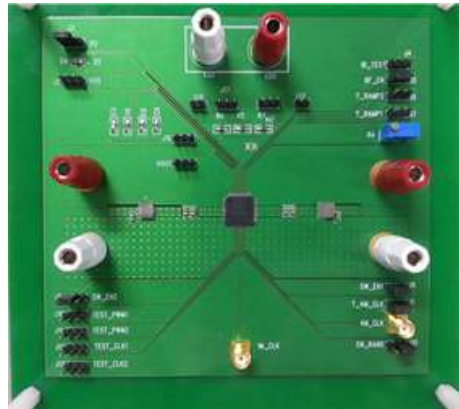


Fig. 9 Manufactured PCB test board
그림 9. 제작된 PCB 시험 보드

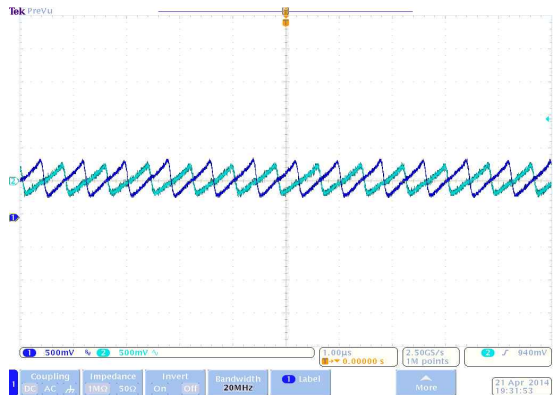


Fig. 10. Ramp waveform with 180° Phase differences
그림 10. 180° 의 위상 차이를 갖는 램프신호 파형

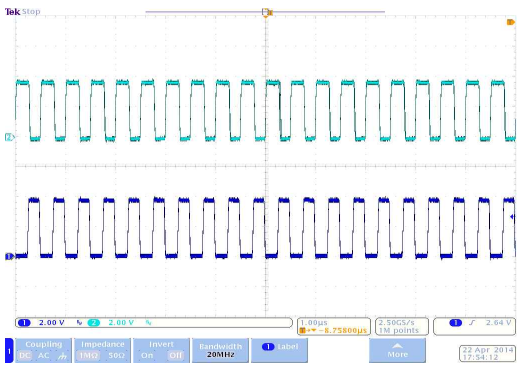


Fig. 11. PWM1, PWM2 waveform of the determining output voltage.

그림 11. 출력전압을 결정하는 PWM1, PWM2 파형

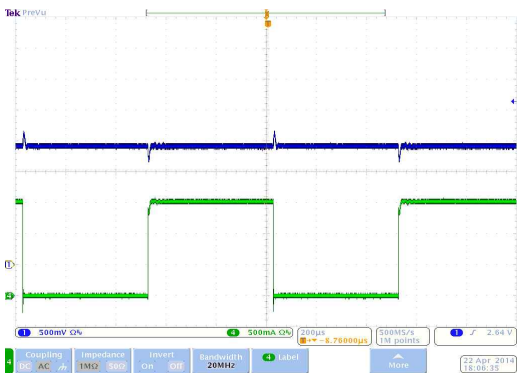


Fig. 12. Load current transient response (1.5A)

그림 12. 출력전류에 대한 천이 반응(1.5A)

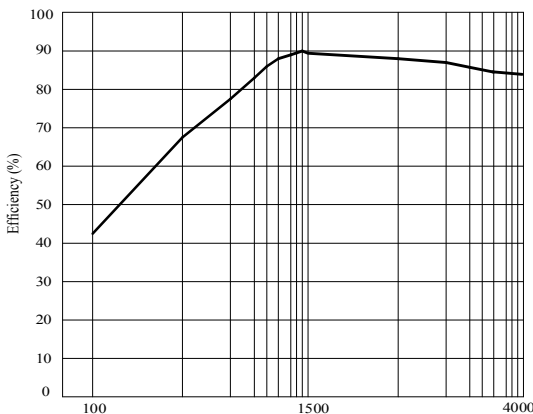


Fig. 13. A load current efficiency of the buck converter

그림 13. 출력전류에 따른 buck 변환기의 효율

Table 2. Test result of the proposed 2-phase buck converter 표 2. 본 논문에서 제시된 2-페이즈 buck 변환기의 측정결과

Technology	Dongbu 0.35µm Analog CMOS
Chip area	2.35×2.35mm ²
Controller area	2.35×0.72mm ²
Phase	2
Inductor	4.7µH
Output capacitance	20µF
Switching frequency	4MHz
Input voltage	3.3V ~ 5V
Output voltage	1.5V ~ 2.7V
Maximum load current	4A
Efficiency(peak)	91% (1.5A)

IV 결론

본 논문에서는 모바일용 buck 변환기에서 가장 문제가 되는 대용량 전류공급과 출력에서의 리플 전압 저감 방식에 대해 제안하였다.

제안된 효율적인 2-페이즈 전압모드 DC-DC buck 변환기는 실험측정을 통해 그 성능이 검증이 되었으며 출력 리플 전압에 민감하고, 대용량 출력 전류를 요구하는 모바일 전자 기기 어플리케이션에 매우 매력적인 기술이 될 것이다 [15], [16].

References

[1] C. Shi, B. C. Walker, and G. H. McAllister, "A highly integrated power management IC for advanced mobile applications", *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1723-1731, Aug. 2007.

[2] N. Andrews, "The global market for power supply and power management integrated circuits", *Power Electronics Conference and Exposition*, vol. 1, pp. 126-131, Mar. 2002.

[3] A. J. Stratakos, S. Sanders, and R. Broderon, "A low-voltage CMOS DC-DC converter for a portable battery-operated system", *IEEE Power*

Electronics Specialists Conference, vol. 1, pp. 619-626, Jun. 1994.

[4] C. C. Yu, W. P. Wang, and B. D. Liu, "A new level converter for low-power applications", *IEEE International Symposium. Circuit and Syst.* vol. 1, no. 1, pp. 113-116, May. 2001.

[5] W. Huang, "A new control for multi-phase buck converter with fast transient response", *Applied Power Electronics Conference and Exposition(APEC)*, vol. 1, pp. 273-279, Mar. 2001.

[6] W. Chen, "High efficiency, high density, poly phase converters for high current applications", LTC. Application Note 77, Sep. 1999.

[7] A. Abou-Alfotouh, A. Lotifi, and M. Orabi, "Compensation circuit design considerations for high frequency DC/DC buck converters with ceramic output capacitors", *Applied Power Electronics Conference*, pp. 736-742, Feb. 2007.

[8] B. Sahu, "Analysis and design of a fully-integrated current sharing scheme for multi-phase adaptive on-time modulated switching regulators", *IEEE Power Electronics Specialists Conference*, pp. 3829-3835, Jun. 2008.

[9] W. Huang, "A new control for multi-phase buck converter with fast transient response", *Applied Power Electronics Conference and Exposition*, vol. 1, pp. 273-279, Mar. 2001.

[10] J. Agrawal, D. Kastha, and B. Culpepper, "An improved control scheme for multiphase buck converter circuits used in voltage regulator modules", *IEEE Power Electronics and Drives Syst.* no. 8, pp. 418-423, Oct. 2005.

[11] S. Abedinpour, B. Bakkaloglu, and S. Kiaei "A multistage interleaved synchronous buck converter with integrated output filter in 0.18 μ m SiGe process", *IEEE Trans. on Power Electronics.* vol. 22, no. 6, pp. 2164-2175, Nov. 2007.

[12] D. Mattingly, "Designing stable compensation networks for single phase voltage mode buck regulators", Intersil, Technical Brief, Dec. 2003.

[13] B. Razavi: "Design of Analog CMOS Integrated Circuits", (Boston, MA: McGraw-Hill, 2001).

[14] Y. Ahn, D. Heo, and J. Roh, "A 400-mA Current-mode buck converter with self-trimming current sensing scheme", *Analog integrated Circuits and Signal Processing*, vol. 66, pp. 163-170. Feb.

2001.

[15] Y. Y. Mai, and P. K. T. Mok "A constant frequency output-ripple-voltage based buck converter without using large ESR capacitor", *IEEE Trans. Circuits Syst.* vol. 58, no. 8, pp. 1090-1091, Aug. 2011.

[16] R. Miftakhutdinov, "Analysis and optimization of synchronous buck converter at high slew-rate load current transients", *IEEE Power Electronics Specialists Conference.* vol. 2, pp. 714-720, Jun. 2000.

BIOGRAPHY

Park Ju-won (Student Member)



2013 : BS degree in Electronic and Communication Engineering, Hanyang University.

2013~Present : MS degree in Electronic and Communication Engineering, Hanyang University.

<Research interest> Power management circuits.

Jun In-ho (Student Member)



2012 : BS degree in Electronic and Communication Engineering, Hanyang University.

2012~Present : Unified course of the MS and PhD degree in Electronic and Communication Engineering, Hanyang University.

<Research interest>

Power management circuits.

Roh Jeong-jin (Life Member)

1990 : BS degree in Electrical Engineering, Hanyang University.

1998 : MS degree in Electrical Engineering, Pennsylvania State University.

2001 : PhD degree in Electrical Engineering, Texas at Austin

University.

1990~1996 : Senior circuit designer, Samsung Electronics, Korea.

2000~2001 : Senior design engineer, Intel Coporation, USA.

2001~Present : Professor, Dept. of Electronics and Communication Engineering, Hanyang University.

<Research interest> Oversampled delta-sigma converters, Power management circuits.