

플립플롭 기반의 새로운 노화 센싱 회로의 설계 및 구현[†]

(Design and Implementation of a new aging sensing
circuit based on Flip-Flops)

이진경¹⁾, 김경기²⁾
(Jin-Kyung Lee and Kyung Ki Kim)

요약 본 논문에서는 나노미터 기술에서 HCI와 BTI와 같은 노화 현상에 의해 야기되는 MOSFET 디지털 회로의 실패를 정확히 예측을 위한 플립플롭 기반의 온-칩 노화 센싱 회로를 제안한다. 제안된 센싱 회로는 순차회로의 가드밴드 (guardband) 위반에 대한 경고를 나타내는 타이밍 윈도우를 이용해서 노화에 의한 회로의 동작 실패 전에 경고 비트를 발생한다. 발생된 비트는 고신뢰의 시스템 설계를 위한 적응형 셀프-튜닝 방법에서 제어 신호로 사용될 것이다. 노화 센싱 회로는 0.11um CMOS 기술을 사용해서 구현되었고, 파워-게이팅 구조를 가지는 4x4 곱셈기에 의해서 평가되었다.

핵심주제어 : 노화 현상, HCI, BTI, NBTI, PBTI, 노화 센싱 회로

Abstract In this paper, a new on-chip aging sensing circuit based on flip-flops is proposed to detect a circuit failure of MOSFET digital circuits caused by aging phenomenon such as HCI and BTI. The proposed circuit uses timing windows to warn against a guardband violation of sequential circuits, and generates three warning bits right before circuit failures occur. The generated bits can apply to an adaptive self-tuning method for reliable system design as control signals. The aging sensor circuit has been implemented using 0.11um CMOS technology and evaluated by 4x4 multiplier with power gating structure.

Key Words : Aging phenomenon, HCI, BTI, NBTI, PBTI, Aging sensor circuit

1. 서론

최신 미세 CMOS 공정들은 주요한 신뢰성 문제를 야기하는 NBTI (negative bias temperature instability), PBTI (positive bias temperature

instability), HCI (hot carrier injection), 그리고 TDDB (time-dependent dielectric breakdown)와 같은 노화 효과들에 의해서 표준 동작 모드에서조차도 점차 변화 또는 손상을 겪게 된다 [1-4]. 이러한 전기적 작용은 결국 이것의 본래 고유의 특성에서 벗어난 것이다. 이 편차는 성능을 저하시킬 수 있으며 결과적으로 디지털 IC가 갑작스럽게 일부 필수 조건들을 충족시키지 못하게 될 수도 있다. 또한 이 편차는 갑자기 IC의 기능을 완전히 멈추게 할 수도 있다 [5-6]. 두

[†] 이 논문은 대구대학교 연구장학기금(연구조교) 지원에 의한 것임.

1) 대구대학교 전자공학과, 제1저자

2) 대구대학교 전자전기공학부, 교신저자

경우 모두 IC 제조업체들에게는 심각한 문제가 된다. 이후 이들은 고객들의 불만을 처리해야 할 뿐만 아니라 비용이 많이 들어가는 대규모의 부품 교체 프로그램을 준비해야 할 수도 있기 때문이다.

나노미터 MOSFET를 사용한 회로에서 이런 노화의 효과들을 고려하는 것이 품질과 신뢰성을 목표로 하는 설계 과정에서 필수적인 작업이 되어 가고 있다 [7]. 뿐만 아니라, 매우 낮은 전압에서 작동하는 나노미터 디지털회로에서는 아무리 작은 변화라 할지라도 회로에 오동작을 가져올 수 있다. 지금까지 나노미터 MOSFET 공정에서 노화현상은 공정 엔지니어의 연구 영역이었지만, 앞으로는 회로설계자도 회로 설계 시에 디바이스 노화를 고려하여 전체 시스템의 신뢰도를 높여야 한다. 그러므로 품질과 신뢰성을 고려해야 하는 나노미터 MOSFET 회로에서 노화 센싱 뿐만 아니라, 노화에 의해서 성능이 저하된 IC의 성능을 복원시킬 수 있는 셀프 튜닝 시스템은 더욱더 필수적인 설계 요구사항이 되고 있다 [8-9].

회로의 고장을 예측 하는 것은 회로가 치명적인 에러 (error)가 발생하는 것을 막아줄 수 있다. 에러의 유무를 측정하는 방법과 달리 에러가 발생하기 직전의 경고 상태를 측정하고 알려주는 고장 진단 회로가 필요하다. 즉, 에러가 발생한 후에 회로가 정지 상태 혹은 작동하지 않는 것보다 에러가 발생하기 전 조치를 취하는 것이 더 효율적이다. 에러의 측정과는 달리 회로의 고장 예측은 소프트 에러는 예측 할 수 없다. 그러나 NBTI, HCI에 의한 트랜지스터의 노화 현상들은 충분히 예측 할 수 있기 때문에 노화 센서의 개발은 현재 큰 이슈가 되고 있다. 회로의 고장을 예측하는 방법에는 보통 온-칩 형태의 센서를 칩으로 집적화하는 것이다. 많은 칩들은 전압, 온도 등 영향을 많이 받기 때문에 온-칩 형태의 센서들은 외부 영향에 민감하지 않으면서 출력 감도를 높이는 것이 필요하다.

트랜지스터의 노화 현상에 의한 회로 고장 예측은 레플리카 회로를 사용해서 간접적인 노화 현상을 센싱하는 방법과 실제 회로의 노화를 직접 센싱하는 방법으로 나눌 수 있다. 먼저, 레플리카 회로를 사용하는 방법은 회로의 노화에 의해서 증가하는 문턱전압의 크기를 주파수로 변환하여 노화를 예측하기 때문에 증가하는 문턱전압과 센서 회로에 의해서 발생하는 주파수와와의 비례 관계가 PVT 변이와 같은 다른

원인에 의해서 일정하게 유지되지 않을 수도 있는 단점이 있다. 뿐만 아니라 실제 회로의 가장 임계 경로 (longest critical path)를 모방하여 지연 시간을 일치시킨 레플리카 회로를 최악의 노화 스트레스 환경에서 노화를 측정하기 때문에 실제 회로의 노화보다 많이 진행된 것으로 측정이 될 수 있다.

반면, 실제 회로의 노화를 직접 센싱하는 방법은 노화 센싱 회로를 기존의 플립플롭에 추가하여 각 출력 노드의 출력 스위칭이 정해진 가드밴드 구간에서 이루어지는 측정하여 시스템 에러 경고를 알리게 된다 [10-11]. 가드밴드 (guardband) 구간은 시스템의 타이밍 요구 조건을 위반할 수 있음을 경고하는 시간의 구간으로써 설계자에 의해서 회로 지연시간, 셋업 타임 (setup time), 홀드 타임 (hold time) 과 같은 모든 타이밍 조건을 고려해서 정해지게 된다.

본 논문에서는 디지털 회로의 정확한 노화 센싱을 위해서 레플리카 회로에 의한 간접적인 센싱 방법보다는 가드밴드와 플립플롭을 기반으로 하는 직접적인 센싱 회로를 설계하고자 한다.

지금까지 제안되어 온 플립플롭에 기반을 둔 모든 노화 센서들은 디지털 회로의 출력 값의 스위칭이 가드밴드 구간에 들어온다면, 회로의 노화 유무에 의해서 노화 센서가 1-bit의 논리 값만을 출력하게 된다. 그러므로 노화 진행의 단계적 예측을 할 수 없고, 1-bit의 낮은 감도 때문에 노화 보상 시스템을 위한 센싱 회로로 사용하기 어려울 것이다. 특정한 센서 회로에서는 지연 블록 기능의 회로가 디지털 회로 출력마다 하나씩 존재를 해야 하므로 전력과 회로의 사이즈에서 증가를 보여 주었다.

따라서, 본 논문에서는 구조가 단순하면서도 디지털 회로의 출력 수에 상관없이 오직 하나의 지연 블록 회로를 사용하고, 추가적으로 가드밴드 구간을 3개의 단계로 만들어서 센싱 감도를 높이도록 하였다. 센싱 회로의 3개의 출력은 노화의 단계적인 진행정도를 알려주게 된다.

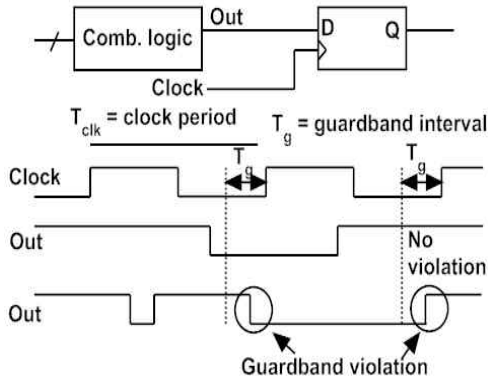
2. 새로운 노화 센싱 회로

2.1 노화 현상에 의한 가드밴드 위반

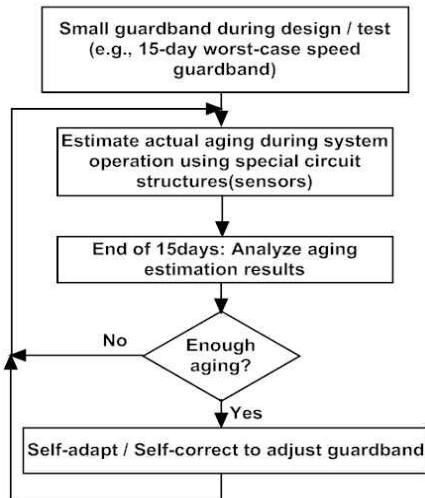
일반적인 논리회로에서 노화 현상이 일어나면 회로

의 출력들은 지연이 증가하게 된다. 따라서 이런 지연 시간이 가드밴드 시간 구간에 들어오는 것을 측정한다. <Fig. 1>은 가드밴드 포인트를 보여주고 있다. <Fig. 1>에서 보면 첫 번째 Out 신호의 스위칭은 가드밴드의 구간을 넘지 않았지만 두 번째 Out 신호의 스위칭은 가드밴드 구간을 넘어 섰다. 따라서 이런 현상을 가드 밴드 위반이라고 한다.

<Fig. 2>는 가드밴드에 의한 노화 센서 시스템의 설계 흐름도를 보여준다. 가드밴드의 경고 시간을 15 일이라고 가정하면, 15일 내에 칩 내의 회로들은 노화 효과에 의한 심각한 오류를 발생할 수 있다는 것이다. 온-칩 센서들은 칩에 영향을 미칠 수 있는 패스나 블록이었다면 원래 회로대로 다시 작동하고 노화효과가



<Fig. 1> Guardband violation caused by aging effects



<Fig. 2> Flow diagram of aging sensor [10]

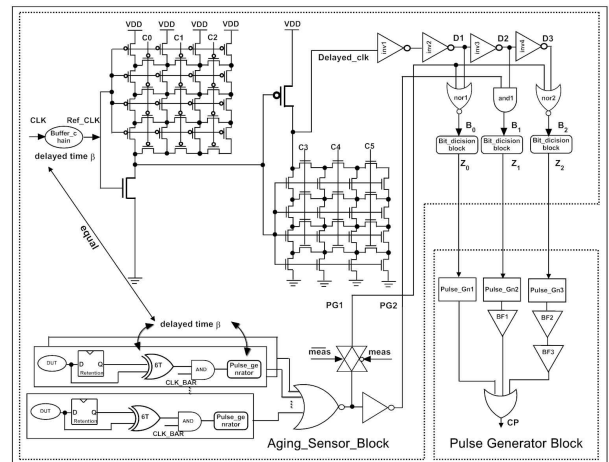
의 노화를 검출하고, 노화효과에 대한 보상을 해준다. 15일 지난 후에 다시 검출 했을 때 충분한 보상을 해 계속 일어난다면 다시 보상을 해줄 것을 전송한다. 이런 피드백의 루프가 이루어지려면 위에서 언급했던 온-칩 센서 이외에 보상 회로가 있어야 한다.

2.2 노화 센싱 회로

<Fig. 3>은 노화센서의 블록도이며, 6개의 트랜지스터로 구성된 XOR 게이트, 펄스 발생기 (generator), 고성능 지연 버퍼, 비트 확정 블록 (Bit Decision Block : BDB) 등으로 구성되었다.

6개의 트랜지스터로 구성된 XOR 게이트는 DUT의 출력과 플립플롭을 통과한 후의 출력 신호를 받아서 AND 게이트의 입력으로 들어가게 된다. 이 AND 게이트는 인버팅된 클록 신호와 XOR 게이트의 출력을 입력으로 사용해서 클록의 High 레벨에서 노화 센싱을 하지 않게 한다. 왜냐하면, 가드밴드 구간은 상승 에지(rising edge)에 의해 동작하는 순차회로에서 클록의 High 레벨에서는 존재하지 않기 때문이다.

AND 게이트의 출력은 펄스 제너레이터의 입력으로 들어가게 되며, DUT의 출력이 스위칭 되는 시점에서 한 개의 펄스가 생성된다. 생성된 펄스는 실제 DUT의 출력의 스위칭 시간에서 β 만큼 지연되어서 생성되기 때문에 다음에 설명할 가드밴드 구간을 만드는 회로에서 지연된 β 의 시간을 보상해주어야 정확한 노화 정도를 측정할 수 있다.



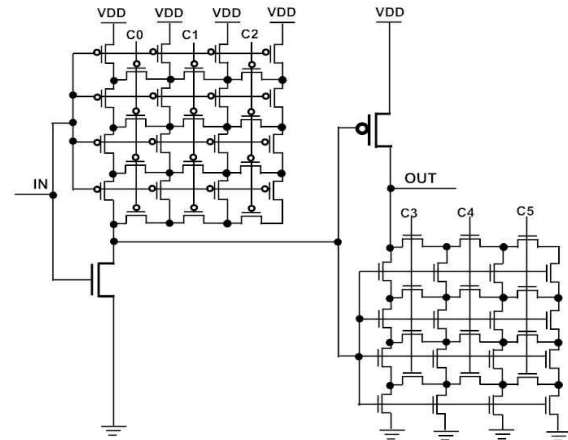
<Fig. 3> Aging sensing circuit

따라서, 시스템의 주 클럭이 β 의 시간만큼 지연된 Reference Clock (Ref_CLK) 신호가 가드밴드 구간을 만드는 참조 클럭 신호로 사용된다. β 만큼 지연된 Ref_CLK 신호의 High에서 Low로의 스위칭 시간을 트랜지스터의 폭을 가변적으로 변경할 수 있는 버퍼 회로의 제어 신호 C0, C1, C2, C3, C4, C5에 의해서 가변적으로 조정할 수 있다. 즉, 외부 제어 신호에 의해서 가드밴드 구간을 변경할 수 있음을 나타낸다. 버퍼의 가변 폭만큼 지연된 Ref_CLK 신호는 다음에 연결된 연속된 인버터들에 의해서 3개의 다른 지연 값을 갖는 D1, D2, D3 신호가 되며, 노화 센서에서의 3단계의 가드밴드의 구간을 정하는 역할을 한다. 이런 인버터들의 출력 D1, D2, D3와 펄스 발생기의 출력 PG1, PG2가 NOR 게이트와 AND 게이트의 입력으로 각각 사용되며, 펄스 발생기에 의해서 생성된 펄스가 Ref_CLK에 의해 만들어진 가드밴드 구간 내에 존재한다면, 생성된 펄스는 그대로 전파되어서 B0, B1, B2 노드에 전달될 것이다. 반면, 펄스 발생기에 의해 생성된 펄스 신호가 가드밴드 구간 내에 존재하지 않는다면 B0, B1, B2는 각각 0의 값을 가질 것이다. 노화 현상에 의해서 B0, B1, B2 노드에 펄스가 전달된다면, BDB의 출력 Z0, Z1, Z2는 1의 논리 값을 저장함과 동시에 출력하게 된다. 즉, 가드밴드 구간의 레벨에 따라 BDB의 출력신호 $Z_0Z_1Z_2$ 는 000, 100, 110, 111로 나누어 질 수 있다. 출력 신호 $Z_0Z_1Z_2$ 이 000이면 노화 현상은 일어나지 않았으며 노화의 정도가 심해질수록 100, 110, 111의 순서로 출력 신호가 변하게 된다.

BDB의 출력은 <Fig. 3>의 Pulse Generator Block의 3개의 펄스 발생기 입력으로 각각 사용되며, 발생된 펄스는 시간차를 두고 센서 블록의 최종 출력 CP에 연속된 펄스 열을 발생시키기 위해서 각기 다른 버퍼 수를 통과하게 된다. 예를 들면, BDB의 출력이 000이면 CP에서 펄스는 생성되지 않지만, 100이면 CP에서 1개의 펄스를 생성되고, 110이면 펄스는 2개가 생성된다. CP에서 발생된 펄스는 본 논문에서 제안한 파워 스위치 관리 블록의 입력으로 들어가게 된다. 다음은 노화 센싱 회로의 각 서브 블록에 대해서 설명을 하고자 한다.

<Fig. 4>는 고성능 지연 버퍼를 나타내며, 그림에서 IN 신호는 <Fig. 3>의 Refer_CLK 신호를 나타낸다. 제안된 버퍼는 제어 신호 C0, C1, C2, C3, C4, C5에 의해서 가변적으로 변경되는 지연 시간을 가지게 된

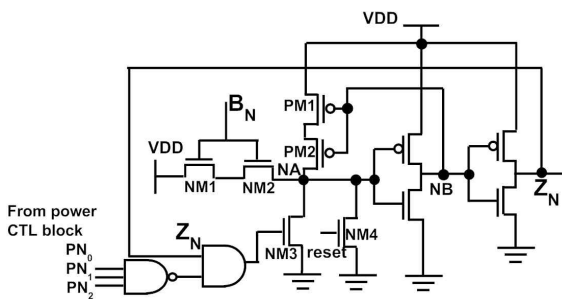
다. 시스템의 가드밴드 구간이 클럭의 Low 주기에 있으므로, 버퍼의 입력 IN 신호에서 High에서 Low 스위칭의 경우만을 고려하기 때문에 제안된 버퍼는 비대칭 구조를 가지게 된다.



1. <Fig. 4> Delay controlled buffer

<Fig. 5>의 비트 확정 블록 (BDB)은 <Fig. 3>의 NOR 게이트와 AND 게이트에서 생성된 펄스를 저장하는 회로이다. NOR 게이트와 AND 게이트에서 생성된 펄스는 직렬로 연결된 패스 트랜지스터 NM1, NM2를 걸쳐서 하나의 버퍼에 저장되며 출력된다. 그리고 직렬로 연결된 2개의 PMOS 트랜지스터 PM1, PM2는 패스-트랜지스터를 통과한 후의 전압이 문턱 전압 아래로 떨어지는 것을 막아준다. 그리고 두 개의 NMOS 트랜지스터 NM3, NM4은 reset 신호와 파워 스위치 관리 블록의 출력 신호에 의해서 노드 NA를 0 상태로 만드는 역할을 한다. 리셋신호는 매번 시스템이 새로이 시작 할 때 마다 각 노드의 상태를 리셋시키는 작용을 한다. 그리고 다른 하나의 컨트롤 신호는 센서의 출력 상태를 순환되게 하는 작용을 한다. 예를 들면, 센서의 출력이 100 이면, 대응하는 파워 게이팅을 사용한 DUT의 파워 스위치가 켜지면서 보상 시스템이 활성화된다. 따라서 노화된 회로의 성능이 완전히 보상되었다면, BDB에 저장된 값들도 모두 reset이 되어야 한다. 그러나 BDB의 컨트롤 신호 NM3이 켜지지 않는다면 노화센서 시스템은 계속 비트100을 출력 시킨다. 따라서 출력이 1이면 NM3의 입력신호에 NAND 게이트와 AND 게이트를 사용하여 reset 될 수 있는 로직을 제안하였다.

제안한 셀프 튜닝 시스템에서 파워 스위치의 개수가 더 이상 추가적으로 커지지 않을 경우, BDB에서는 리셋이 필요 없다. 예를 들어 노화센서의 출력신호 $Z_0Z_1Z_2$ 이 100이라고 가정한다. 그리고 파워 게이팅을 사용한 파워 스위치는 모두 켜져 있다. 따라서 셀프 튜닝 시스템은 더 이상 보상을 할 수 없으며, 노화센서의 출력 신호 $Z_0Z_1Z_2$ 은 계속 100이 나오거나 110, 111이 나올 수 있다. 그러므로 reset을 시킬 필요가 없기 때문에 AND 게이트를 막아주는 NAND 게이트를 사용하였다. 여기서 패스-트랜지스터 NM1, NM2와 이런 패스-트랜지스터의 문턱전압 강하를 보상해주는 PMOS 트랜지스터 PM1, PM2들은 직렬로 연결되어 있는데 이는 누설 전류가 흘러 회로의 출력이 변하는 것을 막아준다.



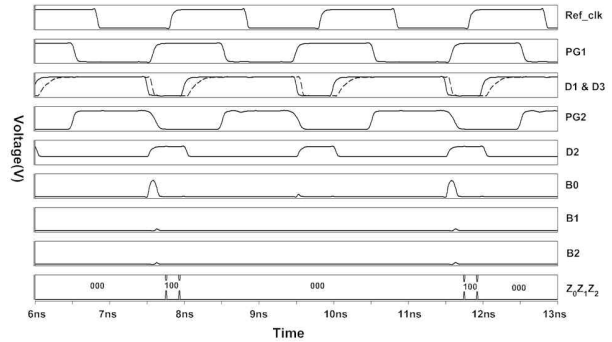
<Fig. 5> Bit Decision Block (BDB)

3. 실험결과

본 논문에서 제안된 셀프 튜닝 시스템은 동부 0.11um를 사용한 파워 게이팅 기반의 파이프라인 방식 4x4 곱셈기에 적용이 되어서 설계되어지고 구현되었다. 시스템의 공급전압은 1.2V이고, 본 시뮬레이션에서 사용한 V_{th} 의 변화 값은 0.01V에서 0.1V까지 0.02V 씩 증가되며, 0.02V씩 증가할 때마다 4x4 곱셈기의 출력들은 3 단계의 가드밴드 구간에 순차적으로 진입하게 된다.

<Fig. 6>은 제안된 센싱 회로의 결과 파형을 나타낸다. <Fig. 6>에서 PG1과 PG2는 곱셈기의 출력 변화가 클럭 주기의 어느 부분에서 스위칭되는지를 알려주고, B0~B2 중에 펄스가 발생하면, 노화가 일어나서 회로의 실패가 일어날 수 있다는 것을 알려준다. 실험에서는 0.02V의 문턱전압이 노화에 의해서 증가

하였으므로 출력 파형에서는 B0신호에서 펄스가 발생되었고, 출력 $Z_0Z_1Z_2$ 는 “100”이 발생하게 된다.



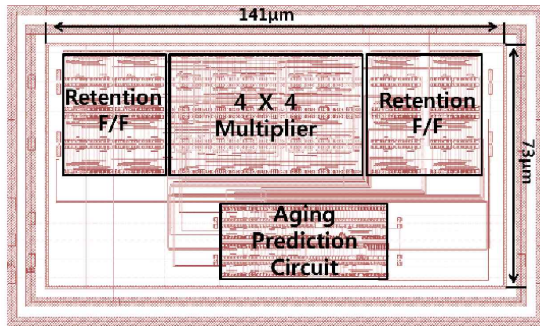
<Fig. 6> Experimental output waveforms

그리고 <Table 1>는 참고 문헌 [10]의 센서 회로와 본 논문에서 제안한 센서 회로를 비교한 결과이다. 본 논문에서는 노화센서의 출력이 3개이므로 노화의 진행 정도를 예측하는 감도가 높지만, 참고문헌 [10]에서 제안한 노화 센서에서는 1-bit의 출력만을 가지므로 노화에 대한 진행 정도를 세밀히 구분하기가 어렵다. 그리고 본 실험에서는 곱셈기를 DUT로 하였지만, 참고문헌 [10]에서는 OpenRISC 프로세서를 DUT로 사용하였다. 본 시뮬레이션에서도 OpenRISC와 같이 복잡하고 면적이 큰 DUT를 사용한다면 파워 소모가 상대적으로 많이 줄어들 것으로 판단된다.

<Fig. 7>은 0.11um 공정으로 구현된 제안된 노화 센싱 회로를 이용한 4x4 곱셈기의 레이아웃을 나타내고 있다.

<Table 1> Comparison of the experimental results with Ref. [10]

Specification	[10]	Proposed
# of outputs	1	3
Technology	65nm PTM	0.11um
DUT	OpenRISC	4x4 multiplier
power penalty when the aging sensors are off	0.1%	2%
power penalty when the aging sensors are on	7.5%	110%



<Fig. 7> The layout of a 4×4 Multiplier with the proposed aging sensing circuit

4. 결론

본 논문에서는 노화 현상에 의해서 야기되는 순차 회로의 가드밴드 위반을 모니터링하기 위해서 0.11µm 공정 기술을 이용한 온-칩 노화 센싱 회로를 제안하였다. 본 회로의 실험 결과에서 제안된 센싱 회로가 회로 실패를 잘 예측하고 회로 부하도 적음을 보여주었다. 제안된 정확한 노화 센싱은 나노크기의 CMOS 회로에서 노화 현상으로 인한 회로 성능 저하를 보상하기 위한 최적의 적응형 튜닝 기술을 위해서 실질적인 해결책이 될 것이다.

References

[1] Kyung Ki Kim, "Design of a New Adaptive Circuit to Compensate for Aging Effects of Nanometer Digital Circuits," Journal of the Korea Industrial Information System Society, V.18, No.6, pp. 25-30, 2013.

[2] Yeon-Bo Kim, Kyung Ki Kim, "The Impact of TDDDB Failure on Nanoscale CMOS Digital Circuits," Journal of the Korea Industrial Information System Society, V.17, No.3, pp. 27-34, 2012.

[3] Kyung Ki Kim, "Analysis of Electromigration in Nanoscale CMOS Circuits," Journal of the Korea Industrial Information System Society, V.18, No.1, pp. 19-24, 2013.

[4] M. Omana, D. Rossi, N. Bosio, And C. Metra, "Self-Checking Monitor For NBTI Due Degradation", In IEEE 16th International Mixed-Signals, Sensors and Systems Test Workshop, June 2010.

[5] B. Paul, K. Kang, H. Kufluoglu, M. Ashraful Alam, & K. Roy, "Temporal Performance Degradation Under NBTI: Estimation And Design For Improved Reliability Of Nanoscale Circuits", Vol. 1, pp. 1 - 6, March 2006.

[6] S. Mitra & M. Agarwal, "Circuit Failure Prediction To Overcome Scaled CMOS Reliability Challenges", IEEE International Test Conference, October 2007.

[7] Intel, "3-D, 22nm: New Technology Delivers An Unprecedented Combination of Performance and Power Efficiency", <http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nm-technology.html>, 2012.

[8] S. N. Wooters, A. C. Cabe, Z. Qi, J. Wang, R. W. Mann, B. H. Calhoun, M. R. Stan, & T. N. Blalock, "Tracking On-Chip Age Using Distributed, Embedded Sensors", In IEEE Transactions On Very Large Scale Integration (VLSI) Systems, Vol. No. 99, pp. 1 - 12, 2011.

[9] Z. Qi, J. Wang, A. Cabe, S. Wooters, T. Blalock, B. Calhoun, & M. Stan, "Sram-Based NBTI/PBTI Sensor System Design", In 47th ACM/IEEE Design Automation Conference, June 2010.

[10] Agarwal M, Paul B, Zhang M, Mitra, S. Circuit failure prediction and its application to transistor aging. In: 25th IEEE VLSI test symposium; 2007. p. 277 - 86.

[11] J. Vazquez, V. Champac, A. Ziesemer, R. Reis, I. Teixeira, M. Santos, And J. Teixeira, "Low-Sensitivity To Process Variations Aging Sensor For Automotive Safety-Critical Applications", In 28th VLSI Test Symposium (VTS), April 2010.

이진경 (Jin Kyung Lee)



- 비회원
- 2014년 대구대학교 전자공학과 석사 졸업.
- 2014년부터 현재 대구대학교 전자공학과 박사 과정
- 관심분야 : SoC설계, 디지털 집적회로 설계.

김경기 (Kyung Ki Kim)



- 정회원
- 1995년 8월 영남대 전자공학과 공학사
- 1997년 8월 영남대 전자공학과 공학석사
- 2008년 1월 (미) Northeastern University 전기전자공학과 공학박사
- 2008년 2월 ~ 2009년 1월 (미) SUN Microsystems 연구원 (Technical Staff)
- 2009년 1월 ~ 2010년 2월 (미) Illinois Institute of Technology 연구원
- 2010년 3월 ~ 현재 대구대학교 정보통신대학 전자전기공학부 조교수
- 관심분야 : SoC 설계, Microprocessor, High performance and low power design methodology, Nanotechnology.

논문접수일 : 2014년 04월 30일
1차수정완료일 : 2014년 05월 15일
2차수정완료일 : 2014년 06월 22일
게재확정일 : 2014년 07월 30일