JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 18, No. 9 : 2183~2188 Sep. 2014

비대칭 이중게이트 MOSFET의 도핑농도에 대한 문턱전압이동

정학기*

Channel Doping Concentration Dependent Threshold Voltage Movement of Asymmetric Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 비대칭 이중게이트(double gate; DG) MOSFET의 채널 도핑농도 변화에 따른 문턱전압이동 현상에 대하여 분석하였다. 비대칭 DGMOSFET는 일반적으로 저 농도로 채널을 도핑하여 완전결핍상태로 동작하도록 제작한다. 불순물산란의 감소에 의한 고속 동작이 가능하므로 고주파소자에 응용할 수 있다는 장점이 있다. 미세소자에서 필연적으로 발생하고 있는 단채널 효과 중 문턱전압이동현상이 비대칭 DGMOSFET의 채널도핑농도의 변화에 따라 관찰하고자 한다. 문턱전압을 구하기 위하여 해석학적 전위분포를 포아송방정식으로부터 급수형태로 유도하였다. 채널길이와 두께, 산화막 두께 및 도핑분포함수의 변화 등을 파라미터로 하여 도핑농도에 따라 문턱전압의 이동현상을 관찰하였다. 결과적으로 도핑농도가 증가하면 문턱전압이 증가하였으며 채널길이가 감소하면 문턱전압이 크게 감소하였다. 또한 채널두께와 하단게이트 전압이 감소하면 문턱전압이 크게 증가하는 것을 알 수 있었다. 마지막으로 산화막 두께가 감소하면 문턱전압이 증가하는 것을 알 수 있었다.

ABSTRACT

This paper has analyzed threshold voltage movement for channel doping concentration of asymmetric double gate(DG) MOSFET. The asymmetric DGMOSFET is generally fabricated with low doping channel and fully depleted under operation. Since impurity scattering is lessened, asymmetric DGMOSFET has the adventage that high speed operation is possible. The threshold voltage movement, one of short channel effects necessarily occurred in fine devices, is investigated for the change of channel doping concentration in asymmetric DGMOSFET. The analytical potential distribution of series form is derived from Possion's equation to obtain threshold voltage. The movement of threshold voltage is investigated for channel doping concentration with parameters of channel length, channel thickness, oxide thickness, and doping profiles. As a result, threshold voltage increases with increase of doping concentration, and that decreases with decrease of channel length. Threshold voltage increases with decrease of channel thickness and bottom gate voltage. Lastly threshold voltage increases with decrease of oxide thickness.

키워드 : 비대칭 이중게이트, 문턱전압, 도핑농도, 포아송방정식

Key word : asymmetric double gate, threshold voltage, doping concentration , Poisson equation

접수일자 : 2014. 06. 09 심사완료일자 : 2014. 07. 15 게재확정일자 : 2014. 07. 28

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)
Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

Open Access http://dx.doi.org/10.6109/jkiice.2014.18.9.2183 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

반도체 산업의 높은 경쟁력을 유지하기 위한 노력이 진행되고 있는 가운데 반도체소자의 미세화는 가장 중요한 핵심기술로 등장하고 있다. IT산업의 급격한 변화에 대응하기 위해 반도체소자는 더욱 초고속, 고용량, 저 전력 및 고 신뢰성 제품개발이 요구되고 있는 실정이다. 이러한 요구 조건을 만족하기 위하여 반도체소자는 더욱 미세화 되어야하며 고 집적도를 유지해야만 한다. 그러나 미세화에는 물리적 한계가 있으며 미세화공정에서 발생하는 2차 효과는 반도체소자의 특성을 더욱 저하시키고 있다. 2차 효과 중 단채널 효과로 알려져 있는 문턱전압이동현상은 디지털응용에서 미세소자를 이용하는데 큰 걸림돌이 되고 있다. 기존의 CMOSFET를 이용한 집적회로는 고용량 IC제작에 한계를 보이고 있어 반도체업체에서는 새로운 소자개발에 박차를 가하고 있으며 3차원적인 배열에 의한 집적도 향상에 노력하고 있다. 이러한 노력의 일환으로 기존의 CMOSFET를 3차원 구조를 갖는 새로운 MOSFET소자로 대치하고자 하는 노력이 진행 중이며 이러한 노력으로 개발되고 있는 소자가 다중게이트 MOSFET이다[1,2]. 다중게이트 MOSFET는 채널주위에 게이트단자를 2개 이상 제작함으로써 게이트단자에 의하여 채널 내 전하를 효율적으로 제어할 수 있도록 제작하는 3차원 구조의 트랜지스터이다. 이와 같이 제작한 트랜지스터로는 이중게이트 MOSFET와 FinFET가 가장 대표적인 다중게이트 MOSFET이다[3,4]. FinFET의 경우 구조적으로 얇은 핀형태의 채널이 필요하므로 공정상의 어려움을 격고 있다. 그러나 이중게이트 MOSFET는 상하단에 게이트단자를 제작하는 구조로서 SOI기술을 기반으로 제작 가능한 가장 간단한 다중게이트 MOSFET이다. 이중게이트 MOSFET는 대칭 이중게이트 MOSFET와 비대칭 이중게이트 MOSFET로 구별되며 대칭형과 달리 비대칭형은 상하단의 게이트구조를 서로 다르게 제작할 수 있다는 장점이 있다. 이와 같이 비대칭 이중게이트 MOSFET는 상하단의 게이트 산화막 두께를 다르게 제작하여 상하단 게이트 전압을 각기 다르게 인가할 수 있으므로 상기에서 언급한 2차 효과를 제어할 수 있는 요소가 증가하게 된다. 이미 발표한 논문에서 하단게이트 전압이나 게이트 산화막 두께 등의 변화에 따른 단채널 효과의 제어에 대하여 발표하였다[5,6]. 그러나 단채널 효과 중 가장 중요한 비대칭 이중게이트 MOSFET에 대한 문턱전압이동현상에 대한 연구는 아직 미흡한 상황이다. 그러므로 본 연구에서는 채널도핑농도의 변화에 대한 비대칭 이중게이트 MOSFET의 문턱전압이동현상에 대하여 관찰하고자 한다. 이때 채널길이, 채널두께, 도핑분포함수의 형태 그리고 상하단의 산화막 두께 그리고 하단게이트 전압을 파라미터로 사용할 것이다. 이를 위하여 Ding 등[5]의 급수형태 전위분포함수를 이용하였으며 이때 전위분포함수로는 가우스분포함수를 이용하였다. 즉, 본 연구에서는 가우스분포함수를 도핑분포함수로 사용하여 도핑농도의 변화에 따라 비대칭 이중게이트 MOSFET에 대한 문턱전압 이동현상을 관찰하였다.

2장에서는 포아송방정식의 해석학적 전위모델 및 문턱전압모델에 대하여 설명할 것이며 3장에서 이 모델을 적용하였을 경우, 문턱전압의 변화를 채널길이, 채널두께, 산화막 두께, 하단게이트전압 등을 파라미터로 하여 도핑농도에 대하여 고찰하였다. 또한 4장에서 결론을 맺을 것이다.

Ⅱ. 비대칭 DGMOSFET의 전위분포 및 문턱전압 모델

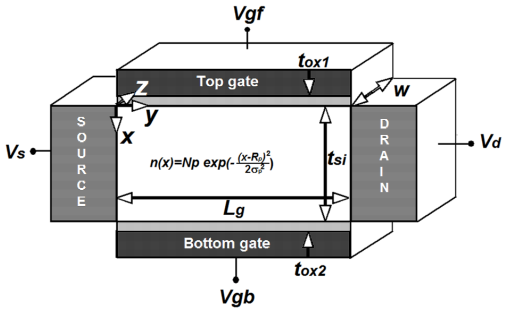

그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 DGMOSFET는 4단자 소자로서 그림 1과 같이 상단 게이트전압 V_{gf}와 하단게이트 전압 V_{gb}를 각기 달리 인가시킬 수 있다. 채널 내 전위분포함수를 구하기 위하여 가우스분포함수를 도핑분포함수로 사용하여 다음과 같이 2차원 포아송방정식을 풀었다.

$$\frac{\partial^2\phi(x,y)}{\partial x^2}+\frac{\partial^2\phi(x,y)}{\partial y^2}=\frac{qN_p}{\epsilon_{Si}}\exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (1)$$

여기서 ϵ_{si}는 실리콘의 유전율이며 N_p는 최대 도핑 분포 값, R_p와 σ_p는 각각 이온주입범위 및 분포편차를 나타낸다. 채널 폭 방향으로의 전위분포 변화는 대칭 DGMOSFET와 동일하게 무시할 수 있으므로 x, y방향에 대해서만 전위분포를 구한다[7].

Ding 등의 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[5].

$$\phi(x,y)=V_s+\frac{V_d}{L_g}y+\sum_{n=1}^{\infty}A_n(x)\sin\frac{n\pi y}{L_g} \quad (2)$$

$$A_n(x)=C_ne^{k_nx}+D_ne^{-k_nx}+B_1erf(\tau+b_1/2)+B_2erf(\tau+b_2/2)+A \quad (3)$$

이며 여기서 n은 정수, $k_n=n\pi/L_g$이며 V_s는 소스 전압, V_d는 드레인 전압, $A_n(x)$는 참고문헌[8]에 표기하였다. A는 적분 상수이다. $A_n(x)$에 나타나는 상수 $B_1, B_2, b_1, b_2, C_n, D_n$ 도 참고문헌[8]에 표기하였다.

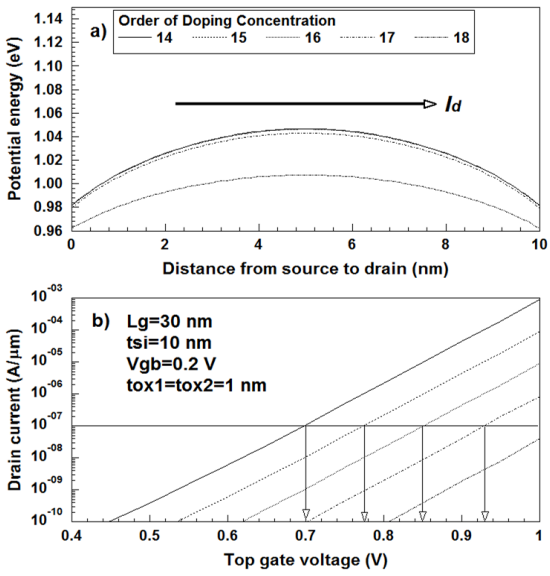

그림 2. 채널도핑농도에 따른 채널 내 전위분포 및 드레인전류 개략도

Fig. 2 Schematic diagram of potential distribution and drain current for channel doping concentration

그림 2(a)에서 알 수 있듯이 전위분포는 채널도핑농도에 따라 변하게 되며 이에 따라 전위장벽을 넘어 소스단자에서 드레인까지 이동하는 캐리어의 수도 변화하게 된다. 이와 같이 이동하는 캐리어의 수가 변화하면서 그림 2(b)에서 알 수 있듯이 채널도핑농도에 따라 게이트전압에 대한 드레인 전류의 관계가 변화하게 되어 결국 도핑농도에 따라 문턱전압이 변화하게 된다. 그림 2(b)에서 알 수 있듯이 드레인 전류가 1 μm의 단위 채널 폭당 $0.1\mu A$일 때, 상단게이트 전압을 문턱전압으로 정의하였다[9].

먼저 그림 2(a)의 전위장벽을 넘어 이동하는 캐리어의 수를 구하기 위하여 맥스웰-볼츠만통계를 이용하면 전자의 수는

$$n_m(x)=(n_i^2/N_p)e^{q\phi_{\min}(x)/kT}\approx(n_i^2/N_p)e^{q\phi_{\min}(x_{eff})/kT} \quad (4)$$

이다. 여기서 n_i는 순수반도체 전자농도이며 $\phi_{\min}(x)$는 상단게이트의 표면전위 중 최소값을 갖는 $y_{\min}$값을 구한 후, 식 (2)에 대입하며 구한 최소 전위분포 값이다. 식 (4)에서 x는 다음과 같은 식에서 전도중심 x_{eff} 값을 대입하여 이동 전자의 수를 구한다.

$$x_{eff}=\int_0^{t_{si}}xe^{\phi(x,y_{\min})/V_t}dx\Big/\int_0^{t_{si}}e^{\phi(x,y_{\min})/V_t}dx \quad (5)$$

이때 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 $t_{si}W$면적의 드레인에 도착하는 전자의 수를 이용하여 그림 2의 드레인 전류 I_d를 구하면

$$I_d=\frac{qn_m(x_{eff})v_{th}t_{si}W}{6} \quad (6)$$

이다. 여기서 v_{th}는 열속도이다. 식 (6)의 드레인 전류를 상단게이트 전압에 대하여 그림 2(b)와 같이 구하여 전술한 바와 같이 문턱전압의 정의에 의하여 문턱전압을 구하였다. 식 (2)에서 알 수 있듯이 전위분포는 도핑농도 뿐만이 아니라 채널길이, 채널두께, 산화막 두께 및 하단게이트 전압에 따라 변화할 것이며 이는 드레인 전류에도 영향을 미쳐 결국 문턱전압이 이와 같은 파라미터에 따라 변화하게 된다. 본 연구에서는 이와 같이 구

한 문턱전압의 채널도핑농도에 따른 변화를 고찰하고자 한다.

Ⅲ. 도핑농도에 따른 문턱전압결과 고찰

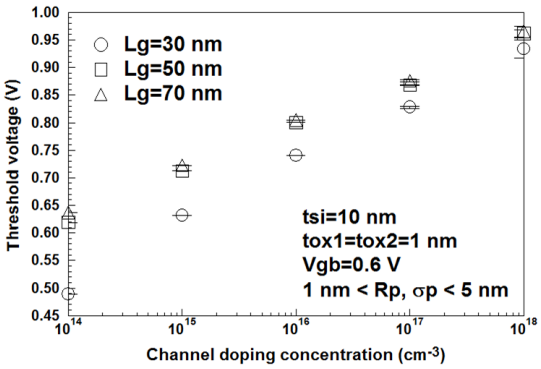

그림 3. 채널길이를 파라미터로 구한 채널도핑농도에 대한 문턱전압
Fig. 3 Threshold voltages for channel doping concentration with a parameter of channel length

식 (6)을 이용하여 구한 문턱전압의 타당성은 이미 기존의 논문[10]에서 언급하였으므로 본 연구에서는 채널도핑농도에 따른 문턱전압의 변화에 대하여 고찰할 것이다. 그림 3에 채널길이를 파라미터로 구한 채널도핑농도에 따른 문턱전압의 변화를, 이온주입범위와 분포편차의 변화에 따른 최대값, 최소값 그리고 평균값을 도시하였다. 그림 2(b)에서 알 수 있듯이 채널의 도핑농도가 증가하면 문턱전압은 증가하는 것을 알 수 있다. 이는 그림 3의 결과에서 잘 나타나 있다. 즉, 채널도핑농도가 증가하면 문턱전압도 증가하며 거의 채널도핑농도의 로그 값에 선형적으로 증가하는 경향을 보이고 있다. 채널길이에 따른 문턱전압의 변화를 살펴보면 채널길이가 감소하면 단채널 효과에 의하여 문턱전압 이동현상이 발생하여 문턱전압이 감소하고 있으며 채널길이가 약 50 nm이하에서 문턱전압이동현상이 발생하는 것을 알 수 있다. 문턱전압의 이동현상은 채널도핑농도가 낮을 때 더욱 심화되며 고 도핑에서는 문턱전압이동현상이 거의 나타나고 있지 않았다. 또한 채널길이가 감소할수록 채널도핑농도에 따른 문턱전압의 변화가 더욱 심화되는 것을 알 수 있다.

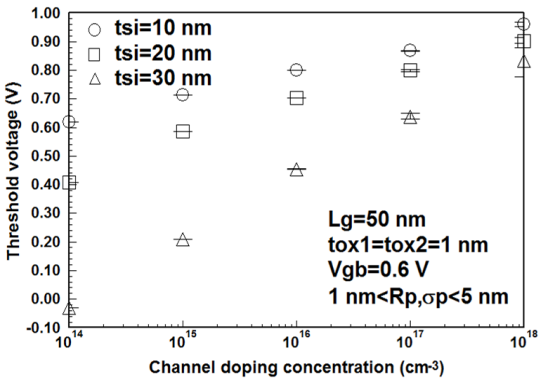

그림 4. 채널두께를 파라미터로 구한 채널도핑농도에 대한 문턱전압
Fig. 4 Threshold voltages for channel doping concentration with a parameter of channel thickness

가우스분포함수의 변수인 이온주입범위 및 분포편차에 따른 문턱전압의 변화를 고찰해 보면 그림 3에서 알 수 있듯이 저 도핑 영역에서는 거의 변화가 발생하고 있지 않지만 고 도핑에서는 문턱전압이 이온주입범위 및 분포편차에 따라 변화하고 있다는 것을 그림 3에서 알 수 있다.

그림 4에 채널두께를 파라미터로 구한 채널도핑농도에 따른 문턱전압의 변화를 도시하였다. 그림 3과의 비교에서도 알 수 있듯이 채널도핑농도가 증가하면 문턱전압은 채널도핑농도의 로그 값에 거의 선형적으로 비례하여 증가한다. 또한 채널두께가 감소하면 문턱전압은 증가하는 것을 알 수 있다. 그러나 채널도핑농도에 따른 변화율은 채널두께가 증가할수록 더욱 심화되는 것을 알 수 있다. 이온주입범위 및 분포편차에 따른 문턱전압의 변화를 고찰해 보면 그림 4에서 알 수 있듯이 저 도핑 영역에서는 거의 변화가 발생하고 있지 않지만 고 도핑에서는 문턱전압이 이온주입범위 및 분포편차에 따라 변화하고 있다는 것을 그림 4에서 알 수 있으며 채널두께가 증가할수록 이온주입범위 및 분포편차에 따른 변화가 더욱 심화되고 있다는 것을 알 수 있다. 저 도핑 영역에서는 채널두께에 따른 문턱전압의 변화가 매우 크게 나타나나 고 도핑영역에서는 채널두께에 따른 문턱전압의 변화가 상당히 감소하고 있다는 것을 알 수 있다. 상하단 산화막 두께를 파라미터로 하여 구한 채널도핑농도에 따른 문턱전압의 변화를 그림 5에 도시하였다.

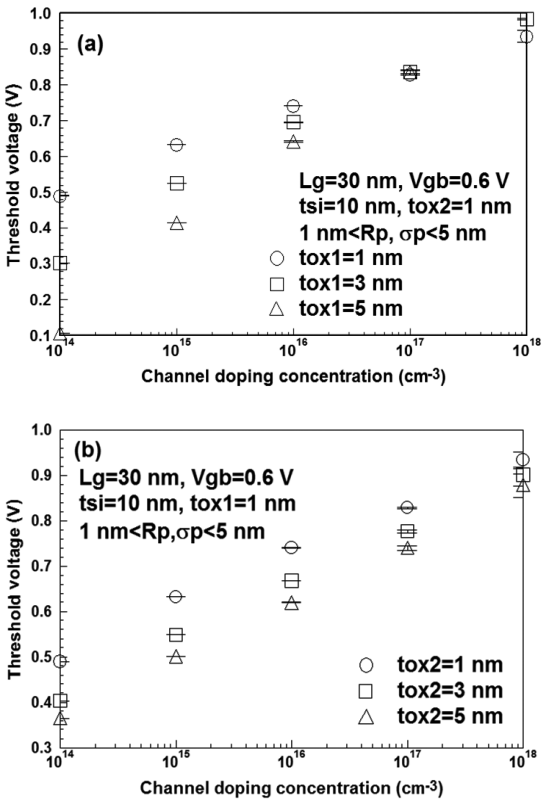

그림 5. (a) 상단 게이트 산화막 두께를 파라미터로 한 경우 (b) 하단 게이트 산화막 두께를 파라미터로 한 경우 채널도핑농도에 대한 문턱전압

Fig. 5 Threshold voltages for channel doping concentration (a) with a parameter of top gate oxide thickness and (b) with a parameter of bottom gate oxide thickness

그림 5(a)에서 알 수 있듯이 상단 게이트 산화막 두께가 증가할수록 문턱전압은 감소하며 채널도핑농도에 따른 문턱전압의 변화율도 매우 크게 증가하고 있다. 전술한 바와 같이 채널도핑농도가 클 경우, 상단게이트 산화막 두께에 대한 문턱전압의 변화는 거의 무시할 수 있을 정도이다. 그러나 채널도핑농도가 낮을 경우, 상단게이트 산화막 두께에 따른 문턱전압의 변화는 매우 심화되고 있다는 것을 알 수 있다. 그림 5(a)에서 채널도핑농도가 $10^{17}/cm^3$의 경우 상단 게이트 산화막 두께에 관계없이 일정한 문턱전압을 갖는다는 사실을 알 수 있다. 그림 5(b)와 같이 하단 게이트 산화막 두께에 대한 문턱전압의 변화를 살펴보면 상단 게이트 산화막 두께의 변화의 경우와 마찬가지로 하단 게이트 산화막 두께가 작을 경우 문턱전압은 증가하나 채널도핑농도에 따른 문턱전압의 변화율이 상단 게이트 산화막 두께의 변화 경우와는 달리, 하단 게이트 산화막 두께에 따라 거의 일정하다는 것을 알 수 있다. 즉, 문턱전압은 상단 게이트 산화막에 더욱 민감하게 변화하고 있다는 것을 알 수 있다.

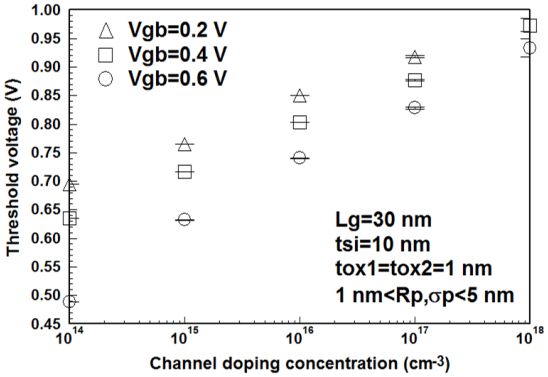

그림 6. 하단 게이트 전압을 파라미터로 구한 채널도핑농도에 대한 문턱전압

Fig. 6 Threshold voltages for channel doping concentration with a parameter of bottom gate voltage

그림 6에 하단 게이트 전압을 파라미터로 구한 채널도핑농도와 문턱전압의 관계를 도시하였다. 비대칭 이중게이트 MOSFET는 대칭형 이중게이트 MOSFET와 달리 하단 게이트에 상단 게이트와 다른 전압을 인가할 수 있다. 이에 따른 변화를 살펴보면 그림 6에서 알 수 있듯이 하단 게이트 전압을 증가시키면 문턱전압을 감소시킬 수 있다는 장점이 있다. 그러나 채널도핑농도에 따른 변화율은 하단 게이트 전압이 증가할수록 더욱 증가하는 것을 관찰할 수 있다. 이온주입범위 및 분포편차에 따른 하단 게이트 전압에 따른 문턱전압의 변화를 고찰해 보면 그림 3에서 알 수 있듯이 저 도핑 영역에서는 거의 변화가 발생하고 있지 않지만 고 도핑에서는 문턱전압이 이온주입범위 및 분포편차에 따라 변화하고 있다는 것을 그림 6에서 알 수 있다. 특히 채널도핑농도가 낮은 경우, 하단 게이트 전압에 따라 문턱전압은 크게 변화하는 것을 알 수 있으므로 비대칭 이중게이트 MOSFET를 동작시킬 경우 하단 게이트 전압인가에 신중을 기하여야 할 것이다.

Ⅳ. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 채널 도핑농도 변화에 따른 문턱전압이동 현상에 대하여 분석하였다. 문턱전압을 구하기 위하여 해석학적 전위분포를 포아송방정식으로부터 급수형태로 유도하였다. 채널길이와 두께, 산화막 두께 및 하단 게이트 전압, 그리고 도핑분포함수의 변화 등을 파라미터로 하여 채널 도핑농도에 따른 문턱전압의 이동현상을 관찰하였다. 결과적으로 채널도핑농도가 증가하면 문턱전압도 증가하며 거의 채널도핑농도의 로그 값에 선형적으로 증가하는 경향을 보이고 있었다. 채널길이 및 두께에 따른 문턱전압의 변화를 살펴보면 채널길이가 감소하면 문턱전압이 감소하고 있으며 채널두께가 증가할수록 문턱전압이 감소하고 있다는 것을 관찰하였다. 상하단 게이트 산화막 두께에 따른 문턱전압의 변화는 상단 및 하단 게이트 산화막 두께가 증가할수록 문턱전압은 감소하였으며 상단게이트 산화막 두께가 하단 게이트 산화막 보다 문턱전압의 변화에 더욱 영향을 미치고 있었다. 이는 채널도필농도가 낮을 경우 더욱 현저하게 나타나고 있었다. 또한 하단 게이트 전압을 증가시키면 문턱전압을 감소시킬 수 있으나 채널도핑농도에 따른 변화율은 하단 게이트 전압이 증가할수록 더욱 증가하는 것을 관찰할 수 있다. 본 연구에서 구한 자료는 비대칭 이중게이트 MOSFET의 설계시 유용하게 사용될 수 있다고 사료된다.

REFERENCES

[1] G. Deng anf C. Chen, “Binary Multiplication Using Hybrid MOS and Multi-Gate Single-Electron Transistors”, *IEEE Trans. on VLSI systems,* vol.21, no.9, pp.1573-1582, 2013.

[2] P.Zhang, E.Jacques, R.Rogel and O.Bonnaud, “P-type and N-type multi-gate polycrystalline silicon vertical thin film transistors based on low-temperature,” Solid-state electronics, vol.86, no.1, pp.1-5, 2013.

[3] M.C.Cheng, J.A.Smith, W.Jia and R.Coleman, “An Effective Thermal Model for FinFET Structure,” *IEEE Trans. Electron Devices*, vol. 61, no.1, pp.202-206, 2014.

[4] S.H.Chou, M.L.Fan and P.Su, “Investigation and Comparison of Work Function Variation for FinFET and UTB SOI Devices Using a Voronoi Approach,” *IEEE Trans. Electron Devices*, vol. 60, no.4, pp.1485-1489, 2013.

[5] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, “An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs,” Microelectronics J., vol.42, pp.515-519, 2011.

[6] S.Jandhyala and S.Mahapatra,“Inclusion of body doping in compact models for fully-depleted common double gate MOSFET adapted to gate-oxide thickness asymmetriy”, Electronics Lett., vol.48, no.13, pp.794-795, 2012.

[7] D.S.Havaldar, G.Katti, N.DasGupta and A.DasGupta, “Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation,“ *IEEE Trans. Electron Devices,* vol. 53, no.4, pp.737-741, 2006.

[8] H.K.Jung and D.S.Cheong,“Analysis for Relation of Oxide Thickness and Subthreshold Swing of Asymmetric Double Gate MOSFET,” *Conference on Information and Communication Eng.*, vol.17, no.2, pp.698-701, 2013.

[9] TCAD Manual, Part.4: INSPEC, ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56. ver.7.5.

[10] H.K.Jung and S.Dimitrijev, “Analysis of Subthreshold Carrier Transport for Ultimate DGMOSFET,” *IEEE Trans. Electron Devices*, vol. 53, no.4, pp.685-691, 2006.

정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
1985.3 연세대학교 전자공학과M.S.
1990.8 연세대학교전자공학과 Ph.D
1995.8 일본 오사카대학 교환교수
2005.8 호주 그리피스대학 교환교수
1990.3 ~ 현재 군산대학교 전자공학과 교수
2014.1 ~ 현재 한국정보통신학회 회장
※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로 및 시스템 해석 등