

고집적을 위한 얇은 트랜치 격리에서 제안한 구조의 특성 모의 분석

이용재^{1†}

Simulations Analysis of Proposed Structure Characteristics in Shallow Trench Isolation for VLSI

YongJae Lee

ABSTRACT

In this paper, We are going to propose the novel structure with improved behavior than the conventional vertical structure for VLSI CMOS circuits. For this, the proposed structure is the moat shape for STI. We want to analysis the characteristics of simulations about the electron concentration distribution, oxide layer shape of hot electron stress, potential flux and electric field flux, electric field fo themal damage and current-voltage characteristics in devices. Physically based models are the ambient and stress bias conditions of TCAD tool.

As a analysis results, shallow trench structure were trended to be electric functions of passive as device dimensions shrink. The electrical characteristics influence of proposed STI structures on the transistor applications become stronger the potential difference electric field and saturation threshold voltage, are decreased the stress effects of active region. The fabricated device of based on analysis results data were the almost same characteristics of simulation results data.

Key words : Moat structure, Shallow Trench Isolation, Hot electron, Threshold voltage, Active region

요 약

본 논문에서는, 초고집적 CMOS 회로를 위한 얇은 트랜치 격리로 기존의 수직 구조 보다 개선된 성질을 갖는 새로운 구조를 제안하고자 한다. 이를 위해서 제안한 구조는 회자 모양의 얇은 트랜치 격리 구조이다. 특성 분석은 기존 수직 구조와 제안한 구조에 대해서 전자농도 분포, 열전자 스트레스의 산화막 모양, 전위와 전계 플럭스, 열 손상의 유전 전계와 소자에서 전류-전압 특성을 분석 하고자 한다. 물리적 기본 모델들은 TCAD 툴을 이용하며, 집적화 소자들에 있어서 분석 조건은 주위 조건과 전류와 시간의 인가 스트레스 조건이다.

분석 결과, 얇은 트랜치 격리 구조가 소자의 크기가 감소됨에 따라서 수동적인 전기적 기능이었다. 트랜지스터 응용에서 제안한 회자 구조의 얇은 트랜치 격리 구조가 전기적 특성에서 전위차, 전계, 전자농도 분포가 높게 나타났으며, 활성영역에서 스트레스에 의한 산화막의 영향은 감소되었다. 이 결과 데이터를 바탕으로 소자의 전류-전압 특성 결과 분석도 양호한 특성으로 나타났다.

주요어 : 회자구조, 얇은 트랜치 격리, 열전자, 임계전압, 활성영역

1. 서 론

*이 논문은 동의대학교 교내연구(2014AA215)의 결과로 수행된 연구임.

접수일(2014년 6월 30일), 심사일(2014년 8월 29일), 게재 확정일(2014년 9월 1일)

¹⁾ 동의대학교 공과대학 전자공학과

주 저 자 : 이용재

교신저자 : 이용재

E-mail; yjlee@deu.ac.kr

빨리 변화하는 정보통신기술 산업의 높은 경쟁력의 유지를 위한 노력이 진행을 위해 기본이 되는 반도체소자의 미세화는 가장 중요한 핵심기술로 등장하고 있다. 이러한 요구에서 소자의 높은 신뢰성의 초고속, 초고집적화의 기본적인 소자제작을 위한 관련 기술이 절실하다. ICT 산업의 제품도 초고속, 고용량, 저전력 및 고신뢰성 제품개발

이 응용에서 요구된다. 이러한 요구 조건을 만족하기 위하여 반도체소자는 더욱 미세화 되어야하지만, 고집적도를 위한 미세화에는 소자사이의 격리 형태에서 물리적인 한계가 대두된다. 고속, 저전력 소모 제품에는 기본적인 CMOS를 이용한 집적회로는 고용량 IC제작에 한계를 보이고 있어서 업체에서는 새로운 소자개발로 CMOS 구조를 새로운 격리 구조의 MOSFET 소자 개발로 초고속화, 초고집적화 및 초절전화 요구에 주력을 하고 있다^{1), 2)}.

소자의 미세화의 요구로 분석 툴은 격자 관련 온도와 전계에 대해 파라미터 유동에 관련이 있는 직접적인 열화를 예측할 수 없고, 툴 모델 파라미터는 균일 격자 가열 모델이며, 실제 적용할 때 차이가 있을 수 있다. 즉 절연막의 두께를 줄여야하는 초고집적화 소자 제작으로 소스와 드레인의 얇은 접합 형성을 위해서 소자와 소자 사이의 얇은 트렌치 격리는 트랜지스터 사이에서 전기적으로도 격리를 하기 때문에 CMOS 기술에서 중요한 공정 요소이다. 따라서 초고집적을 위한 소자와 소자를 격리시키는 격리 공정 발달이 초고집적도에 중요한 관건이 되었으며, 이를 위한 최종적으로 성능과 생산량을 좌우하는 기본적인 물리적 현상에 대한 통찰력과 전기적 분석 결과가 제공하는 단위공정에 앞서 공정의 가능성과 소자의 특성을 미리 예측할 수가 있다^{3), 4)}.

본 연구는 TCAD 툴(ATHENA, ATLAS)을 이용하여 기존의 MOS(Metal Oxide Semiconductor) 구조의 활성영역 가장 자리에서 기존의 수직 모양 구조와 이를 개선하기 위해서 제안한 새로운 구조인 회자 구조에 대해서 시뮬레이션하며, 이를 응용할 소자의 특성을 분석 하고자 분석한다.

이 구조에 따른 분석으로 전자농도의 분포 분석, 스트레스에 의한 실리콘의 손상이 근처의 트랜지스터 전기적 특성에 미치는 영향의 분석으로 전위 분포, 전계분포, 전자 농도 분포, 스트레스 인가 조건에 따른 가장자리에서의 산화막의 두께 영향 분석과 이 구조를 소자에 적용한 경우 드레인 전류 대 게이트 전압과 드레인 전류 대 드레인 소스 전압과의 특성 분석 각각 하고자 한다. 이 결과를 바탕으로 제안한 회자구조의 얇은 트렌치 격리 구조를 실제 공정을 하여 소자 제작을 하고자 한다.

2. 격리 구조 공정 시뮬레이션

2.1 구조별 STI 공정 시뮬레이션

Fig. 1은 최신 응용하고자 한 제안한 회자 구조의 고집적용 MOSFET의 단면도이며, 회자 구조에서 전위의 인

가에 따른 금속선 아래의 전위의 영향은 전자의 축적 형태로 나타난다.

TCAD 툴의 2-D 시뮬레이터를 이용하여, 제안한 얇은 트렌치 격리 구조를 기존의 수직 구조 방법과 제안된 회자 구조에 대한 시뮬레이션으로 각각의 구조와 얇은 접합에서 크게 요구되는 전계분포와 높은 임계전압이 나타나는 구조가 되도록 설계를 하여야 실제 제작에서 격리에 대한 활성영역의 영향이 작기 때문이다. 이 시뮬레이션 연구에 대한 테스트 토대로 보고된^{5), 6)} 전형적인 45nm 기술 세대의 고성능 트랜지스터의 CMOS 용도로 설계하고자 하는 전 단계 공정 기술이다.

Fig. 2는 전체적인 공정 단계의 블록 다이어그램이고, Fig. 3은 이 블록 다이어그램에 의한 공정 단계의 시뮬레이션 분석 단계별 단면도이다.

P-형 실리콘 기판에서 활성영역의 실리콘과 실리콘 중요한 공정 조건으로는 질화막(Si₃N₄) 사이에 완충층의 열산화막 80 [Å]을 건식으로 형성시키고, 화학기상증

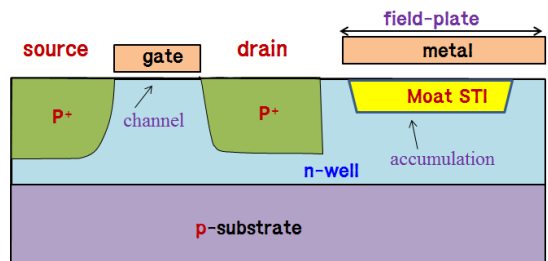


Fig. 1. The newest CMOS cross section of Moat STI structure and filed plate effects

Shallow Trench Etch
Wall Sacrifice Oxidation
Wall Sacrifice Oxide Strip
Wall Oxidation
Liner Nitride Deposition
Liner Oxide Deposition
HDP Oxide Deposition
Chemical Mechanical Polish & Pad Nitride/Oxide Etch
Threshold Voltage Screen Oxidation
Threshold Voltage Screen Oxide Strip
Gate Oxidation
Gate Poly Deposition

Fig. 2. Process sequences of steps in full STI process

착(CVD) 방법으로 그 위에 실리콘 질화막을 1,000 [Å]을 증착을 시켜서 반응성이온 식각 장비를 이용하여 패턴 형성의 식각공정을 한 후 마스크 물질을 포토레지스터로 나머지 영역의 실리콘 질화막, 산화막, 기판 실리콘을 2,000 [Å]을 트렌치 식각을 하는 구조로 여기에서 회자 모양으로 에칭을 한다.

Fig. 3에서 좌측 상단에서 우측으로 이은 연속 공정 단계로 측면 벽을 완충역할의 산화막을 다시 흡착시킨다. 이는 에칭 시에 스트레스가 많이 받은 부위는 산화의 속도가 빠르며, 이것이 제안한 회자 모양의 일부이다. 이를 다시 식각을 하여 제안된 구조를 제작코자 하였으며, 트렌치 벽면에 다시 열산화막으로 80 [Å] 기른다. 그 옆에 화학기상증착(CVD) 방법으로 선형을 위한 실리콘 질화막 50 [Å]을 증착을 시키고, 그 위에 선형을 위한 화학기상증착(CVD) 방법으로 산화막 120 [Å]을 증착을 시킨다.

계속하여 고밀도 플라즈마 산화막을 3,000 [Å] 증착시킨 후, 화학 기계적 연마(Chemical and Mechanical Polishing) 장비로 고집적 전극의 원활한 형성을 위해서 웨이퍼 윗면부터 갈아낸 후 완충 산화막과 질화막을 식각시킨 공정 단계이다. 다시 트랜지스터 활성영역에서 소자의 임계전압 조절을 위한 이온 주입 시에 직접적인 실리콘의 손상 방지를 위한 차벽 산화막 형성을 한 후 이온 주입을 시키며, 이때 이온 주입 시에 손상된 차벽 산화막을 제거 한 후, 양질의 게이트 산화막을 형성 시키고, 게이트 전극용 다결정 실리콘 증착을 하여 전극을 형성한 전체 공정의 결과이다.

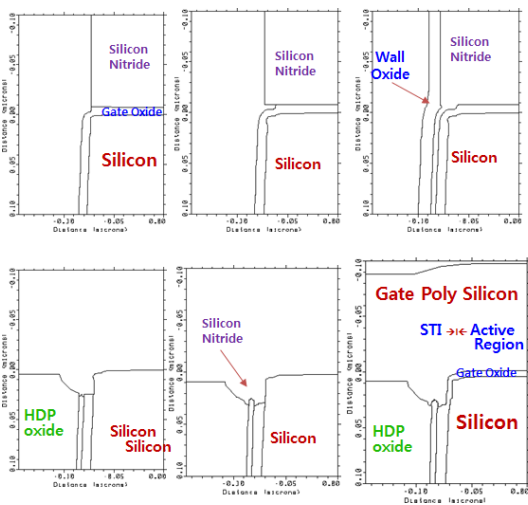


Fig. 3. Cross Sectional Views of steps in full Moat Shallow Trench Isolation process

2.2 트렌치 구조의 산화막 두께 변화

Fig. 4는 제안한 구조에 대한 얇은 트렌치 부분인 소자의 활성영역의 가장자리에서 산화막의 두께가 미치는 두께의 변화를 분석한 결과이다. 산화막의 산화 시간은 연속적으로 결과를 분석한 자료에서 대표적인 12분, 18분과 30분에 대한 소자의 단면도이다. 스트레스를 많이 받은 부분의 산화막의 두께는 얇은 결과로 질화막의 영향으로 판단되며, 활성영역의 형상은 크게 나타나지 않는 결과를 나타낸다.

2.3 구조별 가장 자리에서의 스트레스 영향

활성영역 가장자리 영역에서 산화막 형성 시의 산화막의 형태의 결과가 Fig. 5이다. Fig. a)는 기존 수직 구조와 b)는 회자 구조에 대해서 얇은 트렌치 격리 구조에서 산화막 형성 시 산화막의 모양과 활성영역 가장자리에 미치는 스트레스 영향을 분석한 그림이다.

분석 조건에서 초기 산화막은 열산화막 80 [Å]을 건조식으로 형성시키고, 그 위에 실리콘 질화막을 화학기상증착 방법으로 1,000 [Å]을 증착을 시킨다. 연속으로 반응성이온 식각 장비를 이용하여 패턴 형성을 위한 식각공정을 한 후 마스크 물질을 포토레지스터로 나머지 영역의 실리콘 질화막, 산화막 형태로 구조를 만드는 과정이다.

산화막 형성 조건은 각각의 구조에서 격리를 위한 산화막 형성 시간은 3분 간격으로 증가 시키면서 최종 30분까지 단계 별로 증가시킨 결과 분석 중에 특성의 차이가 확연히 나타나는 시간 조건으로 3분, 15분, 21분과 최종

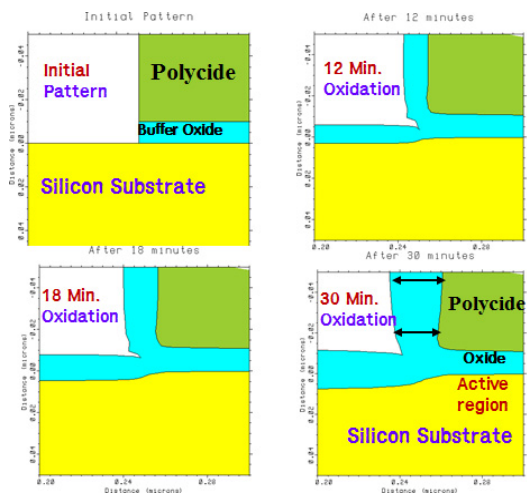


Fig. 4. The stress effects for STI of moat structure in shallow isolation oxide growing

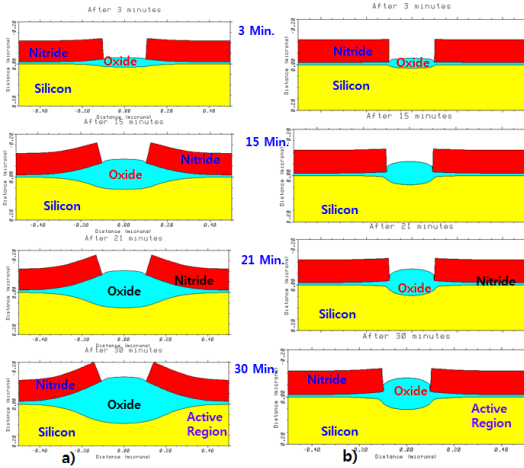


Fig. 5. The stress effects for STI in oxide growing. a) vertical structure b) moat structure

30분에 대한 결과의 구조에 대한 단면도 자료이다. Fig. 5의 a)의 단면 결과는 소자의 활성영역까지 상당한 잠식이 일어났으며, 산화막의 변화도 큰 것으로 나타났다.

Fig. 5의 b)의 Fig. 단면 결과는 기존 구조에 비해서 소자의 활성 영역에 미치는 영향이 훨씬 작게 나타났으며, 산화막의 두께도 일정하며, 스트레스의 영향도 낮게 나타난 결과를 보인다.

3. 전기적 시뮬레이션 결과 분석 및 고찰

Fig. 6은 개선된 시뮬레이션 결과에 따른 실제 초고집화 소자 제작을 위한 격리기술을 적용할 공정 단계의 공정 시뮬레이션, 스트레스를 고려한 시뮬레이션과 소자에서 전기적 시뮬레이션의 추출 분석을 위한 전체적인 시뮬레이션 결과의 흐름도이다.

3.1 얇은 접합 격리 기술 단계 시뮬레이션

Fig. 7의 a)는 기존의 수직 구조, b)는 제안한 회자 구조에 대한 전자 농도 분포의 분석 결과이다. MOS 구조의 얇은 트랜치 격리 구조에서 게이트 단자에 바이어스를 게이트 단자에 0 [V]에서 2 [V] 까지 전압을 변화 시킨 바이어스에 따른 활성영역 가장자리에서 전계 분석 결과에서 주요 전계 분포로 대표적인 수직구조에서는 0.4 [V], 0.5 [V], 2 [V]와 제안한 회자 구조에서는 0.8 [V], 0.99 [V], 2 [V]의 전자 농도 분포의 결과이다.

동일한 시뮬레이션 조건에서 Fig. 7의 b)는 기존의 수

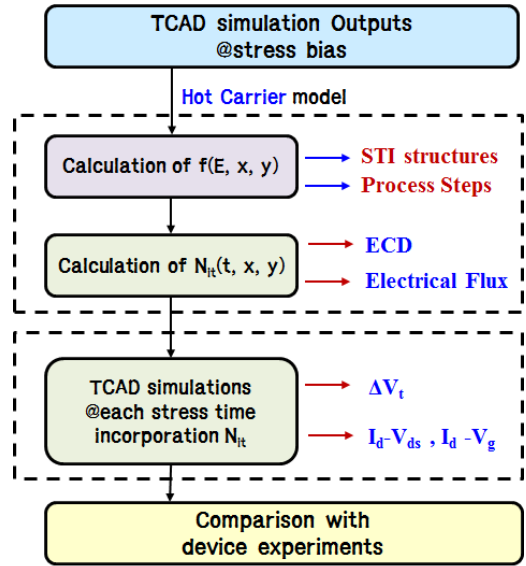


Fig. 6. Simulation flowchart of electrical and stress effect characteristics

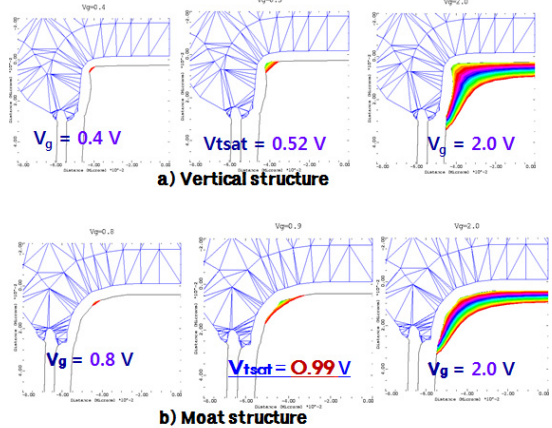


Fig. 7. Electron concentration distribution(ECD) according to gate bias in STI. a) vertical structure, b) moat structure

직 모양의 얇은 트랜치 격리 구조와 곡선화 구조 보다 개선 시키고자하는 회자 모양에 대한 시뮬레이션 결과로 게이트 단자에 바이어스를 인가한 결과 전자의 반전층이 0.6 [V] 0.8 [V]에선 거의 전자농도 분포가 나타나지 않지만, 전압이 0.5 [V]에서 전자농도 분포가 거의 나타나지 아니한 1 [V] 근처와 유사한 포화 임계전압이 0.99 [V]로 확실하게 개선된 전자 농도 분포를 나타낸다.

이 결과는 소자의 동작 시에 포화 임계전압 특성의 양

호한 결과로 원하지 않는 특성이 나타나지 않는 결과가 될 것이다. 또한 Fig. 1의 소자의 연결 금속선에 의한 전계 판의 효과에서 회자 구조 아래에 영향이 미미할 것으로 분석이 된다. 동일한 시뮬레이션 조건에서 Fig. 7의 b)는 기존의 수직 모양의 얇은 트랜치 격리 구조와 곡선화 구조 보다 개선 시키고자하는 회자 모양에 대한 시뮬레이션 결과이다.

게이트 단자에 바이어스를 인가할 결과 전자의 반전층이 0.6 [V] 0.8 [V]에선 거의 전자농도 분포가 나타나지 않지만, 전압이 0.5 [V]에서 전자농도 분포가 거의 나타나지 아니한 1 [V] 근처와 유사한 포화 임계전압이 0.99 [V]로 나타난 확실하게 개선된 전자 농도 분포를 나타내며 이 결과는 소자의 동작 시에 포화 임계전압 특성의 양호한 결과로 원하지 않는 특성이 나타나지 않는 결과가 될 것이다. 또한 Fig. 1의 전계 판의 효과에서 회자 구조 아래에 영향이 미미할 것으로 분석이 된다. 이는 MOS 구조에서 반정층의 형성 전압을 의미하며, 조자 제작시 위하지 않는 2차 기생 소자의 역할이 될 수 있다. 게이트 전압이 큰값에서 전위가 형성되어야 실제 소자에서 영향이 낮아질 것으로 분석이 되는 결과이다.

3.2 스트레스 플럭스 시뮬레이션 분석

Fig. 8의 a)는 기존의 수직 구조, b)는 제안한 회자 구조에 대한 트랜치 가장자리와 아랫부분에 대한 스트레스의 플럭스의 분포를 보인다. 플럭스 선이 조밀한 부분이 많은 스트레스를 많은 의미이고, 소한 부분이 작게 받는 부분을 의미한다. 결과에서 a)는 가장자리와 아랫 부분에서 조밀한 플럭스 결과를 보이고, b)의 결과는 비교적 반대의 결과가 나타났다.

결과 분석으로는 MOSFET 구조에서 얇은 트랜치 격리 구조가 제안한 구조에 의한 소자는 전기적 영향을 기존 구조 보다 스트레스의 영향을 훨씬 낮게 미칠 수 있다는 의미로 분석된다.

3.3 전기적 특성 분석

Fig. 9는 회자 구조에 트랜지스터의 a) 전위분포와 b) 전계 분포에 대한 결과이다. 를 나타낸 는 기존의 수직 구조, b)는 제안한 회자 구조에 대한 트랜치 가장자리와 아랫부분에 대한 스트레스의 플럭스의 분포를 보인다.

Fig. 10의 a)는 회자 구조의 트랜지스터에 대한 드레인 전류-전압 특성과 b)는 게이트 전류-전압 특성 결과이다. 특성 곡선으로는 제안한 회자 구조의 MOSFET 소자는 양호한 특성을 나타내고 있다.

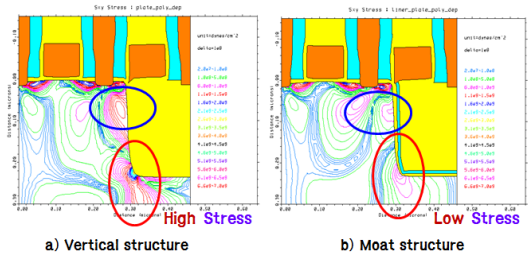


Fig. 8. The stress flux effects for STI of in shallow isolation oxide growing. a) vertical structure b) moat structure

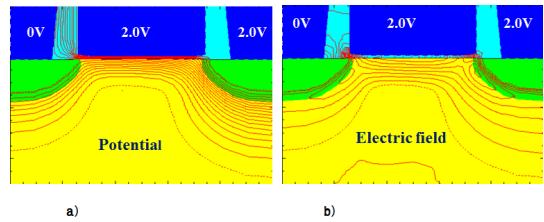


Fig. 9. The simulation results of electrical field analysis for MOSFET with moat structure STI. a) potential flux b) electrical field

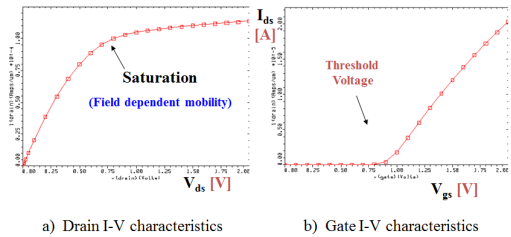


Fig. 10. The simulation results of electrical characteristics for MOSFET with moat structure STI. a) drain I-V characteristics b) gate I-V characteristics

4. 결론

소자에서 격리의 역할은 수동 격리로서의 의도한 역할에도 불구하고, 얇은 트랜치 격리는 이웃의 트랜지스터의 기구학적 상태와 전기적 성능에 영향을 미치며, 시뮬레이션 동기는 진전 시킬 기술 개발과 소자의 설계 과정에서 트랜지스터의 주요 모델을 분석할 필요가 있었다.

본 연구에서 툴(ATHENA, ATLAS)을 이용한 시뮬레이션의 중요한 두 가지 결과인 스트레스 관련 효과들과

전기적 특성의 결과를 제시하였다. 제안한 회자 구조의 얇은 트랜치 격리는 기존의 수직 구조 보다 전자농도 분포로 나타나는 임계전압에서 상당한 개선의 결과가 나타났으며, 활성영역의 산화막 형성에서 낮은 스트레스 영향과 소자에서 전류-전압 특성 결과도 양호한 특성을 나타낸다. 제작 공정에서의 실리콘의 공정 스트레스에 의한 손상 부위가 트랜치 격리의 밑 부분에 크며, 초고집적회로의 소자에 미치는 영향은 작은 것으로 판단된다.

또한 추후 이 분석 결과를 바탕으로 고집적 소자에 대한 분석이 계속될 것이다.

References

1. M.C. Cheng, et al. "An Effective Thermal Model for FinFET Structure," *IEEE Trans. Electron Devices*, vol. 61, no.1, pp. 202-206, 2014.
2. Susanna Reggiani et. al. "TCAD Simulation of Hot-Carrier and Thermal Degradation in STI-LDMOS Transistors" *IEEE Transactions on Electron Devices*, Vol. 60, No. 2, pp. 691-698, Feb. 2013.
3. W H Lee, et al. "Characterization and Capacitive Modeling of Target Concentration- Dependent Sub threshold Swing in Silicon Biosensors" *IEEE Electron Device Letters*, Vol. 35, No. 5, pp. 587-589, May 2014.
4. S. Poli, S. Reggiani, et. al. "Hot-carrier stress induced degradation in multi-STI-Finger LDMOS: An experimental and numerical insight," *Solid State Electron.*, vol. 65/66, pp. 57-63, Nov./Dec. 2011.
5. Zih-Song Wang et. al. "A New Recess Method for SA-STI NAND Flash Memory" *IEEE Electron Device Lett.*, Vol. 33, No. 6, pp. 896-898 June 2012.

1. M.C. Cheng, et al. "An Effective Thermal Model for FinFET Structure," *IEEE Trans. Electron Devices*, vol.



이 용 재 (yjlee@deu.ac.kr)

1981 경북대학교 공과대학 전자공학과 학사
 1983 연세대학교 대학원 전자공학과 공학석사
 1986 연세대학교 대학원 전자공학과 공학박사
 1988~현재 동의대학교 공과대학 전자공학과 교수
 1985~1988 한국전자통신연구원 선임연구원
 1991~1992 Texas University(at Austin), Microelectronics Center, Post doctor
 2004~2005 Texas A&M University, Research Professor

관심분야 : 집적회로 소자 설계, 회로설계, 공정설계, 반도체 시뮬레이션