

논문 2014-51-9-21

# Field-Programmable Gate Array를 사용한 탭 딜레이 방식 시간-디지털 변환기의 정밀도 향상에 관한 연구

(Improving the Accuracy of the Tapped Delay Time-to-Digital  
Converter Using Field Programmable Gate Array)

정 도 환\*, 임 한 상\*\*

(Do-Hwan Jung and Hansang Lim<sup>Ⓢ</sup>)

## 요 약

탭 딜레이(tapped delay) 방식은 field-programmable gate array(FPGA) 내부 리소스를 이용한 설계에 적합하여 FPGA기반 시간-디지털 변환기(time-to-digital converter)로 널리 사용되고 있다. 그런데 이 방식의 시간-디지털 변환기에서는 지연 소자로 사용하는 전용 캐리체인(dedicated carry chain)의 탭 당 지연시간 차이가 정밀도 저하의 가장 큰 원인이 되고 있다. 본 논문에서는 일반적인 구형과 대신 고정된 시간 폭을 가지는 펄스신호를 지연 소자로 인가하고 상승과 하강 엣지에서 두 번의 시간 측정을 통해 전용 캐리체인내 지연시간의 불균일성을 보상하고 정밀도를 향상하는 시간-디지털 변환기 구조를 제안한다. 제안한 구조는 두 번의 시간 측정을 위해 2개 구역의 전용 캐리체인을 필요로 한다. Dual 엣지 보상 전 두 전용 캐리체인에서 탭 당 지연시간의 평균은 각각 17.3 ps, 16.7 ps에서 보상 후 평균은 11.2 ps, 10.1 ps으로 감소하여 각각 35%, 39% 이상 향상되었다. 가장 중요한 탭 당 최대지연 시간은 41.4 ps, 42.1 ps에서 20.1 ps, 20.8 ps 로 50% 이상 감소하였다.

## Abstract

A tapped delay line time-to-digital converter (TDC) can be easily implemented using internal carry chains in a field-programmable gate array, and hence, its use is widespread. However, the tapped delay line TDC suffers from performance degradation because of differences in the delay times of dedicated carry chains. In this paper, a dual edge measurement method is proposed instead of a typical step signal to the delay cell to compensate for the performance degradation caused by wide-delay cells in carry chains. By applying a pulse of a fixed width as an input to the carry chains and using the time information between the up and down edges of the signal pulse, the timing accuracy can be increased. Two dedicated carry chain sites are required for the dual edge measurements. By adopting the proposed dual edge measurement method, the average delay widths of the two carry chains were improved by more than 35%, from 17.3 ps and 16.7 ps to 11.2 ps and 10.1 ps, respectively. In addition, the maximum delay times were improved from 41.4 ps and 42.1 ps to 20.1 ps and 20.8 ps, respectively.

**Keywords** : TDC, Dual edge, FPGA, Tapped delay TDC, Accuracy

---

\* 학생회원, 광운대학교 전자공학과  
(Radio Science and Engineering Department, Kwangwoon University)

\*\* 정회원, 광운대학교 전자융합공학과  
(Department of Electronics Convergence  
Engineering, Kwangwoon University)

Ⓢ Corresponding Author(E-mail: lhs@kw.ac.kr)

※ 본 연구는 2013년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원(NRF-2013R1A1A2005479)과 2014년도 광운대학교 교내학술 연구비 지원을 받아 수행되었음

접수일자: 2014년2월21일, 수정일자: 2014년8월22일, 수정완료: 2014년9월10일

## I. 서 론

시간-디지털 변환기(Time-to-Digital Converter)는 미세한 두 신호의 시간 차이를 측정하여 디지털 코드값으로 출력하는 회로이다. 보통 nano-second 이하의 미세시간 정보를 제공함으로써 입자 물리, 영상 의료 장비, 레이저 시스템, 계측장비 등 많은 분야에서 사용되고 있다<sup>[1]</sup>.

최근 FPGA를 사용하는 시간-디지털 변환기는 전용 캐리체인을 지연 소자로 사용한 탭 딜레이 방식이 널리 사용되고 있다. FPGA의 slice 내부구조에 포함되어 있는 전용 캐리체인은 외부 라우팅 없이 slice 내부 플립 플롭의 데이터 입력으로 연결되어 그 구조가 탭 딜레이 구조에 적합하다<sup>[2~3]</sup>.

탭 딜레이 방식의 시간-디지털 변환기 방식에서 지연 소자는 자의 눈금과 같은 역할을 하여 측정 대상 신호가 몇 번째 지연 소자를 통과했는지를 판별하여 시간을 측정한다. 즉, 지연 소자의 시간 특성은 해상도와 정밀도에 가장 큰 영향을 주는 요소이다.<sup>[4]</sup> 하지만, FPGA에서 지연 소자로 널리 사용되는 전용 캐리체인은 제조 공정, 환경 등의 이유로 지연 소자들의 지연시간이 동일하지 않아 지연시간의 불균일성, 그중에서도 유난히 긴 지연시간을 가지는 지연 소자 (ultra-wide bin)로 인한 정밀도 저하가 성능저하의 큰 요인이 되고 있다.

이와 같은 전용 캐리체인의 지연시간 차이로 인한 성능저하를 개선하기 위해 wave union<sup>[5~6]</sup> 방식이 사용되고 있는데, wave union 방식은 ISR(infinite step

response) 타입과 FSR(finite step response)타입으로 나누어진다. ISR 타입은 지연 소자로의 입력 신호로 ring oscillator을 사용하여 무한한 펄스를 입력하는 방식이다. 이 방식은 정밀한 측정이 가능하나, ring oscillator의 지터 보상 추가 회로가 필요로 하며 dead time이 10~20배 소요가 되어 실시간 출력을 요하는 분야에서는 불리한 특성을 가지고 있다.

FSR 타입은 지연 소자로 사용하는 전용 캐리체인에 추가로 대기열을 사용하여 3개 이상의 상태 전이를 가지는 wave union 형태를 준비하고 신호가 입력되면 wave union을 전용 캐리체인으로 전달하는 방식이다. 이 방식은 wave union을 준비하는 추가의 전용 캐리체인을 사용하므로 FPGA의 리소스 사용량이 증가하여 다채널 구성에 불리하다. 또한, 탭 딜레이 시간-디지털 변환기에서는 지연 소자의 개수가 늘어나면 비선형성의 증가로 인한 정밀도가 저하된다.

본 논문에서는 기존의 방식에서 사용하는 전용 캐리체인에 입력하는 방법 대신, 라우팅 딜레이를 사용하여 생성한 고정된 폭을 가지는 펄스를 입력하고 펄스의 상승과 하강 엣지 사이의 시간정보를 추가로 사용하여 wide delay 셀로 인한 정밀도 저하를 보상하는 시간-디지털 변환기 구조를 제안한다. 본 논문에서 제안하는 방식은 FSR과 달리 전용 캐리체인의 추가 사용 없이 캐리체인의 지연시간 불균일성을 보상한다. 예를 들어, 동일한 48개의 전용 캐리체인을 사용하여 fine 측정구간을 설계하는 경우를 가정해 보면, FSR타입은 wave union 상태를 전용 캐리체인을 사용하여 저장할 경우 추가로 16개의 전용 캐리체인이 사용된다<sup>[6]</sup> 본 논문방식은 추가되는 캐리체인 없이 48개만 사용한다. 또한, 2개 엣지 사이의 출력값을 사용함으로써 동작 방식을 간단하게 하여 출력코드의 복잡도를 줄였다.

본 논문에서 제시한 구조는 전용 캐리체인을 대기열로 사용하지 않으므로 비선형성으로 인한 해상도 저하 현상을 줄이고, 리소스를 효율적으로 사용하여 FPGA에서 다채널 구성에 유리한 장점이 있다.

## II. FPGA를 사용한 탭 딜레이 시간-디지털 변환기 설계

그림 2는 Xilinx사의 Virtex-6를 이용하여 설계한 시간-디지털 변환기의 전체 블록도를 나타낸 것으로, 입

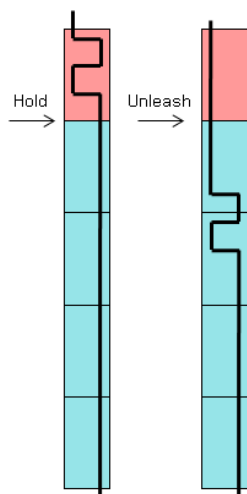


그림 1. FSR wave union 방식 구조  
Fig. 1. Simplified schematic of FSR wave union.

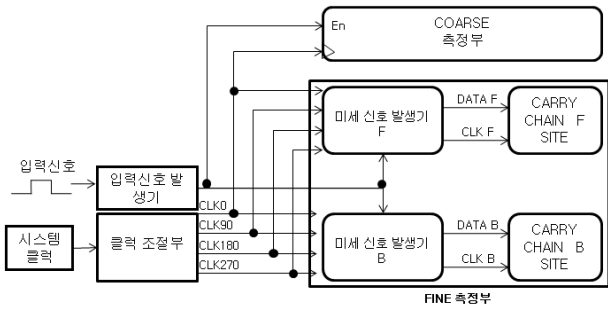


그림 2. 싱글 카운터와 탭 딜레이를 사용한 시간-디지털 변환기 블럭도  
 Fig. 2. Simplified block diagram of the tapped delay TDC architecture.

력신호의 넓은 구간을 측정하는 coarse 측정부와 미세 구간을 측정하는 2개의 fine 측정부로 구성된다.

Coarse 측정부는 시스템 클럭을 사용하여 입력신호의 'high' 상태 시간을 카운팅 하고, fine 측정부는 입력신호의 시작과 종료 시점에서 발생하는 시스템 클럭보다 작은 시간을 각각 F, B site로 나누어 탭 딜레이 구조를 사용하여 측정한다. Fine 측정부의 입력 신호는 입력 신호 발생기 회로를 거쳐 미세 신호 발생기로 입력된다.

클럭부는 mixed-mode clock manager(MMCM)을 사용하여 위상이 90°씩 차이 나는 4개의 클럭을 생성한다<sup>[7]</sup>. 위상이 서로 다른 4개의 클럭을 사용하므로 fine 측정부에서 측정하는 시간이 1/4로 줄어들고 필요한 지연소자의 개수도 줄어드는 효과를 얻을 수 있다. 결과적으로, fine 측정부의 리소스를 효율적으로 사용할 수 있어 다채널 구성에 유리하며, 우수한 선형성을 가지는 장점이 있다.

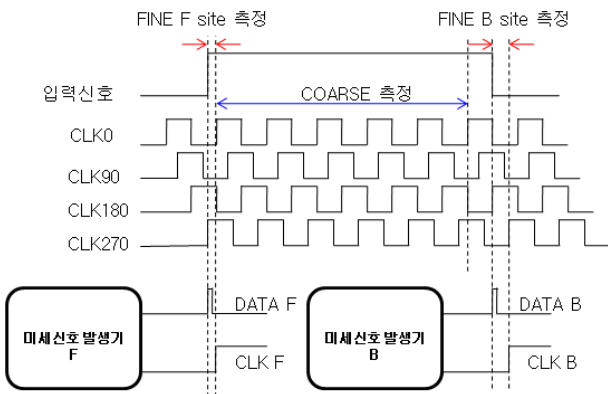


그림 3. 제안하는 시간-디지털 변환기 동작 원리  
 Fig. 3. Timing signals of proposed TDC.

그림 3은 이와 같이 4개 위상 클럭을 사용하여 제안하는 시간-디지털 변환기의 동작 원리를 나타낸다. Coarse 측정부는 입력신호의 상승 엣지와 하강 엣지 사이 구간을 CLK0으로 카운팅한다. Fine 측정부는 coarse 측정부에서 측정하지 못하는 CLK0의 한 주기보다 미세한 구간을 각각 F site와 B site로 나누어 측정한다. 미세 신호 발생기 F와 B에서는 각각 2개의 신호가 생성된다. DATA F는 입력신호의 상승 에지에서, DATA B는 입력신호의 하강 에지에서 각각 고정된 시간 폭을 가지는 펄스 신호가 발생하여 전용 캐리체인으로 전달한다. 다음으로 CLK F와 CLK B 신호는 4개의 분주 클럭 중 입력 신호의 상승과 하강 에지에서 가장 가까운 다음 신호가 감지되었을 때 발생하여 플립플롭으로 전달된다<sup>[8]</sup>.

그림 4는 제안하는 시간-디지털 변환기의 fine 측정부 F site의 회로를 나타낸다. 입력신호의 상승 엣지가 dual 엣지 펄스 생성회로를 거쳐 펄스 신호로 변환된 후, 차례로 전용 캐리체인으로 전달된다. 또한, 위상이 90°씩 차이가 나는 4개의 클럭과 입력신호의 상승 엣지를 비교하여 신호(CLK F)를 생성한 후 플립플롭으로 전달한다. 그림 4의 오른쪽 부분이 탭 딜레이 line 구조로, 지연 소자로 전용 캐리체인을 사용하였다. 입력 펄스의 상승 엣지와 하강 엣지를 각각 측정하여야 하므로 동일한 구조의 fine 측정부(F site, Bsite)를 2개로 구성하였다.

그림 5는 data F나 data B를 생성하는 dual 엣지 펄스 생성회로를 나타낸다. 입력신호의 상승 혹은 하강 에지에서 생성된 입력 신호가 첫 번째 플립플롭을 거쳐 두 번째 플립플롭의 클럭 입력과 리셋 입력으로 각각

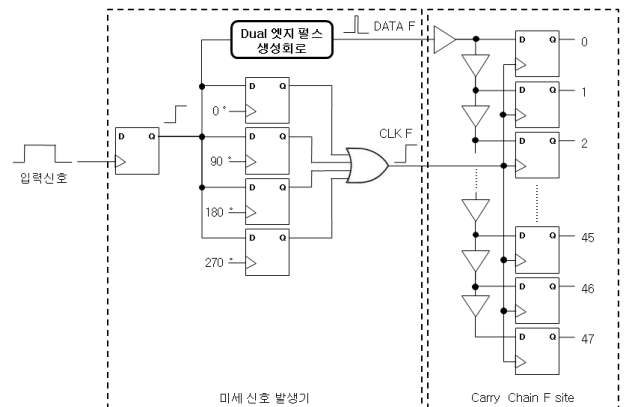


그림 4. 제안하는 시간-디지털 변환기 fine 측정부  
 Fig. 4. Fine measurement part of the proposed TDC.

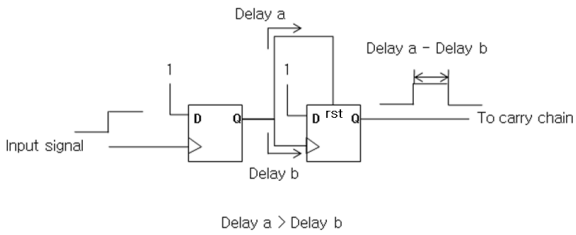


그림 5. Dual 엣지 펄스 생성회로  
Fig. 5. Dual edge pulse generate circuit.

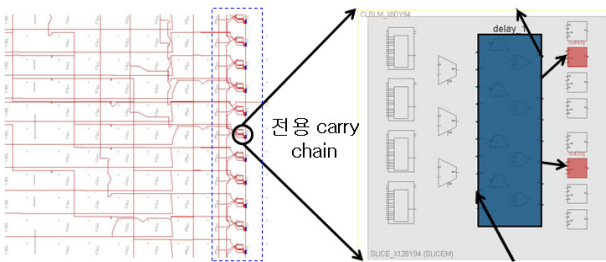


그림 6. 전용 캐리체인 연결구조  
Fig. 6. Connected structure of dedicated carry chain.

연결된다. 이때, 두 번째 플립플롭의 리셋으로 연결되는 라우팅 딜레이와 클럭으로 연결되는 라우팅 딜레이를 각각 delay a, delay b라 할 때 delay a가 delay b보다 클 경우 두 번째 플립플롭의 출력 Q는 a-b 만큼의 펄스 폭을 가지는 신호가 생성된다. 생성한 펄스의 폭은 190 ps로, 대상 fine 측정부에서 사용되는 캐리체인의 가장 큰 딜레이 측정 결과(42.1 ps)보다 충분히 길게 설정하였다.

그림 6에 FPGA에 구현한 전용 캐리체인의 연결구조와 slice 내부를 나타내었다. FPGA 내부 slice의 전용 캐리체인은 수십 ps의 셀 당 지연 시간을 가지며 slice의 Y축 방향으로 반복되어 연결되어 있다. 전용캐리체인은 하나의 slice당 1개씩 포함되어 있으며 4개의 출력이 플립플롭에 연결된 구조이다. 4개의 출력 중 시뮬레이션 상에서 일정한 지연 시간을 갖는 1, 3번을 출력으로 사용하였다.

다음은 dual 엣지 펄스 입력을 통해 캐리체인의 탭 당 지연시간의 불균일성을 보상하는 동작 원리를 제시한다. 그림 7에 직렬로 연결된 지연 소자인 전용 캐리체인의 모식도와 출력신호를 나타내었다. 그림에서 0에서 20까지의 사각형은 캐리체인에서 하나의 delay cell을 나타낸 것으로, 균일하지 않은 각 cell의 지연 시간을 사각형의 폭으로 나타내었으며 평균 지연 시간과 크게 차이가 나는 부분을 wide delay로 표기하였다.

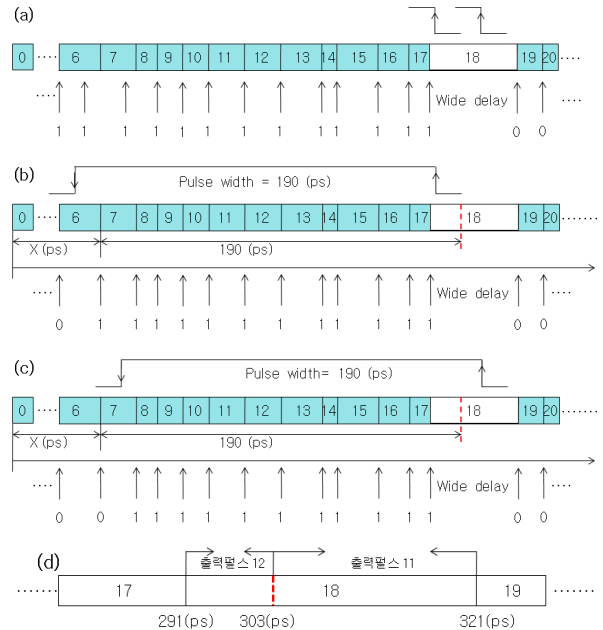


그림 7. Dual 엣지 방식 출력 신호와 single step 방식 출력 신호  
Fig. 7. Output signals of dual edge method and step method.

일반적인 탭 딜레이 방식의 시간-디지털 변환기는 지연 소자의 입력으로 0-1 상태 전이를 가지는 구형파 형태의 신호를 입력하며 이를 그림 7의 (a)에 나타내었다.

그림 7(a)에서는 wide delay 내의 어느 구간에서 상승 엣지가 발생하여도 동일한 디지털 코드를 출력하게 되어 평균적인 딜레이 해상도보다 훨씬 긴 시간 차이를 구별하지 못하게 된다. 즉, 지연 소자의 오차만큼 정밀도가 저하되는데 특히 ultra wide delay가 존재하는 FPGA 기반에서는 정밀도 저하가 매우 크게 된다.

0-1-0 transition을 가지는 dual 엣지를 사용하여 전용 캐리체인에서 해상도 향상 효과를 얻는 그림을 7(b)와 7(c)에 나타내었다. 7(b)와 7(c) 경우 모두 일반적인 구형파와 신호를 입력할 경우 wide delay를 가지는 carry 내에서는 동일한 출력을 가진다. 반면 본 논문에서 제시한 펄스 입력 방식은 일반적인 구형파와 신호를 사용하는 시간-디지털 변환기와 마찬가지로 상승 엣지에서의 carry 출력정보를 얻고, 추가로 하강 엣지와 상승 엣지 사이의 1 출력의 개수를 얻을 수 있다. 상승 엣지와 하강 엣지 사이의 1의 개수는 두 엣지 사이에 존재하는 캐리체인의 delay에 의해 결정되며 이 정보를 사용하여 wide delay를 두 영역 이상으로 나누어 측정하는 효과

를 얻는다.

그림 7(b)는 wide delay를 가지는 18번째 carry에서 상승 엣지가 발생하였고 펄스 폭인 190 ps 이후 하강 엣지가 발생하였다. 190 ps의 시간동안 11개의 carry를 지나며 펄스를 지나는 동안 12개의 플립플롭에서 1이 출력된다. 그림 7(c)도 동일한 wide delay carry에서 상승 엣지가 발생하였고 190 ps 이후 하강 엣지가 발생하였으나 펄스가 입력되는 동안 10개의 carry를 지나며 11개의 플립플롭에서 1이 출력된다. Wide delay carry인 18번째 carry에서 상승 엣지가 발생하였을 경우 펄스폭동안 '1'의 출력 개수가 결정하는 하강 엣지에서의 출력값을 x라 하면 wide delay를 가지는 18번째 지연 소자 내에서 지연시간이  $x \text{ ps} + 190 \text{ ps}$  을 기준으로 분할된다. 분할된 wide delay 내에서의 최종 출력값은 펄스가 제공하는 추가적인 출력정보인 1의 개수, 그림 7에서는 12, 11을 사용하여 18번째 캐리체인 내에서  $x+190 \text{ (ps)}$  를 기준으로 위치를 결정할 수 있다.

고정된 펄스폭이 190 ps이고, Y번째 캐리체인에서 up 신호 발생 시 생성되는 새로운 분기점  $C_{div}$ 는 다음과 같이 나타낼 수 있다.

$$C_{div} = C_{(Y-K)} + 190(\text{ps}) \tag{1}$$

- \*  $C_{(n)}$  = n번째 carry의 출력값
- \* K = 펄스의 1출력 개수

예를 들어 그림 7(d)에 지연시간이 30 ps인 18번째 캐리체인을 펄스 1 출력의 개수를 사용하여 구간을 나누는 모양을 나타낸다. 18번째 캐리체인에서 12개 이전인 6번째 캐리체인의 출력값은 113 ps 이다. 113 ps의 출력값에 펄스 폭인 190 ps를 더한 303 ps가 분할된 새로운 기준이 되며 최종 출력값은 출력되는 1의 값이 12일 경우 303 ps 이며, 출력되는 1의 값이 11일 경우 321 ps 이다. 즉, 291ps ~ 321 ps까지 30 ps의 지연시간을 가지는 18번째 wide delay cell을 각각 12 ps와 18 ps의 지연시간을 가지는 두 부분으로 나누게 된다. 위와 같은 방식으로 펄스출력의 개수를 사용하여 긴 지연 시간을 가지는 캐리체인의 정밀도를 향상하여 측정할 수 있다.

### III. 캐리체인 딜레이 측정

제안한 FPGA 기반 탭 딜레이 방식의 시간-디지털 변환기 구조를 Xilinx 사의 Virtex-6에서 구현하고 전용 캐리체인 내 셀 간 지연시간 차이와 그로 인한 시간 측정 오차를 확인하였다. 먼저, 각각의 캐리체인의 지연시간을 측정하기 위해 5 ps 단위로 입력 펄스의 폭을 늘려가며 고정된 펄스 폭당 32768 개의 샘플을 측정하였다. F site와 B site의 전체 딜레이는 각각 865 ps, 835 ps 이다. 입력 펄스 신호는 Agilent사의 81110A를

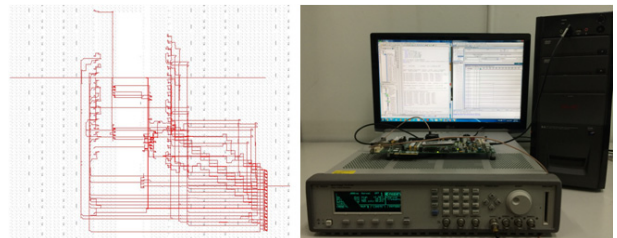


그림 8. 설계한 TDC의 FPGA 내부구조와 실험 셋업  
Fig. 8. Structure of designed TDC for FPGA and measurement setup.

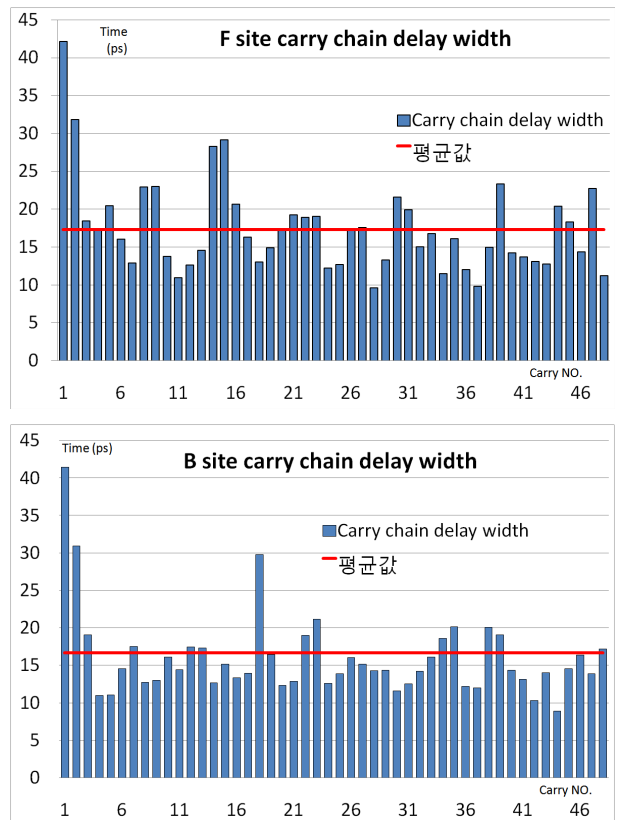


그림 9 F, B site 캐리체인 지연시간 측정값  
Fig. 9. F, B site carry chain delay width plot.

사용하여 인가하고 chip-scope를 사용하여 출력신호를 모니터링 하였다.

그림 9는 F site와 B site에서의 측정된 캐리체인 delay 셀 당 지연시간을 나타낸다. F site의 셀 당 지연시간은 최소 9.6 ps에서 최대 42.1 ps 까지, 평균 17.3 ps이며 표준편차 6.1 ps의 분포를 가지고, B site의 셀 당 지연시간은 최소 8.9 ps에서 최대 41.4 ps 까지, 평균 16.7 ps, 표준편차 6.6 ps의 분포를 가진다. 이처럼 셀 당 지연시간의 최소와 최대 비가 약 4배이며 특히 wide delay는 평균 지연시간의 약 2.5배이다.

#### IV. Dual 엣지 펄스를 사용한 전용 캐리체인 딜레이 정밀도 보상

Wide delay 셀로 인한 정밀도 저하 문제를 개선하기 위해 본 논문에서 제안한 고정된 폭을 가지는 펄스를 이용한 dual 엣지 측정방식의 시간-디지털 변환기 구조에서 정밀도 향상 정도를 실험을 통해 확인하였다.

그림 10의 (a)는 기존방식의 시간-디지털 변환기에 3.04 ns 와 3.05 ns를 입력하여 출력된 fine 측정부를 chip-scope를 사용하여 측정한 결과 파형이다. 서로 다른 시간을 입력하였지만, 출력은 18번째 carry까지 1이 출력되어 18번째 carry의 지연시간만큼의 오차가 나타난다. 그림 10의 (b)와 (c)는 캐리체인 입력으로 제안한 dual 엣지 펄스생성 회로를 사용하여 설계한 시간-디지털 변환기에 3.04ns 와 3.05 ns를 입력하여 출력된 fine 측정부 출력이다. 3.04 ns 를 입력하였을 경우 18번째 출력과 12개의 1펄스 출력을 얻을 수 있고 3.05 ns 를 입력하였을 경우 18번째 출력과 11개의 1 펄스 출력을 얻을 수 있다.

그림 11은 그림 10에서 보여진 엣지간 시간 정보를 이용한 delay셀간 지연시간 불균일성 개선 효과를 나타낸다. Dual 엣지 보정 전 그래프는 일반적인 탭 딜레이 시간-디지털 변환기의 그래프로, 전용 캐리체인의 딜레이 차이로 인한 오차가 그대로 출력에 나타난다. 반면 dual 엣지 보정 후 그래프는 2개 엣지 사이의 시간 정보를 추가로 사용함으로써 wide delay셀의 지연 시간이 크게 감소하였음을 보여준다. 그림 11에서 보정 전 carry output의 개수는 F, B site에서 각각 48개이지만, 보정 후에는 출력되는 1의 개수가 다른 wide delay셀이 분기점을 기준으로 나뉘어 측정되어 carry output 개수

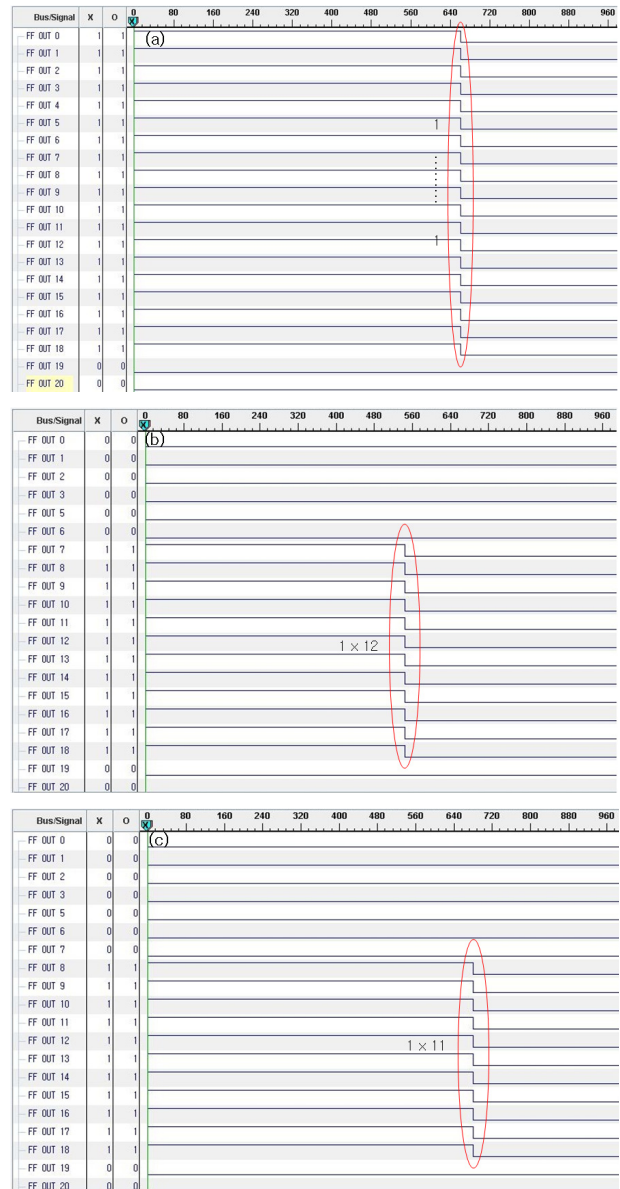


그림 10. Dual 엣지와 single step방식의 chip-scope 출력 신호  
Fig. 10. Chip-scope signals of dual edge method and step method.

가 각각 81, 85개로 증가하였다.

보정 전 20 ps 이상의 지연시간을 가지는 지연 소자는 F site에서 7개, B site에서 12개이고, 최대 지연시간은 42.1 ps 였다. 반면, 보정 후에는 20 ps를 초과하는 지연 소자가 F site에서 1개, B site에서 2개이며 최대 지연시간이 20.8 ps로 20 ps를 초과하는 지연시간을 가지는 wide delay 셀의 수가 84% 이상 감소하였다.

표 1에서 보이듯이 dual 엣지 보상으로 정밀도 저하에 특히 영향이 큰 ultra wide bin의 최대값이 F site에

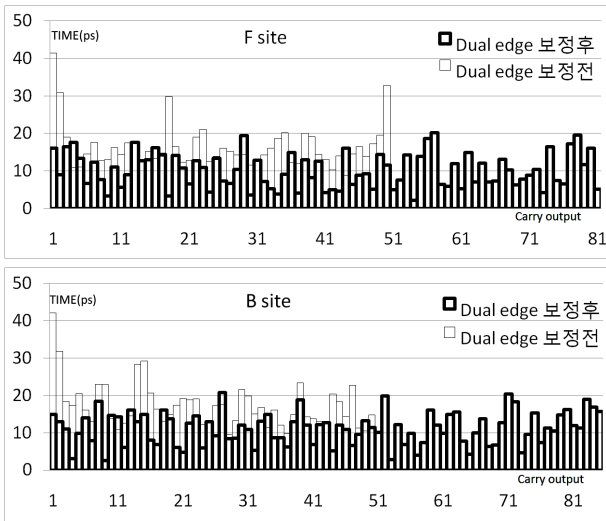


그림 11. F, B site 전용 캐리체인 딜레이 보정 전, 후 그래프

Fig. 11. F, B site dedicated carry chain delay width correction plot.

표 1. F, B site 전용 캐리체인 딜레이 보정 전, 후 parameters

Table 1. F, B site dedicated carry chain delay width parameters.

		최소	최대	평균	표준편차
B site	보정 전(ps)	8.9	41.4	16.7	6.6
	보정 후(ps)	2.2	20.1	10.1	4.7
F site	보정 전(ps)	9.6	42.1	17.3	6.1
	보정 후(ps)	2.6	20.8	11.2	4.4

서 42.1ps에서 20.8 ps로 50%, B site에서 41.4 ps에서 20.1 ps로 51% 이상 감소하였다. 평균 지연시간도 F site와 B site에서 각각 11.2 ps와 10.1 ps로 35%와 39% 이상 감소하였으며, 표준편차도 각각 4.7 ps와 4.4 ps로 감소하여 불균일성이 개선되었음을 확인하였다.

### V. 결 론

본 논문에서는 FPGA의 전용 캐리체인을 사용한 탭 딜레이 방식 시간-디지털 변환기에서 dual 엣지 간 시간 정보를 이용한 정밀도 향상 방식을 제안하였다. 전용 캐리체인을 구성하는 셀들의 지연시간 불균일성은 탭 딜레이 방식 시간-디지털 변환기에서 정밀도 저하의 가장 큰 요인이 된다. 본 논문에서는 고정된 펄스 폭을 가지는 신호를 fine 측정부에 입력하고, 상승 엣

지와 하강 엣지에서의 시간 정보를 사용하여 wide delay로 인한 정밀도 저하를 개선하였다. 지연 소자의 구성 이외에 추가적인 캐리체인의 사용 없이 지연단을 구성하여 이로 인한 비선형성 증가를 막고 리소스 사용량을 줄였다.

정밀도 저하에 특히 영향이 큰 ultra wide bin의 최대값이 F, B site에서 각각 50%, 51% 감소하였으며 평균 지연시간도 F site에서 35%, B site에서 39% 이상 감소하였다. 표준편차는 보정 전 F site 6.1 ps, B site 6.6에서 보정 후 4.7 ps, 4.4 ps 이다.

### REFERENCES

- [1] P. Palojarvi, K. Maatta, and J. Kostamovaara, "Integrated time-of-flight laser radar," *IEEE Trans. Instr. Meas.*, vol. 46, no. 4, pp. 996-999, Aug. 1997.
- [2] M. A. Daigneault and J. P. David, "A high-resolution time-to-digital converter on FPGA using dynamic reconfiguration," *IEEE Trans. Instrum. Meas.*, vol. 60, no. 6, pp. 2070-2079, June. 2011.
- [3] G. W. Roberts and M. Ali-Bakhshian "A brief introduction to time-to-digital and digital-to-time converters," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 57, no. 3, pp. 153-157, Mar. 2010.
- [4] P. M. Levine and G. W. Roberts "High-resolution flash time-to-digital conversion and calibration for system-on-chip testing", *IEEE Comput. Digit. Technol.*, vol. 152, no. 3, pp. 415-426, May. 2005.
- [5] J. Wu, Z. Shi, and I. Y. Wang, "Firmware-only implementation of time-to-digital converter (TDC) in field programmable gate array (FPGA)," *IEEE Nuclear Science Symp. Conf.*, pp. 177-181, Oct. 2003.
- [6] J. Wu and Z. Shi "The 10-ps wave union tdc: Improving FPGA tdc resolution beyond its cell delay", *IEEE Nucl. Sci. Symp. Conf. Rec.*, pp. 3440-3446, Oct. 2008.
- [7] K. J. Hong, E. Kim, J. Y. Yeom, P. Olcott and C. Levin, "FPGA-based time-to-digital converter for time-of-flight PET detector," *IEEE Nuclear Science Symp. and Medical Imaging Conf.*, pp. 2463-2465, Nov. 2012.
- [8] Hyun-Chul Jung and Hansang Lim, "Time-to-

Digital Converter implemented in Field-Programmable Gate Array using a Multiphase Clock and double state measurements”, *IEIE System and Control*, Vol. 51 No. 8 pp. 1584-1592, Aug. 2014.

---

저 자 소 개

---



정 도 환(학생회원)  
2011년 광운대학교  
전자통신공학과  
학사 졸업.  
2014년 광운대학교 전파공학과  
석사 졸업.

<주관심분야 : 음성 시스템 설계, 자동차 전자>



임 한 상(정회원)  
1996년 서울대학교  
전기공학부 학사 졸업.  
1998년 서울대학교  
전기컴퓨터공학부  
석사 졸업.  
2004년 서울대학교 전기컴퓨터  
공학부 박사 졸업.

2009년~현재 광운대학교 전자융합공학과 부교수  
<주관심분야 : 음성 신호 시스템, 자동차 전장>