

Trench 식각각도에 따른 Super Junction MOSFET의 래치 업 특성에 관한 연구

정현석¹, 강이구^{1,a}

¹ 극동대학교 태양광공학과

Study on Latch Up Characteristics of Super Junction MOSFET According to Trench Etch Angle

Hun Suk Chung¹ and Ey Goo Kang^{1,a}

¹ Department of Photovoltaic Engineering, Far East University, Eumseong 369-851, Korea

(Received July 30, 2014; Accepted August 24, 2014)

Abstract: This paper was showed latch up characteristics of super junction power MOSFET by parasitic thyristor according to trench etch angle. As a result of research, if trench etch angle of super junction MOSFET is larger, we obtained large latch up voltage. When trench etch angle was 90°, latch up voltage was more 50 V. and we got 700 V breakdown voltage. But we analyzed on resistance. if trench etch angle of super junction MOSFET is larger, we obtained high on resistance. Therefore, we need optimal point by simulation and experiment for solution of trade off.

Keywords: Super junction, Latch up, n-pillar, p-pillar, On-resistance, Breakdown voltage, Trench angle, Power devices, Power MOSFET, Epi-layer, Latch-up

1. 서 론

SJ (super junction) MOSFET 구조는 기존의 기본 power MOSFET에 super junction 구조를 추가하여 온저항을 획기적으로 낮춤으로써 현재 power 반도체의 한 시대를 이끌어나가는 구조로서 각광받고 있다. 하지만 이 super junction 구조는 공정상으로 구현이 어렵기 때문에 이에 대한 최적화 연구가 진행되고 있다 [1,2]. 현 power 반도체 시장에서는 전기적인 특성

향상을 위한 연구가 계속 진행되고 있다. 하지만 기본 물질인 silicon을 기반으로 하고 있기 때문에 silicon이 아닌 다른 물질을 사용하지 않는 이상 한계점에 도달할 수밖에 없다 [3,4]. 이 silicon의 최대 한계 지점까지 온 상태 전압강하와 항복전압과의 트레이드오프 최대치를 극복하기 위하여 제안된 구조가 SJ (super junction) MOSFET이다. 또한, 전력반도체에서는 과도 전압으로 인해 구조상 존재하는 기생 사이리스터가 동작하게 되는 래치 업 특성을 필연적으로 갖게 된다. 기생 사이리스터가 동작하게 되면 턴 오프가 되지 않고 지속적으로 동작하게 되어 결국에는 소자가 파괴되는 현상을 가져오게 된다. 일반적으로 주어진 전압 전류 정격 안에서는 이러한 래치 업 현상은 오진 않지만, 면밀히 분석할 필요가 있다고 판단된다.

a. Corresponding author; keg@kdu.ac.kr

Copyright ©2014 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

따라서 본 논문에서는 SJ (super junction) MOSFET의 핵심 공정인 트렌치 식각 각도에 따른 소자의 래치 업 특성에 대해 서술하고자 하였다.

2. 실험 방법

2.1 래치 업 현상의 이론적 배경

래치 업은 과도한 입력 전압 등에 의해 기생 사이리스터나 기생 트랜지스터가 도통하여 전원 단자 간에 대전류가 흘러서 회로가 오작동 하거나 혹은 파괴되는 현상을 말한다. 보통 CMOS의 경우에는 pnpn 구조인 기생 사이리스터가 턴 온 되어서 발생하며, CMOS 회로에서 흔하게 발생할 수 있는 가장 큰 문제 중의 하나이다. 어떤 특정한 조건에 의해 전원단과 접지단의 경로가 형성되어 높은 전류가 흘러 실제 전원을 차단하기 전에 계속적으로 전류가 증가하게 되어 소자를 파괴하는 현상이다.

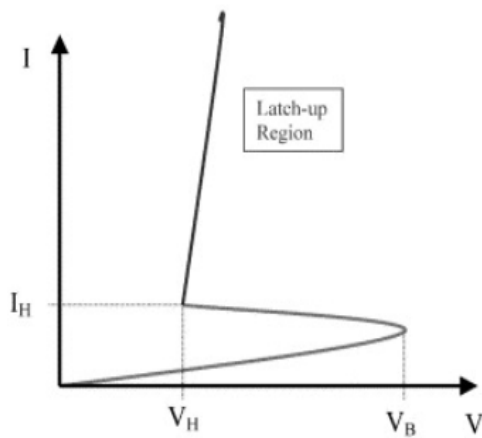


Fig. 1. The graph of latch up characteristics.

그림 1은 전형적인 래치 업 현상이 일어날 때의 기본적인 I-V 특성을 보여주고 있다. 일정한 전압 V_B 를 넘어갔을 때 전류가 급격히 증가하면서 V_H 전압으로 떨어지고 난 이후 I_H 전류 값을 넘어서 통제할 수 없는 수준으로 전류가 흐르게 됨을 볼 수 있다. 따라서 래치 업이 일어날 때까지의 최대 전압을 확보하는 것이 중요하다.

또한, 그림 2와 같이 SJ (super junction) MOSFET

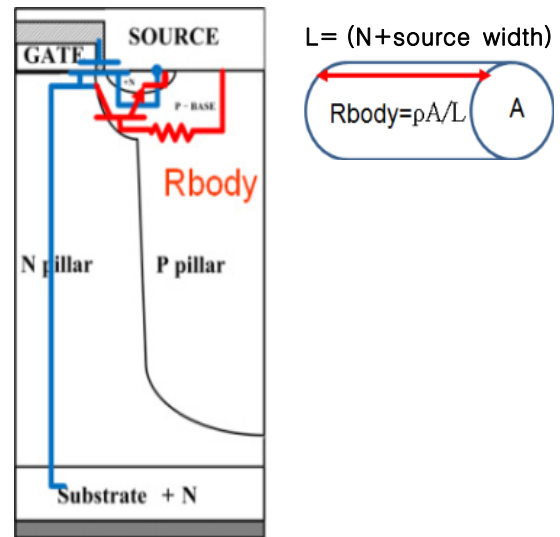


Fig. 2. The structure of SJ MOSFET and equivalent circuit of latch up.

의 경우에는 MOSFET에서의 n-drift, p-pillar, n+로 이루어진 NPN 바이폴라 트랜지스터가 턴 온되는 현상이 일어나게 된다. 소오스 (source)와 바디 (body) 사이에 저항으로 표시된 R_{body} 부분에 일정 이상의 전류가 흐르게 되면 R_{body} 와 흐르는 전류에 따른 전압이 가해지게 되어 NPN 바이폴라 트랜지스터가 턴 온 되게 된다. 이때 턴 온 되는 바이폴라 트랜지스터는 게이트에 의해 통제되는 스위치가 아니므로 통제 하지 못하고 계속해서 전류가 흐르게 되는 현상이 발생한다.

래치 업이 발생하는 전압은 바디 영역을 지나가는 전류인 I_{Body} 에 의해 발생하는 전압으로서 이 전압을 결정하는 요소인 바디 전류와 바디 저항의 두 가지 요소로 나타낼 수 있다. 이를 모델링하면 식 (1)과 같이 나타낼 수 있다.

$$V_{BE} = I_{Body} \cdot R_{Body} \tag{1}$$

식 (1)에서 보듯이 래치 업 현상을 감소시키기 위해서는 바디 전류가 많이 흐르지 못하게 하거나 바디 저항을 감소시켜야 한다. 그러나 많은 경우, I_{Body} 는 드레인 전류에 의해 발생하는 것으로 감소시키기 어려운 파라미터이다. 따라서 래치 업을 감소시키기 위해서는 바디저항을 감소시키는 방향으로 설계를 진행해야 한다.

3. 결과 및 고찰

트렌치 각도와 래치 업 현상의 상관관계를 관찰하기 위해서 온도 변화 측정 때와 마찬가지로 89°부터 0.1° 간격으로 변화시키면서 시뮬레이션을 수행하였다.

그림 3에서 볼 수 있듯이 89°에서는 전압이 38.12 V일 때 래치 업 현상이 발생했고, 90°일 경우에는 50.53 V로 가장 큰 전압에서 래치 업이 발생함을 확인할 수 있었다.

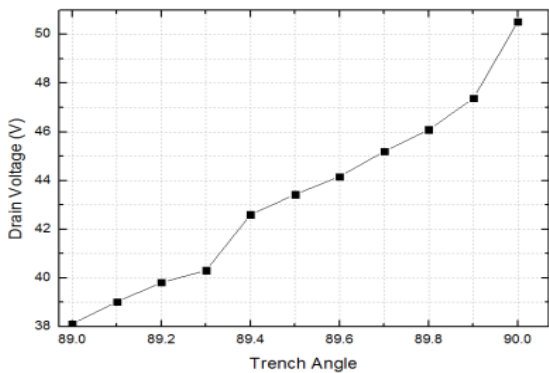


Fig. 3. The latch up voltage characteristics of SJ MOSFET according to trench etch angle.

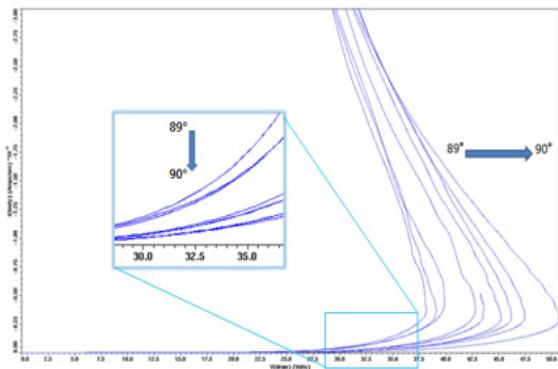


Fig. 4. The body current characteristics according to trench etch angle.

그림 3과 같은 결과에 대한 원인분석을 하기 위해 바디 전류를 분석하였다. 그림 4에서 보는바와 같이 trench 각도가 더 작은 구조일수록 같은 드레인 전압 조건에서 더 큰 바디전류를 가짐을 확인할 수 있

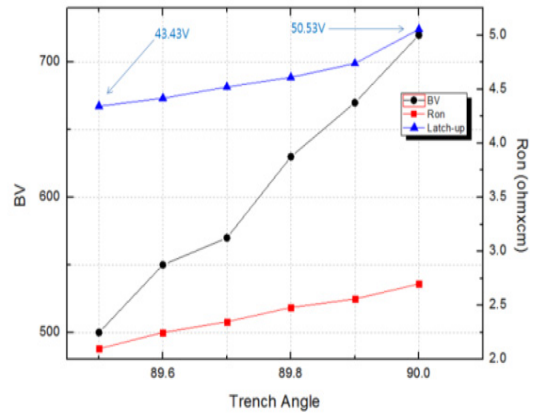


Fig. 5. The electrical characteristics including latch up voltage of 600 V class SJ MOSFET according to trench etch angle.

었다. 위 시뮬레이션 결과에 나오듯이 같은 드레인 전압일 때 트렌치 식각 각도가 커질수록 더 작은 바디전류를 가지는 것을 볼 수 있다. 트렌치 식각 각도가 작으면 그만큼 BJT를 턴 온 시키는 저항에 전압을 더 많이 가지게 되는 것이므로 BJT가 더 빨리 턴 온 되는 것을 알 수 있다. 결과적으로 트렌치 식각 각도가 90°에 가까울수록 같은 드레인 전압을 가질 때 바디전류를 적게 가지므로 BJT가 켜지는 드레인 전압, 즉 더 큰 드레인 전압까지 래치 업 현상을 연장시킬 수 있다.

위 그림 5는 트렌치 식각 각도에 따른 600 V급 SJ MOSFET의 항복전압, 온 저항 그리고 래치 업의 결과 값을 보여주고 있다. 600 V의 항복전압을 기준으로 트렌치 식각 각도를 높이면 더 큰 항복전압과 50 V에 가까운 높은 래치 업 전압을 얻을 수 있지만, Ron이 2.6 Ωcm 가까이 증가하는 것을 볼 수 있다. 반대로 600 V보다 낮은 항복전압에서는 Ron값이 2.4 Ωcm 보다 작은 장점이 있지만 43 V정도의 50 V보다 낮은 래치 업 전압을 가지게 된다. 따라서 설계를 위한 전형적인 트레이드 오프를 확인할 수 있다. 설계시 N-drift와 P-pillar 농도는 같은 값으로 고정시켜 놓고, Trench 각도만을 하나의 변수로서 변화시키며 여러 요소들의 최적점을 찾아주었다. 하지만 N-pillar 영역과 P-pillar 영역의 농도를 변화시켜 두 영역 간의 전하 균형을 조절시키면 지금까지 결과와는 다른 이상적인 최적 점을 찾을 수 있어 추후 실험이 요구될 수 있다고 판단된다.

4. 결 론

본 논문에서는 SJ MOSFET의 기생적으로 존재하는 사이리스터에 의한 래치 업 특성에 관련하여 서술하였다. 또한, 핵심공정인 트랜치 식각 각도에 따른 래치 업 전압의 변화를 연구하였다. 연구한 결과 600 V급 SJ MOSFET의 트랜치 식각 각도가 커지면 커질수록 래치 업 전압도 상승하는 것을 알 수 있었으며, 90°의 식각 각도를 가질 때 50 V 이상의 높은 래치 업 전압을 얻을 수 있었으며, 그때의 공정 및 설계변수를 활용하면 700 V 이상의 높은 항복전압도 얻을 수 있었지만, 상대적으로 온 저항의 값도 증가하였다. 온 저항이 증가하였다는 것은 스위칭 손실이 많아지게 되어 전형적인 트레이드 오프관계에 놓이게 된다. 소자의 정격 안에서 래치 업이 발생하지 않도록 하는 것이 매우 중요하므로 설계 및 공정 변수에 변화를 주어 최적의 설계 점을 찾는 것이 매우 중요할 것으로 판단된다.

REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. KIEEME*, **15**, 758 (2002).
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. KIEEME*, **24**, 713 (2011).
- [3] M. A. Paul and D. J. Bates, *Electronic Principles* (McGraw-Hill College, 2006)
- [4] E. Gates and L. Chartrand, *Introduction to Electronics, 4ed.* (Delmar, 2001)
- [5] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, **22**, 12 (2009).
- [6] H. S. Lee, E. G. Kang, A. R. Shin, H. H. Shin, and M. Y. Sung, *KIEE*, **7** (2006).
- [7] W. H. Hayt, Jr., *Eng. Ineer. Ingelect. Romagnetics-7ed* (McGraw-Hill, 2005)