

## 새로운 트렌치 게이트 MOSFET 제조 공정기술 및 특성

# A New Manufacturing Technology and Characteristics of Trench Gate MOSFET

백종무<sup>1</sup> · 조문택<sup>2\*</sup> · 나승권<sup>3</sup>

<sup>1</sup>대원대학교 전자정보통신과

<sup>2</sup>대원대학교 전기전자계열

<sup>3</sup>한국폴리텍대학 원주캠퍼스 의용공학과

Jong-mu Baek<sup>1</sup> · Moon-taek Cho<sup>1\*</sup> · Seung-kwon Na<sup>2</sup>

<sup>1</sup>Department of Electronic Communication Engineering, Daewon University College, Choongcheongbook-do, 390-702, Korea

<sup>2</sup>Department of Electrical & Electronic Engineering, Daewon University College, Choongcheongbook-do, 390-702, Korea

<sup>3</sup>Department of Biomedical Engineering, Korea Polytechnic College Wonju Campus, Gangwon-do, 220-955, Korea

### [요 약]

본 논문에서는 트렌치 게이트 MOSFET에 적용을 위한 고 신뢰성을 갖는 트렌치 형성기술과 고품격의 제조기술을 제안하였다. 이는 향후 전력용 MOSFET에 널리 적용이 가능하다. 트렌치 구조는 DMOSFET에서 셀 피치크기를 줄여서 Ron 특성을 개선하거나 대다수 전력용 IC에서 전력용 소자를 다른 CMOS(Complementary Metal Oxide Semiconductor) 소자로부터 독립시킬 목적으로 채용된다. 마스크 레이어를 사용하여 자기정렬기술과 산화막 스페이서가 채용된 고밀도 트렌치 MOSFET를 제작하기 위한 새로운 공정방법을 구현하였다. 이 기술은 공정 스텝수를 감소시키고 트렌치 폭과 소오스, p-body 영역을 감소시킴으로써 결과적으로 셀 밀도와 전류 구동성능을 증가시키며 온 저항의 감소를 가져왔다.

### [Abstract]

In this paper, high reliable trench formation technique and a novel fabrication techniques for trench gate MOSFET is proposed which is a key to expend application of power MOSFET in the future. Trench structure has been employed device to improve Ron characteristics by shrinkage cell pitch size in DMOSFET and to isolate power device part from another CMOS device part in some power integrated circuit. A new process method for fabricating very high density trench MOSFETs using mask layers with oxide spacers and self-align technique is realized. This technique reduces the process steps, trench width and source and p=body region with a resulting increase in cell density and current driving capability and decrease in on resistance.

**Key word** : MOSFET, Trench, Self-align, DMOSFET, Mask layers.

<http://dx.doi.org/10.12673/jant.2014.18.4.364>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 11 July 2014; Revised 25 August 2014

Accepted (Publication) 20 August 2014(30 August 2014)

\*Corresponding Author; Moon-taek Cho

Tel: +82-43-649-3213

E-mail: mtcho@mail.daewon.ac.kr

## I. 서론

현대산업사회는 다양한 기능과 빠른 동작속도를 갖는 초고 집적 반도체소자의 발전에 힘입어 전자 시스템화 및 자동화에 의한 정보화 사회의 실현이 가능하게 되었다. 이러한 전자시스템의 구성은 정보를 처리하는 장치와 신호나 정보를 동작으로 변환하여 주는 변환기로 크게 구분할 수 있다. 그리고 변환기에서의 핵심부품은 전력소자로 구성된다. 그런데 반도체 공정기술의 발달로 정보처리장치의 부가적인 기능과 능력은 증대되었으나, 변환기에 대한 발전 속도가 상대적으로 늦어져서 불균형 상태가 초래되었다. 따라서 균형 있는 발전을 위해서는 변환기에 많이 사용되는 전력소자의 개발이 필수적이다[1]-[3].

대부분의 고전류용 전력 MOSFET(metal oxide semiconductor field effect)는 인버터, 컨버터 등의 스위칭 소자로 응용되어 왔으며, 하나의 칩위에 수직형 구조를 갖는 DMOSFET(depletion metal oxide semiconductor field effect)계열의 셀들을 병렬로 연결하여 사용된다. 이 때 스위칭 소자로서의 관건은 스위칭 손실과 전력 손실을 최소화하는 것이므로 온 저항(Ron)을 낮게 유지하는 것이 절대적으로 중요하게 된다. 그러나 전력용 MOSFET에서의 온 저항과 드레인-소오스 순방향 차단 전압 특성 사이에는 trade-off 관계가 있으므로 전력용 MOSFET의 설계시에는 온 저항을 최소로 줄이면서 주어진 전압에서 채널 전류를 최대화하려는 노력이 과제가 되어왔다[4]. 이를 위해서는 개별 셀 크기를 더욱 작게 하여 제한된 면적 위에 배치함으로써 동시에 스위칭 되는 셀의 수를 증대시키는 방법이 가장 효과적이다. 결국 전력용 MOSFET의 기술적 과제는 가로방향의 미세화 및 집적화에 있다고 할 수 있다. 그런데 DMOSFET 셀 구조에서는 셀 간의 거리가 가까워질수록 인접한 셀 간의 기생 JFET가 발생하게 되므로 결과적으로 미세화 추구의 한계가 나타난다[4].

본 논문에서 트랜치 형성을 위한 공정조건과 이를 바탕으로 높은 셀 밀도와 공정 단순화를 실현할 수 있는 새로운 트랜치 게이트 MOSFET의 제조공정기술에 관한 연구를 하였다. 또한, 기존의 실리콘 식각기술과 다른 식각장치와 식각 가스의 조합을 통하여 식각 실험을 하였다. 횡방향 식각 억제 효과에 의한 식각프로파일의 제어와 결정결함, 잔유물 등에 의한 오명을 최소화할 수 있는 신뢰성 있는 트랜치의 형성 기술과 첨가가스의 유량비에 따른 식각속도, 식각 프로파일 변화, 식각 후의 표면 거칠기에 대한 연구를 하였다. 이어서 고온 산화막의 성장과 n형 불순물의 도핑된 다결정 실리콘을 이용하여 void 등의 불량 이 최소화된 채움과 CMP에 의한 트랜치 평탄화 실험을 동시에 수행하였으며, 통상적인 트랜치 게이트 MOSFET의 셀 제조 공정기술과는 다른 개념의 새로운 공정기술을 제안하였다.

## II. 트랜치 형성

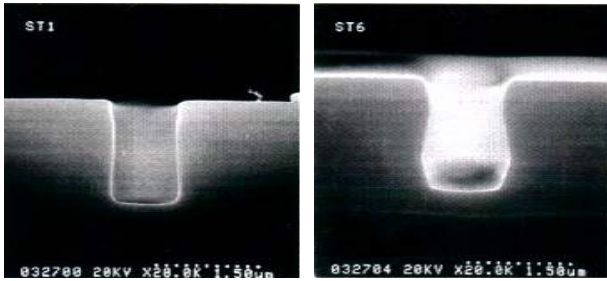
전력용 MOSFET에서 트랜치 구조의 채택은 먼저 수직형 셀인 DMOSFET에서 드러난 미세화의 한계수준 이상으로 미세화를 실현하기 위해서는 U자형 홈 구조의 옆면을 통해 수직형 전도채널을 형성하는 트랜치 게이트 MOSFET를 제안하였다. 두 번째로, 소자의 집적화에 유리한 구조를 갖고 있는 수평형 셀인 LDMOSFET 경우에서도 고도의 집적화를 실현하기 위해서는 역시 가로방향의 미세화가 필요하게 되는데 이 때 각 소자 간을 완전히 격리시키는 방법이 중요한 핵심기술이 된다. 이를 위해서는 깊은 접합격리기술, 유전체 이용 격리 기술 등이 주로 사용되어 왔으나 미세화 대응에 있어서 이미 한계가 드러난 LOCOS (local oxidation of silicon) 등의 격리 기술 등을 대체할 수 있는 새로운 방안이 요구된다.

본 논문에서는 merie 장치에서 장치 C-F계 식각 가스를 대체하여 다양하게 사용될 것으로 생각되는 HBr 가스를 이용한 실리콘 트랜치 식각실험을 수행하였으며, He-O<sub>2</sub>, SiF<sub>4</sub>, CF<sub>4</sub> 등의 첨가 가스를 넣어 식각 가스의 구성과 조성비 변화에 따른 식각 속도 및 식각 프로파일 개선, 잔류물 감소 동향을 관찰하였다.

### 2-1 실험방법

트랜치 식각을 위한 방지막 제작을 위해 5인치 웨이퍼 위에 식각 방지막으로 teos산화막을 5000 Å 정도 증착시키고, 이 층 위에 PR을 입힌 후 트랜치 식각의 opening으로 1.0 μm의 패터닝 공정을 수행하였다. 실리콘 식각을 통한 낮은 트랜치 형성을 위해 패터닝된 실리콘 웨이퍼를 건식장비에서 HBr, He-O<sub>2</sub>, SiF<sub>4</sub>, CF<sub>4</sub> 등의 가스를 유입하여 플라즈마 식각을 하였다. 이 때 O<sub>2</sub>는 플라즈마 식각시 식각 마스크인 TEOS 산화막의 erosion에 의해 발생하는 실리콘 원자를 이용하여 트랜치 측벽면에 횡방향 식각 억제용 잔류막의 형성 가능성을 추구하기 위함이다.

가스첨가에 따른 트랜치 식각 특성의 변화를 보기 위해서 식각 압력은 125 mTorr, 플라즈마의 RF power는 600 W, 자계는 30 Gauss로 고정하고 식각 가스의 유량비를 각각 변화시키면서 낮은 트랜치의 경우 2분, 깊은 트랜치의 경우 10분이상 식각공정을 시행한 후 플라즈마 식각된 시편을 주사전자현미경으로 관찰하였다. 식각 챔버의 전구 온도는 20°C로 유지하였다. 표면형상의 관찰 및 표면성분, 잔류물 분석을 위해서는 식각 방지막이 없는 실리콘 웨이퍼를 같은 조건에서 30초동안 플라즈마 식각한 후 곧바로 X선 광전자분석과 주사전자현미경을 이용하여 표면형상을 관찰하였다. 표면 성분의 깊이에 따른 상대적인 분포를 알아보기 위해서는 X선의 입사각을 0~90°까지 5°간격으로 기울이는 angle resolved 분석을 수행하였으며, 표면층에 잔류하는 원소의 화학적 결합상태를 자세히 알아보기 위해서 gaussian과 lorentzian 함수를 이용한 성분 분해 분석을 수행하였다. 그리고 최종적으로 깊은 트랜치 형성 후 일부 시편에 대해서는 teos산화막과 n형 불순물이 도핑된 다결정 실리콘을 증착하여 채움공정을 하였다. 그리고 표면 평탄화는 기계화학적 연마를 이용하였다.



(a) HBr/He-O<sub>2</sub> (b) HBr only

그림 1. 트렌치 식각 후 SEM 단면 사진

Fig. 1. SEM photograph after trench etching.

2-2 실험결과 및 고찰

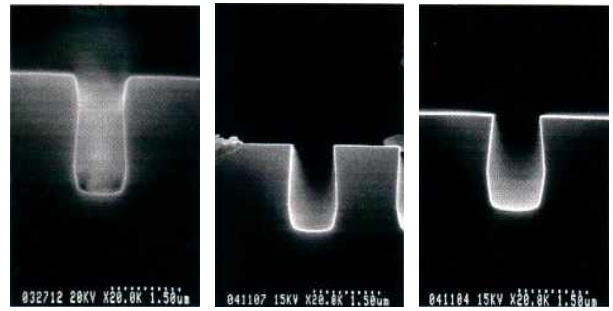
1) 첨가가스에 따른 식각 특성과 식각 단면 분석

첨가가스인 He-O<sub>2</sub>에 의한 식각 특성을 알아보기 위해 HBr만을 사용할 때와 6:1의 유량비를 갖는 HBr/He-O<sub>2</sub>를 이용하여 트렌치 구조를 식각하였다. 식각 시 사용한 조건은 MERIE 장치에서 자계와 식각가스의 압력 및 파워를 고정하고 120초동안 식각하였다. 이 때 식각 방지막으로는 TEOS 산화막을 사용하였으며 트렌치 구조의 폭은 1 μm로 하였다. 각 경우에 있어서 식각 후 실리콘 트렌치 영역의 식각 단면에 대한 주사 전자현미경 사진을 그림 1에 나타냈다.

그림 1(a)는 HBr만을 사용한 경우이며, 그림 1(b)는 6:1의 유량비를 갖는 HBr/He-O<sub>2</sub>를 사용한 경우로 실리콘 트렌치 영역의 식각 깊이는 1.85 μm, 1.6 μm 정도이다.

식각 후의 식각 단면에 대한 주사 현미경 사진을 그림 2에 나타냈다. 그림 2(a)는 SiF<sub>4</sub>와 CF<sub>4</sub>를 1:1로 첨가한 경우이다. 그림 2(b)는 3:1로 첨가한 경우로 SiF<sub>4</sub>가 CF<sub>4</sub>보다 많은 경우이며, 그림 2(c)는 반대로 1:3으로 첨가하여 CF<sub>4</sub>가 많은 경우이다. 즉, CF<sub>4</sub>에 비해 SiF<sub>4</sub>의 첨가량이 많을수록 He-O<sub>2</sub>를 첨가한 경우와 유사한 식각특성이 나타나며 이는 SiF<sub>4</sub>가 F계 식각가스를 이용한 실리콘의 식각에서 반응 생성물이라는 사실을 고려하면 트렌치 측벽면에서는 SiF<sub>4</sub>의 유입에 따른 화학적인 식각속도의 저하로 인해 횡방향 식각률이 떨어진 것으로 생각할 수 있다. 그러나 플라즈마 내에서 F의 분해율이 가장 큰 CF<sub>4</sub>가스의 첨가에 의해서는 화학적인 반응성이 반대로 증가하므로 트렌치 측벽면에서 횡방향 식각은 증가할 것이며, 그림 2(c)에서 이를 확인할 수 있었다.

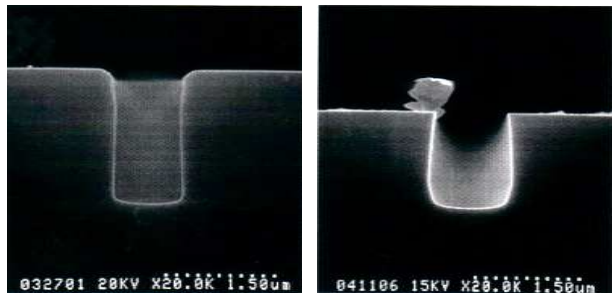
SiF<sub>4</sub>와 CF<sub>4</sub> 가스에 의한 영향을 알아보기 위해서 HBr/He-O<sub>2</sub>에 SiF<sub>4</sub>와 CF<sub>4</sub>만을 각각 첨가하여 식각하였고, 그 식각 단면에 대한 주사전자현미경 사진을 그림 3에 나타냈다. 다른 식각 조건은 동일하게 고정시켰고 단지 유량을 6:3:1로 하였다. 그림 3(a)는 HBr/He-O<sub>2</sub>/SiF<sub>4</sub>의 경우이며, 그림 3(b)는 HBr/He-O<sub>2</sub>/CF<sub>4</sub>의 경우이다. 그림 3에서 보면 HBr/He-O<sub>2</sub>/CF<sub>4</sub>가 HBr/He-O<sub>2</sub>/SiF<sub>4</sub>보다 횡방향 식각 방향이 더 심각하게 나타났다. 이것은 CF<sub>4</sub> 가스가 C-F계 가스 중에서 화학적 반응성이 가장 강한 가스이므로 F에 의한 화학 반응성이 증대되어 횡방향 식각이 더 많이 발생한 것으로 판단된다.



(a) SiF<sub>4</sub>/CF<sub>4</sub>(1:1) (b) SiF<sub>4</sub>/CF<sub>4</sub>(3:1) (c) SiF<sub>4</sub>/CF<sub>4</sub>(1:3)

그림 2. 첨가 가스비 변화에 따른 트렌치 식각 후 SEM 단면사진

Fig. 2. SEM photograph of trench etching profile as change of addition gas ratio.



(a) HBr/He-O<sub>2</sub>/SiF<sub>4</sub>(6:3:1) (b) HBr/He-O<sub>2</sub>/CF<sub>4</sub>(6:3:1)

그림 3. 첨가 가스비 변화에 따른 트렌치 식각 후 SEM 단면사진

Fig. 3. SEM photograph of trench etching profile as change of addition gas ratio.

그림 4는 트렌치 구조 내의 코너 부근에서 결함 발생에 대한 TEM 분석사진이다. 표면층에서는 실리콘과 에폭시 층 사이에 약 28Å의 잔류막 층이 사진상에서의 명암대비에 의해 나타남을 알 수 있다. 이러한 잔류층 아래에는 거의 1 원자층 수준의 결함층 혹은 결함이 없는 영역이 있음을 볼 수 있다.

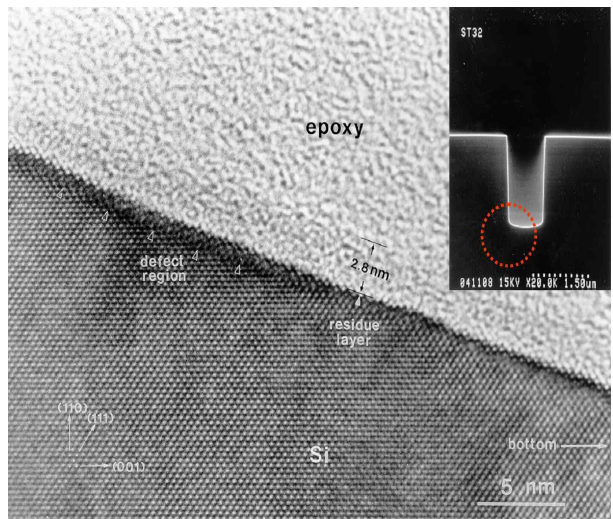
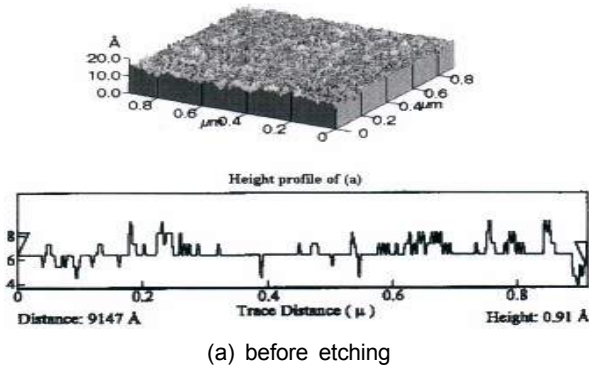
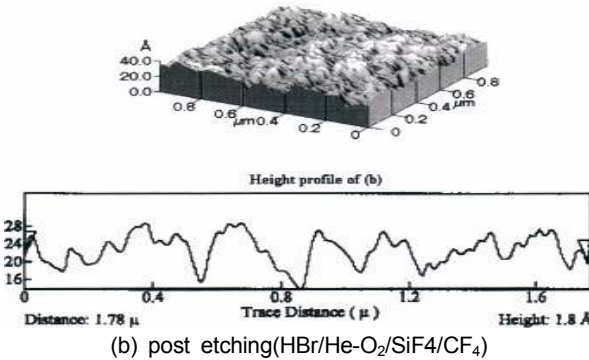


그림 4. 트렌치 식각 면의 TEM 사진

Fig. 4. TEM photograph of profile after trench etching.



(a) before etching



(b) post etching(HBr/He-O<sub>2</sub>/SiF<sub>4</sub>/CF<sub>4</sub>)

그림 5. 식각 전과 후의 실리콘 표면 거칠기 변화  
Fig. 5. Roughness change of silicon surface by etching.

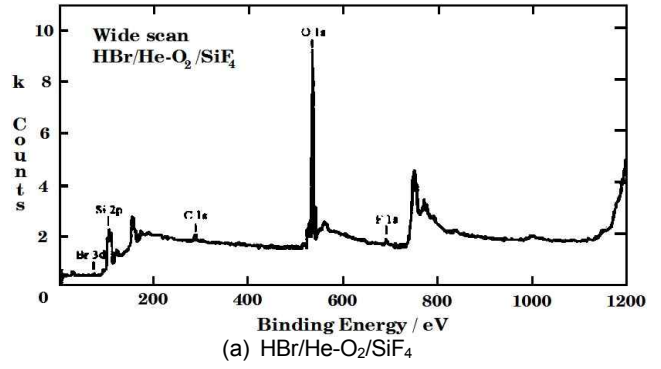
### 2) 식각 후 실리콘 표면 거칠기 분석

그림 5는 식각가스에 의한 실리콘 표면 거칠기의 영향을 관찰하기 위해서 패턴이 없는 웨이퍼에 대해 식각 전과 식각 후의 실리콘 표면 거칠기를 측정한 AFM 분석결과이다. 그림 5(a)는 식각하기 전의 시료 웨이퍼에 대한 AFM 결과이며, 5(b)는 HBr/He-O<sub>2</sub>/SiF<sub>4</sub>/CF<sub>4</sub> 가스를 이용하여 식각 후의 시료 웨이퍼에 대한 AFM 결과로 식각 전 웨이퍼에서는 표면 거칠기가 peak-to-valley의 값으로 보면 5.5Å이었으며, 실효값으로는 0.8Å이었다. 이에 대해 식각 후에는 peak-to-valley의 값으로는 15Å이고 실효값은 3.3Å으로 변화되었다. 따라서 식각 후의 표면 거칠기는 약 3~4배 증가하였음을 알 수 있다.

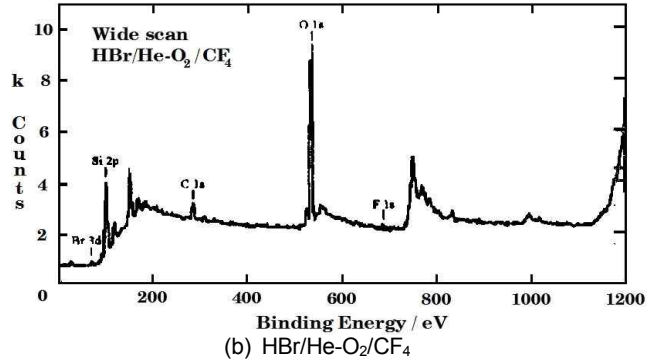
### 3) 식각 후 실리콘 표면 성분 분석

HBr 플라즈마에 의해서 식각된 실리콘의 표면 성분에 대한 wide scan 결과를 그림 6에 나타냈으며, C, F, Si, O에 대한 피크들이 주로 관찰되었다. 그리고 아주 약한 강도로 Br 피크 또한 관찰되었는데 이러한 Br 피크는 표면층에서만 한 원자층 정도로 존재하는 것을 50Å/step의 깊이 분석을 수행한 결과로 확인할 수 있다. 그림 6(a)는 부가되는 가스로 SiF<sub>4</sub>가 들어간 경우이고, 그림 6(b)의 CF<sub>4</sub> 첨가시보다 C 피크의 강도가 작음을 알 수 있다.

그림 6(b)는 HBr/He-O<sub>2</sub>/SiF<sub>4</sub> 가스를 이용하여 실리콘을 식각하였을 때 Si 2p 피크에 대한 narrow scan의 깊이 방향으로의 피크 강도 변화를 나타낸 것이다. 한 step당 약 50Å의 Si 기판을



(a) HBr/He-O<sub>2</sub>/SiF<sub>4</sub>



(b) HBr/He-O<sub>2</sub>/CF<sub>4</sub>

그림 6. XPS를 이용한 wide scan 스펙트럼  
Fig. 6. Wide scan spectrum using XPS.

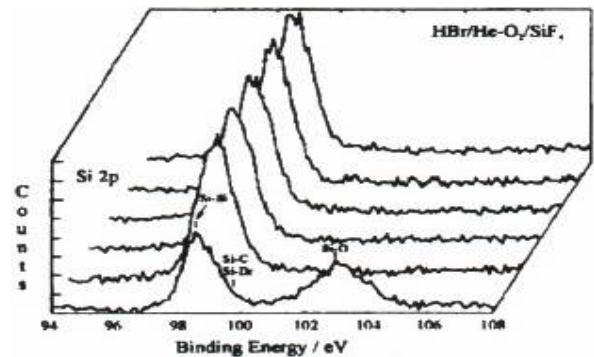


그림 7. XPS를 이용한 Si 2p 깊이 분포에 대한 narrow scan 스펙트럼  
Fig. 7. Narrow scan spectrum as depth profile of Si 2p using XPS.

스퍼터링하면서 250Å까지 XPS 분석을 하였다. 그림에서 Si-O 결합은 표면에서만 관찰되는데 이는 산화막 마스크의 식각이 원인이 되어 세정 후에도 표면에 남아 있는 잔류 산화막에 의한 것이다. 이들 잔류 산화막은 표면 아래 영역에서는 바로 사라지는 것을 확인할 수 있다.

### 4) 채움 및 평탄화 분석

그림 8은 O<sub>2</sub>와 SiF<sub>4</sub> 첨가가스의 유량비를 조절하여 약 10:1 정도의 A/R를 갖는 트랜치 구조를 각각 형성하고 이어서 똑같은 공정조건으로 산화막과 polysilicon으로 채움 공정을 진행한 결과이다. 그림 8(a)의 트랜치 식각시 바닥면에 비해 측벽면의

기술기가 거의 수직에 가까운 구조인 경우로 void가 발생하였으며, 그림 8(b)는 상대적으로 양의 각을 갖는 구조이며 void가 발생하지 않은 경우이다.

### III. 소자제작

본 연구에서는 산화막 spacers와 자기정렬 기술을 사용하여 매우 높은 셀 밀도와 낮은 온 저항 특성을 갖게 되는 트랜치 게이트 MOSFET의 제조를 위한 제조공정 방법을 제안하였으며 단위 셀을 제작한 후 그 특성을 분석하였다. 제작된 트랜치 게이트 MOSFET 셀은 높은 신뢰성을 획득하기 위하여 단위 공정 실험에서 확보한 바대로 채움 공정을 원활하게 할 수 있는 식각면 프로파일과 트랜치 식각면의 결정결함과 잔유물에 의한 오염이 최소화된 트랜치 식각기술을 이용하였다. 또한 양질의 게이트 산화막과 다결정 실리콘에 의해서 void가 없는 채움공정을 수행하였으며 이어서 TEOS막을 성장시킨 후 RIE에 의한 RIE에 의한 etch back 방법으로 평탄화 공정을 진행하였다.

제안한 새로운 제조공정 기술에서는 먼저 bare상태의 웨이퍼에서 implant와 확산공정에 의해 p-well 영역을 형성한다.

이어서 질화막을 입힌 후 트랜치 구조 형성을 위한 nitride photolithography 공정을 행한다. 이 때 질화막이 식각되는 영역과 트랜치 영역과의 상관관계는 이후에 oxide spacer를 형성하게 되는 teos막의 두께와 트랜치 폭에 의해 결정된다.

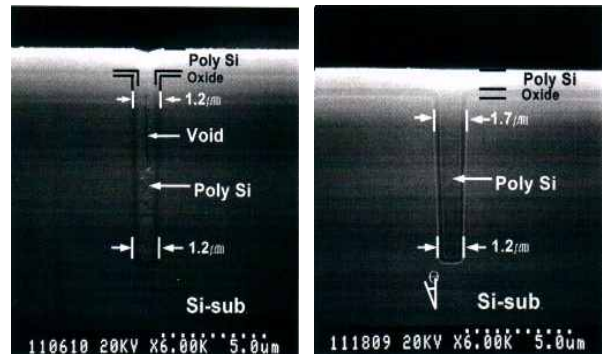
다음으로 4000Å 두께의 teos 산화막을 입힌 후 RIE에 의한 teos막을 식각하게 되면 teos spacer가 형성되며 계속해서 실리콘을 식각하여 트랜치 구조를 형성하게 된다. 여기서 spacer는 트랜치 식각동안의 마스크 역할을 하므로 teos막의 두께가 spacer의 바닥폭이 되며 결국 spacer들간 간격에 의해서 트랜치의 폭이 결정되게 된다. 이와 같은 teos막의 두께와 트랜치 폭의 상관관계를 조절하면 좁은 트랜치 폭을 갖는 트랜치 게이트 MOSFET의 제조에 유용하게 적용될 수 있다.

#### 3-1 트랜치 게이트 MOSFET의 제조

BF<sub>2</sub>를 160 KeV, 2.5×10<sup>13</sup> /cm<sup>2</sup>의 dose양으로 이온 주입한 후, 확산공정을 통해 1.5 μm 깊이를 갖는 p-well을 형성하였다. 이어 Si<sub>3</sub>N<sub>4</sub>를 LPCVD 방법으로 5000Å의 두께로 증착한 후 패턴을 형성하고 다시 그 위에 4000Å 두께의 TEOS를 LPCVD방법으로 증착하였다.

게이트가 될 부분의 트랜치 형성을 위해 RIE를 이용하여 웨이퍼 전면에 대해 teos막을 식각하여 폭이 1 μm인 oxide spacer들을 형성하였다.

Merie에 의해 폭과 깊이가 각각 1 μm, 1.8 μm이며 바닥면에 비해 개구부가 보다 넓은 형태의 트랜치를 형성하였다. 이 때 공정 조건은 식각 압력은 140 mTorr, 플라즈마의 RF power는 600 W, 자계는 30 Gauss로 고정하고 HBr/CF<sub>4</sub> 가스에 45% He-O<sub>2</sub>를 첨가시켜서 2분간 행하였다.



(a) nearly vertical slope (b) an positive angle slope  
 그림 8. 채움 공정 후 void 발생 관찰  
 Fig. 8. Sem photograph of void problem after filling.

Oxide spacer의 제거 후에는 트랜치 식각 시에 발생할 수 있는 결정결함과 오염 등의 완화 또는 제거를 위하여 회생 산화막을 성장하였다. 이렇게 하여 n<sup>+</sup> 소오스 영역을 별도의 mask를 사용하지 않고 oxide spacer들의 제거와 동시에 자기 정렬 기술에 의해 형성할 수 있게 되었다. 그 다음으로 회생 산화층을 제거하였다. 그리고 앞서의 회생 산화막 성장과 동일 조건으로 500 Å의 두께로 게이트 산화막을 형성하였다. 최종적으로 게이트 산화막은 트랜치의 바닥과 옆벽에 일정한 두께로 형성되게 된다.

계속해서 n형 불순물이 도핑된 다결정 실리콘을 증착하여 트랜치 내부를 void없이 채웠으며 etch back 방법을 이용한 평탄화 공정을 수행하였다.

다음으로 노출되어진 질화막을 제거하면 p-body 영역이 드러나므로 금속과의 저항성 접촉이 형성될 수 있도록 23×10<sup>15</sup> /cm<sup>2</sup>의 BF<sub>2</sub>이온을 80 KeV로 하여 p-body에 이온을 주입하였다. 마지막으로 앞면과 뒷면에 전극을 형성한 후 열처리를 하여 소자의 제조를 마쳤다. 그림 9는 완성된 셀의 단면도이다.

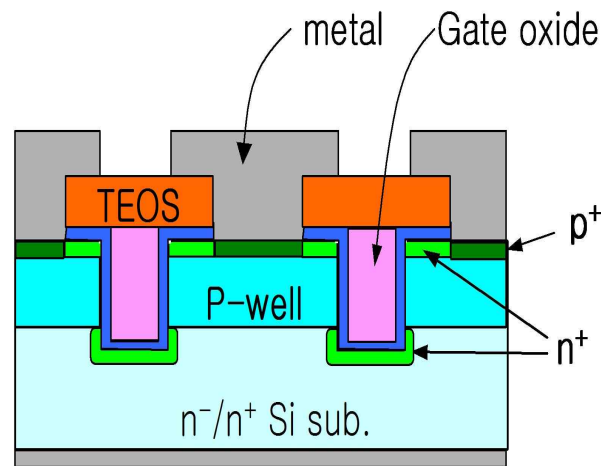


그림 9. 완성된 셀의 단면도  
 Fig 9. The cross section of fabricated cell.

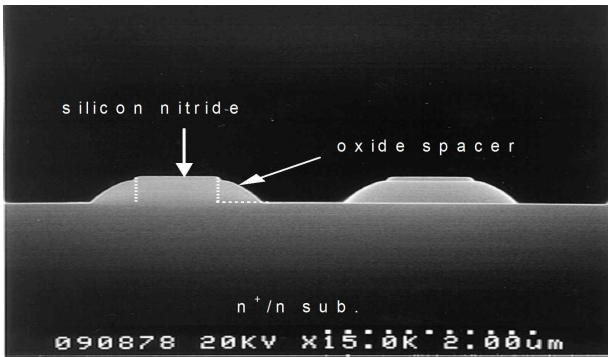


그림 10. Oxide spacer 형성 후 단면  
 Fig 10. Sem photograph of the cross section after oxide spacer formation.

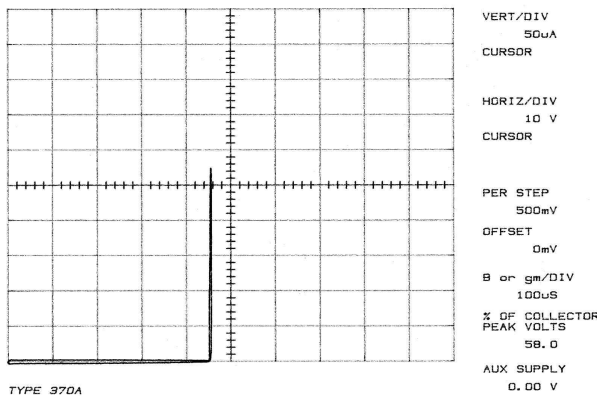


그림 11. 소자의 항복전압 특성  
 Fig 11. Breakdown characteristics of device.

### 3-2 제조된 소자의 특성

그림 10은 TEIS를 증착한 후 에치 백 공정을 통해 oxide spacer가 형성된 셀에서의 단면 sem 사진이다. 형성된 oxide spacer의 밑부분의 폭은 증착된 teos의 두께와 같게 됨을 알 수 있다.

전기적 특성의 측정을 위해서 TO-220을 이용해서 패키징을 하였다. 측정된 결과는 그림 11에 나타났다. 측정결과를 보면 제조된 소자의 문턱 전압은 1V였으며 항복전압은 일반적인 소자의 항복전압인 39 V보다 높은 43 V였다. 이는 트랜치 바닥 구석의 두꺼운 게이트 절연막에 의한 것으로 사료된다.

## IV. 결 론

본 논문에서는 고전류용 전력 MOSFET에서 미세화의 대응과 온 저항의 개선을 목적으로 채택이 불가피한 트랜치 구조의 형성을 위한 일련의 단위공정실험을 하였다. 그 결과 트랜치 영역의 정의를 위한 별도의 감광물질과 마스크를 사용하는 사진 식각공정이 없어도 되므로 좁은 폭을 갖는 트랜치 식각이 가능하였으며, 트랜치의 식각 시 식각 면의 바닥 면에 비해 개구면이 다소 넓은 형태의 트랜치 구조를 적용한 결과 doped silicon

막에 의해서 void의 발생이 억제된 신뢰성 높은 채움공정을 수행할 수 있었다. 또한 oxide space들에 의해 좁은 폭을 갖는 트랜치 게이트 MOSFET 셀을 제작할 수 있어서 셀 피치 축소에 의한 셀 집적도를 높일 수 있으므로 결과적으로 온 저항 특성의 개선효과가 있었다.

## 참고문헌

- [1] B. J. Baliga, *Power semiconductor Devices*, Boston, MA: PWS Publishing Company, 2012.
- [2] K. Shenai, P. A. Piacente, R. Saia, W. Hennessy, C. C. Korman, and B. J. Baliga, "A novel high-frequency power FET structure fabricated using LPCVD WSi<sub>2</sub> gate and LPCVD W source contact technology," *IEDM Technical Digest*, pp. 804-808, Dec., 1985.
- [3] D. Ueda, H. Takagi and G. Kano, "An ultra-low on resistance power MOSFET fabricated by using a fully self aligned process," *IEEE Transactions on Electronic Devices*, Vol. ED-34, No. 4, pp. 926-930, Apr., 1987.
- [4] M. Sato and Y. Arita, "Etched Shape Control of Single-Crystal Silicon in Reactive Ion Etching Using Chlorine," *Journal of The Electrochemical Society*, Vol. 134, pp. 2856, 1987.
- [5] S. Chae, K. Park, S. Han, J. Ha and J. Park, "Plasma induced charging damage on thin gate oxide," *IEEE Transactions on. Electronic Devices*, Vol. ST-P19, pp. 497-500, Feb., 1999.
- [6] F.Fong, D. Pitzer and R. J.Zeman, "Power DMOS for high frequency and switching application", *IEEE Transactions on. Electronic Devices*, Vol. ED-27, No. 2, pp.322~330, Feb., 1980.
- [7] G. Chen, S. Sapp, N.Wylie and C. Hu, "A novel contact process for power MOSFET's," *IEEE Electronic Devices Letters*, Vol. EDL-7, No.12, pp.672~673, Dec., 1986.
- [8] B. J. Baliga, "A power junction gate field-effect transistor structure with high blocking gain," *IEEE Transactions on. Electronic Devices*, Vol. ED-27, pp.368~373, Feb. 1980.
- [9] J. D. Mein, et al., "A high voltage MOS switch," *IEEE F. Solid-State Circuits*, Vol. SC-10, pp.136~146, June 1975.
- [10] S. Chae, K. Park, S. Han, J. Ha and J. Park, "Plasma induced charging damage on thin gate oxide," *IEEE Transactions on Electronic Devices*, Vol. ST-P19, pp. 497~500, Feb. 1999.



**백종무 (Jong-Mu Baek)**

1984년 2월 : 경북대학교 전자공학과(공학사)  
1993년 2월 : 경북대학교 대학원 전자공학과(공학석사)  
2002년 2월 : 경북대학교 대학원 전자공학과(공학박사)  
1995년 3월 ~현재 : 대원대학교 전자정보통신과 교수  
※관심분야 : 반도체, 디스플레이 공정 및 소자설계, 전자재료분야



**조문택 (Moon-Taek Cho)**

1988년 2월 : 명지대학교 전기공학과 (공학사)  
1990년 2월 : 명지대학교 대학원 전기공학과 (공학석사)  
1999년 2월 : 명지대학교 대학원 전기공학과 (공학박사)  
1996년 3월 ~ 현재 : 대원대학교 전기전자계열 교수  
※관심분야 : 신재생에너지, 회로 시뮬레이션, 전력전자응용



**나승권 (Seung-Kwon Na)**

1999년 2월 : 세명대학교 전기공학과(공학사)  
2001년 2월 : 세명대학교 대학원 전기전자공학과(공학석사)  
2008년 2월 : 세명대학교 대학원 전기전자공학과(공학박사)  
1981년 7월 ~1988년 4월 : 부산 위생 (한방) 병원  
1988년 5월 ~1994년 8월 : 한국수자원공사  
1994년 9월 ~현재 : 한국폴리텍대학 원주캠퍼스 의용공학과 교수  
※관심분야 : 의용공학 및 대체에너지분야, 에너지변환, 전력전자응용