

# Software Defined Silicon 기반의 이더넷 모듈 설계

윤종호

한국항공대학교

## 요약

본고에서는 보다 유연한 이더넷 모듈의 설계를 지원할 수 있는 software defined silicon 프로세서 기반의 이더넷 모듈 설계에 대하여 알아본다. 특히 기존 MCU에 내장된 이더넷 모듈이나 FPGA기반의 하드웨어적인 모듈과의 비교를 통하여 장단점을 분석한다. 마지막으로 이것의 다양한 응용분야를 제시한다.

소프트웨어로 설계하지만 기능적으로는 하드웨어적인 성능을 보장하는 software defined silicon 개념의 멀티코어 프로세서인 XS-1 프로세서의 기능과 특징을 알아본 후 이더넷 분야에 대한 다양한 적용방법을 소개한다.

마지막으로 항공분야 및 국방분야에 대한 응용분야도 함께 다룬다.

## I. 서론

본고에서는 엄격한 시간동기 및 대역할당에 따른 QoS를 보장하는 전송기술의 핵심 요소인 이더넷 전송기능을 경제적으로 설계하는 방법을 다룬다.

최근 IEEE802.1 표준을 준수하는 오디오 및 비디오 전송기술인 Audio/Video Bridging 기술의 핵심적인 요소인 IEEE 802.1as 시간동기기술, IEEE802.1at 대역예약기술, IEEE802.1av 트래픽 스케줄링 기술을 활용하여 고급 오디오 및 자동차 분야에 적용하기 위한 연구가 활발히 진행되고 있다 [1][2]. 하지만 범용 MCU에 내장된 이더넷 모듈로는 이러한 고급 기능을 지원하기 어렵기 때문에 현재 시점에서는 관련 하드웨어가 다양하게 출시되고 있지 않다.

이것은 이더넷 프레임의 송수신 시점에 대한 timestamping 기능이나 대역제한을 위한 엄격한 스케줄링 기능, 그리고 Grand master 클럭에 대한 시간동기 과정 수행을 위한 정확한 timer tick의 추적 등의 기능을 하드웨어적으로 추가해야 하기 때문이다.

더욱이 중단 시스템의 경우 다양한 응용분야에 대응하기 위하여 I2S를 이용한 오디오 코덱 연동기능, 자동차 내부 제어 통신망 기술인 CAN 및 LIN 인터페이스, 센서 및 액추에이터 인터페이스 등의 용도에 따른 다양한 조합이 요구되므로 개발자나 생산자 모두 이에 대응하는데 문제가 발생한다.

본고에서는 개발에 필요한 I/O모듈에 대하여 이들을 모두 소

## II. 본론

### 1. 기존 MCU의 문제점

다양한 임베디드 시스템에서 널리 사용되는 범용 MCU는 CPU코어와 함께 UART, I2C, SPI, 이더넷, CAN 등의 peripheral 모듈을 하나의 칩에 내장한 것이다.

이러한 범용 MCU에 모든 peripheral 모듈이 함께 내장되면 개발자 입장에서는 필요한 기능을 선택하여 사용할 수 있는 장점이 있다.

하지만 기 선정된 MCU를 기반으로 개발을 진행 중에 어쩔 수 없이 새로운 기능을 추가해야만 할 경우 외부에 FPGA 등을 부착하거나 GPIO를 사용한 낮은 성능의 bitbang 방식으로 해결해야 하는 등 번거로움이 많다.

예를 들어 <그림 1>과 같이 CAN과 SPI기능이 없는 자동차용 MCU에 CAN 기능을 추가할 경우 어쩔 수 없이 GPIO를 사용하여 각 핀에 대한 신호를 소프트웨어로 발생시키고 SPI인터페이스를 제공하는 SPI-to-CAN 변환칩을 추가해야 할 것이다. 더욱이 I2S인터페이스를 갖는 오디오 코덱의 추가는 불가능하다.

### 2. Software Defined Silicon 프로세서

XMOS사의 XS-1 프로세서는 <그림 2>와 같이 내부에 500MIPS 32비트 RISC 기반의 단위 프로세서인 xCore 프로세서를 1~4개까지 수납한 멀티코어 프로세서이다.

XMOS사에서는 이 단위프로세서를 Tile, 또는 Processor

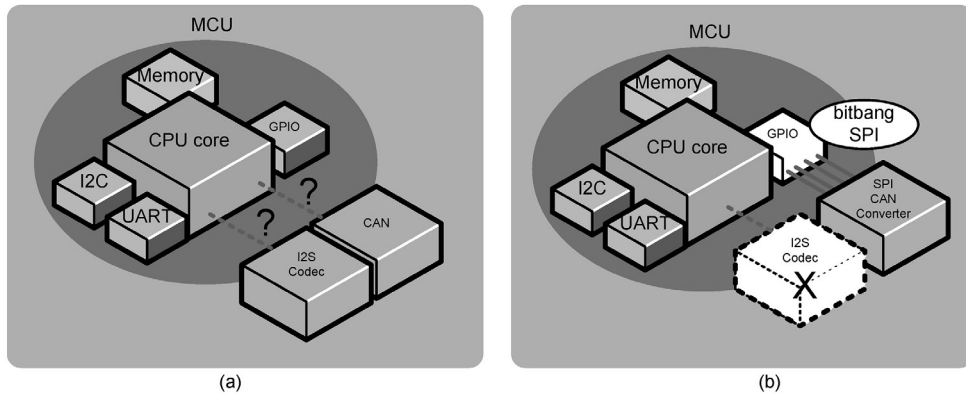


그림 1.

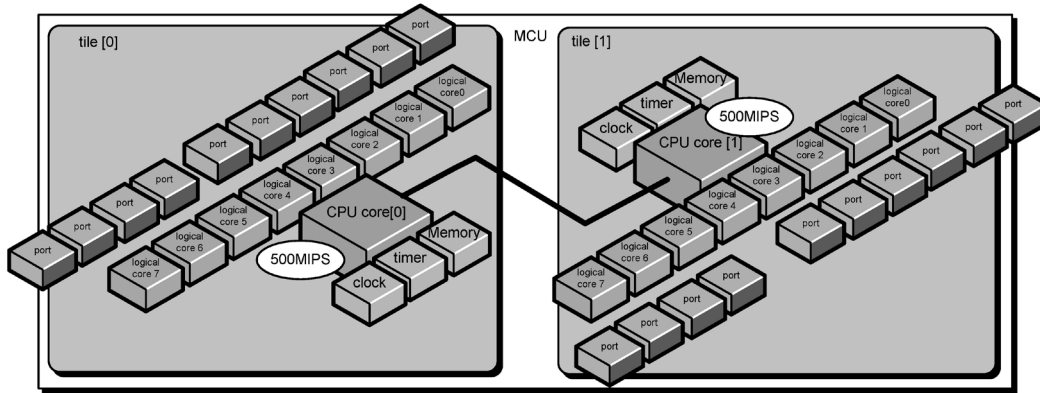


그림 2. xCore프로세서의 구성(2 tile프로세서)

Tile이라고 부른다.

각 tile은 독립적인 프로세서 기능 뿐만 아니라 64KB의 메모리와 10개의 타이머 카운터 및 6개의 클럭 블럭, 그리고 64개의 I/O포트로 구성되며, 400~500 MHz의 시스템클럭에 의해 동작한다<sup>1</sup>. 특이하게도 각 포트는 일반적인 입출력 기능 뿐만 아니라 64비트 깊이의 FIFO 를 내장하여 직렬화 전송기능(SerDes)도 제공하는 intelligent 포트이다.

또한 tile내의 스케줄러 기능부는 자신의 처리능력을 시간상으로 분할하는 방식을 사용하여 최대 8개의 논리적인 프로세서가 분할되어 동작하는 것과 같은 능력을 제공한다. 만약 한 tile 내에서 최대 8개의 task가 운용될 경우 각 logical core의 처리능력은 500/8 MIPS가 된다

각각의 논리적인 프로세서를 logical core라고 하며 이 logical core에서 동작하는 기능을 Task라고 부른다.

각 logical core는 자신만의 program counter 및 stack pointer 등의 독자적인 CPU운영에 필수적인 레지스터를 가지고 있다. 이러한 특성에 의해 각 logical core는 다른 logical

core의 동작과 무관하게 독자적으로 동작할 수 있다. 즉 각 logical core는 타이머나 외부 입력 등의 클럭에 동기된 이벤트에 대하여 즉시 반응하는 event-driven 프로세서로 운영될 수 있다.

특히 이것은 범용 MCU와 달리 이것은 내부에 이더넷, UART, CAN, LIN 등의 I/O모듈이 내장하지 않는다. 대신 개발자는 xCORE 프로세서의 이러한 특징적인 기능을 이용하여 자신에게 필요한 하드웨어 모듈 기능(SPI, I2C, I2S, S/PDIF, 이더넷 등)을 소프트웨어적으로 설계하여 탑재한다.

예를 들어 10Mbps급 초고속 UART 모듈을 설계한다면 송신 기능과 수신기능을 각각 개별적인 2개의 코어에 할당하여 구현할 수 있다. 이들은 시간상으로 전혀 상호 간섭받지 않고 병렬 처리된다.

또한 100Mbps급 이더넷 모듈이 필요한 경우에는 최소 2개, 최대 5개의 task를 사용한 소프트웨어로 설계하여 내장시킬 수 있다.

이러한 과정은 마치 FPGA기반에 Verilog/VHDL로 설계하는 것과 유사하다. 이러한 특성에 의해 XS-1 프로세서를 Software Defined Silicon방식의 MCU라고 부른다.

1 외부 오실레이터가 20MHz인 경우 내부 시스템 클럭은 400MHz이고 25MHz인 경우에는 500MHz로 동작한다.

이러한 설계과정은 모두 친숙한 c, c++, 어셈블리, 그리고 병렬처리를 위한 전용 XC언어를 혼합 사용하여 설계할 수 있다.

### 3. xCore프로세서의 포트

범용 MCU의 단순한 입출력 기능을 제공하는 GPIO와 달리 xCore프로세서의 각 포트는 <그림 3>과 같이 내부에, 10nsec 단위의 타이머카운터, 클럭에 따른 입출력, 조건에 따른 입출력 제어, 입력시점 기록기능(time stamping), 64비트 깊이의 FIFO를 이용한 직렬/병렬변환 (serialization and de-serialization (SERDES)) 기능과 같은 고급 기능을 갖는다.

이러한 다양한 포트의 기능을 활용하면 I2C, SPI와 같이 외부로의 클럭신호 생성 기능과 직렬/병렬변환 전송기능이 필수적인 주변장치 모듈을 쉽게 소프트웨어적으로 설계할 수 있다.

### 4. 소프트웨어 기반의 이더넷 모듈의 설계

최근에는 이더넷 기반의 오디오 및 비디오 스트림을 실시간 전송하는 IEEE802.1 AVB(audio/video bridging)분야에도 활발히 채용되고 있다.

<그림 4>는 AVB종단시스템을 하나의 프로세서로 구현한 것이다. 그림에서 각각의 원은 태스크를 의미하며 태스크간을 연결하는 화살표는 태스크간을 연결하는 하드웨어 통신채널을 의미한다.

특히 이더넷용 MAC은 5개의 태스크로 구현되었고, I2S 디지털 스테레오 전송 모듈은 1개의 태스크로 구현되었음을 알 수 있다.

또한 <그림 5>는 6개의 task로 구성된 이더넷 MAC모듈이 포함된 것이다. 이것은 2개의 이더넷 포트를 지원하여 daisy-chain형태의 연결기능을 제공하는 AVB종단시스템으로써 자

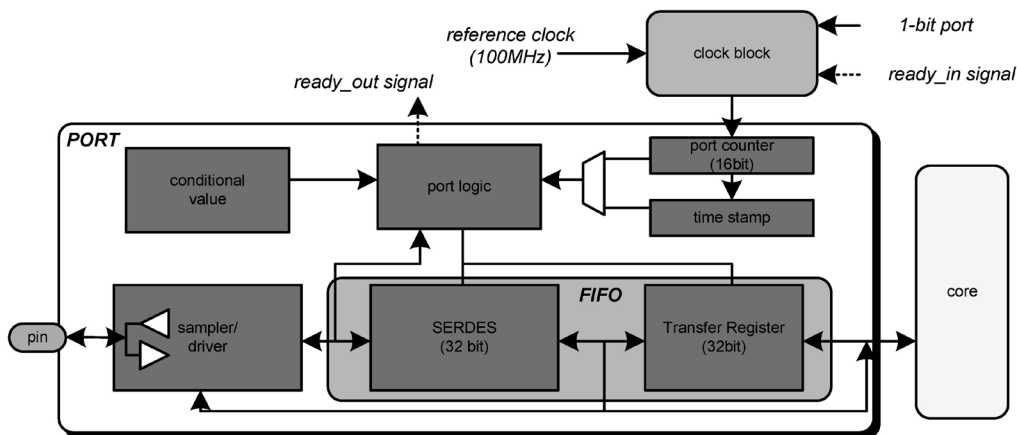


그림 3. 포트의 내부 구성

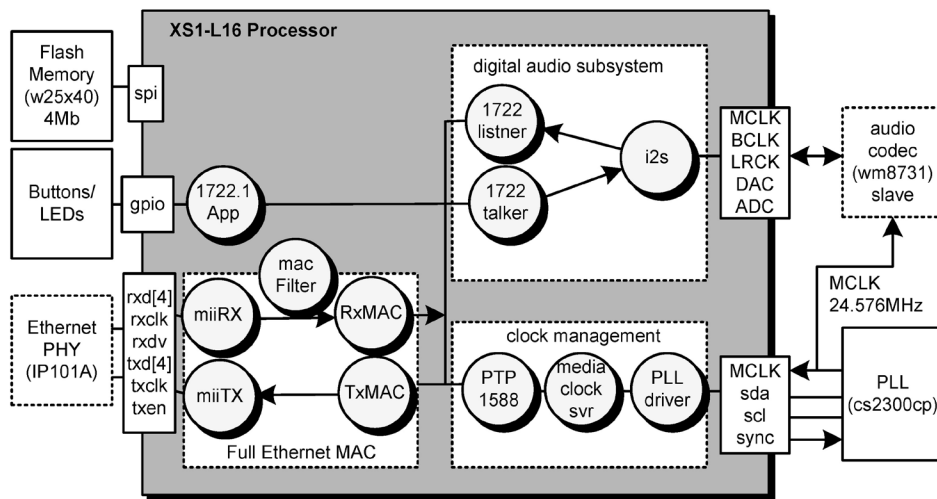


그림 4. AVB 종단시스템의 구성

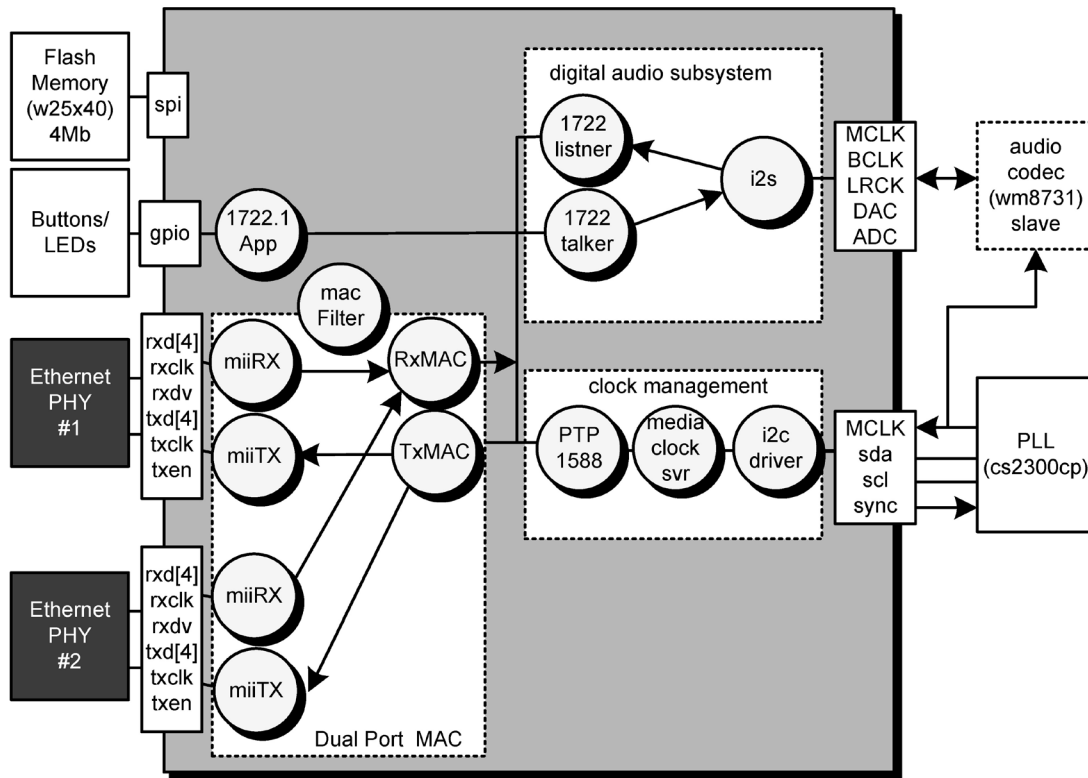


그림 5. Dasy-chain용 AVB 종단시스템의 구성

동차 내부 통신망 또는 회의용 오디오 시스템에 채용되고 있다.

## 5. 이더넷 모듈의 내부 구성

xCore용으로 공개된 이더넷용 소프트웨어 모듈은 크게 다음과 같은 2개의 종류가 있다.

- Full버전 : 총 5개의 쓰레드로 구현된 다기능 MAC이다.
- Lite버전: 총 2개의 쓰레드로 구현된 것으로서 full버전에 비하여, IEEE1588규격의timestamping 기능과 버퍼링 기능이 없는 것이다. 필터링은 별도의 task대신에 자신의 MAC주소와 브로드캐스트 주소만 통과시키도록 간편화 시켰다.

### 5.1 Full 버전

Full버전 이더넷 모듈은 그림2.5와 같이 총 5개의 task로 구성된다. 이것의 특징은 다음과 같다.

- 프레임 버퍼를 제공한다.
- 우선순위별로 분리된 큐를 제공한다.
- 802.1Qav traffic shaping 기능을 제공하여 대역할당에 따른 전송기능을 사용할 수 있다.
- 2개 이상의 PHY를 지원할 수 있어 이들 간의 port forwarding기능도 제공한다. 따라서 daisy chain형태의

MAC 기능을 제공한다.

- IEEE 802.1as를 위한 물리적인 time stamping 기능을 제공한다.

프레임 버퍼는 이 MAC모듈을 경유하여 프레임의 송수신작업이 원활하게 동작하도록 한다.

추가적으로 MDIO/MDC용 SMI 인터페이스 기능도 제공하여 PHY칩에 대한 제어를 할 수 있다. 참고로 MAC주소는 OTP메모리에 저장되어 있는 것을 읽어 사용한다.

필터링 태스크는 수신되는 모든 프레임을 검사하여 기본적으로 자신을 목적지로나 프레임과 방송형 주소를 갖는 프레임 외에는 모두 폐기한다. 필요시 mac\_custom\_filter()함수를 사용하여 추가적인 필터를 설정할 수 있다.

또한 수신되는 프레임의 SFD영역에 대한 송수신시점을 40nsec 정밀도로 기록하여 보고하는 timestamping기능도 수행한다.

### 5.2 Lite 버전

이것은 2개만의 쓰레드로 구현된 이더넷 모듈이다. 그림 2.6은 lite 이더넷 모듈의 구조이다.

Full버전에 비하여, ieee1588규격의timestamping 기능과 버퍼링 기능이 없다. 또한 필터링 기능은 별도의 task대신에 자신



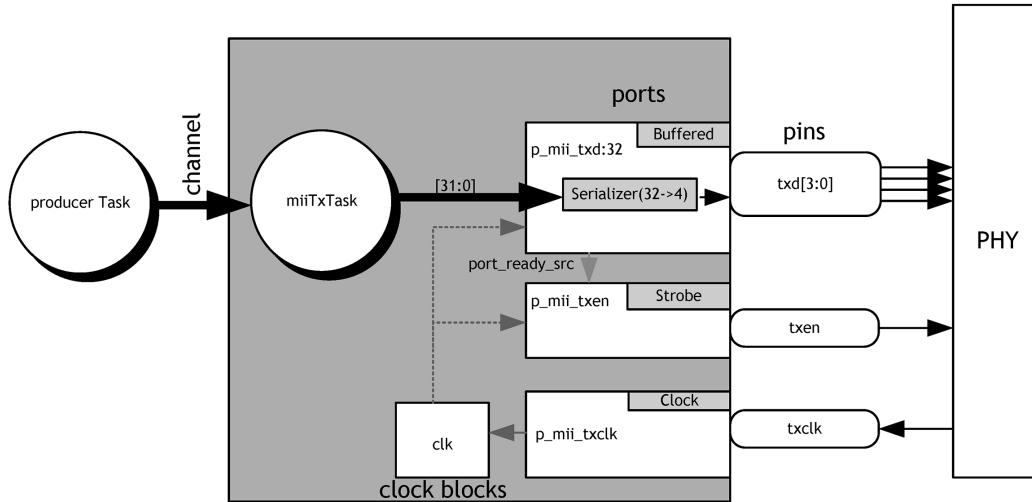


그림 8. 이더넷 송신모듈의 구성

로인 cTx채널을 통해 전달된다.

miiTxTask는 먼저 preamble과 SFD영역을 생성하여 송신한다. 이것은 프로세서가 해당 4비트의 출력포트인 pTx4에게 32비트 길이의 워드값을 2번 출력하면 된다. 왜냐하면 포트내부에는 32비트의 레지스터와 32비트의 serializer가 내장되어 있기 때문이다. 해당 포트는 입력된 64비트 값에 대하여 LSB부터 4비트씩 PHY로 출력함으로써 이더넷 케이블상으로 8바이트 길이의 프리앰블영역이 송신된다.

이 과정에서 producer task를 수행하는 logical 프로세서는 단지 word(32비트)단위의 데이터를 2번만 채널상으로 송신하면 된다.

또한 txd핀으로 4비트의 송신 nibble이 출력될 때 함께 송신되어야 할 TxEN신호는 txd출력 이벤트에 대하여 strobe되는 포트에 설정하였으므로 자동으로 TxEN신호가 출력되어 프로세서는 이 과정에 개입할 필요가 없다.

이후 for루프 내에서 32비트씩 TXD 포트에 송신을 반복한다. 이것은 해당 포트내의 serializer에 의해 4비트폭의 nibble형태로 해당 핀으로 송신된다.

이 과정에서 프로세서는 직렬화 과정에 참여하지 않으므로 루프내에서 다음 바이트열을 송신준비하는데 문제가 없다.

```
void miiTransmitFrameTask (out buffered port:32 pTX4,
                           clock clk ,
                           chanend cTx )
{
    unsigned frmLeng, data32 ;
    ...
    configure_clock_src (clk , TXCLK); //PHY로부터의 입력
    configure_out_port (TXD, clk, 0); //clk에 동기되어 출력
    configure_out_port_strobed_master (pTX4 , TXEN,.. 0);
}
```

```
..
while(1){
    ...
    //Preamble전송: Output 0x55 followed by 0xD
    pTX4 <: 0x55555555 ;
    pTX4 <: 0xD5555555 ;
    //DA부터 송신
    // Output 32- bit words with serialisation
    for (int i =0; i< frmLeng; i++) {
        cTx :> data32; //4바이트단위로 clientTask로부터
        //프레임을 전달 받음.
        pTX4 <: data32; //32비트를 포트에 전달하면
        //해당 포트가 4비트씩 nibble단위로 송신함.
    }
    ..FCS 추가 송신 ...
}
```

TXD포트는 PHY가 공급해 주는 TXCLK클럭의 하강엣지마다 4비트의 nibble단위로 직렬화하여 출력한다.

이 과정에서 해당 태스크의 코어 프로세서는 25MHz의 8클럭마다 4바이트 길이의 데이터를 한번씩 공급하면 된다. 왜냐하면 4비트 포트인 txd는 내부에 serializer FIFO가 있기 때문이다.

즉 포트 내부의 SerDes기능에 의해 프로세서의 부하가 offloading되므로 그 동안 프로세서는 다른 작업을 계속할 수 있다.

## 7. Software Defined Silicon의 활용분야

최근 이더넷 기반의 실시간 오디오 및 비디오 전송방식인 AVB(audio/video bridging)용 중단시스템, 오디오 믹서, 음장 효과를 위한 DSP모듈, 그리고 차량내 통신기술인 automotive AVB 등에 활용되고 있다. 참고로 <그림 9>는 이더넷과 코덱이 설치된 AVB지원용 보드의 예이다.

그리고 DC모터 제어, CAN 및 LIN과 같은 자동차 내부 제어 통신망 기술과 이더넷과의 연동 기능 등을 단기간에 구현하는데 활용될 수 있다.

또한 실시간 이더넷 기술의 한 종류인 Time-triggered Ethernet 및 EtherCAT 등의 산업용 이더넷 분야에도 활용 가능하다[3].

특히 소요량이 많지 않지만 고부가 가치를 제공할 수 있는 국방분야(MIL-STD-1553 등) 및 항공분야(AFDX 등)에 특히 중점적으로 활용될 수 있다.

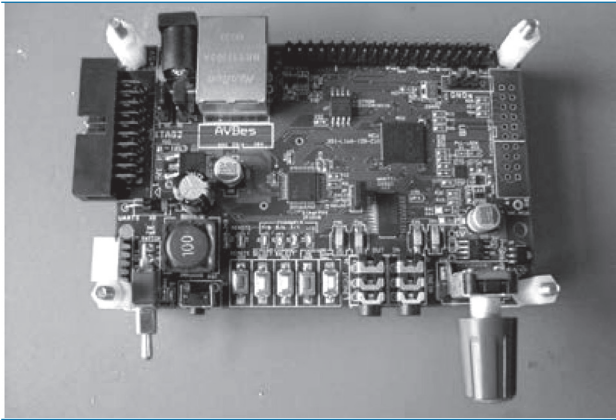


그림 9. xCore프로세서 평가보드의 예

- [3] Hermann Kopetz et.al, “The Time-Triggered Ethernet (TTE) Design,” [http://www.control.aau.dk/~ppm/P7/distsys/Kopetz\\_TTE.pdf](http://www.control.aau.dk/~ppm/P7/distsys/Kopetz_TTE.pdf)

### III. 결론

본고에서는 software defined silicon 프로세서를 활용한 이더넷 모듈의 설계에 대하여 소개하였다.

분명히 이러한 Software Defined Silicon기반의 MCU는 기존 MCU에 비하여 그 활용분야가 제한적일 것이다.

하지만 기존 MCU가 지원하지 못하는 특수한 기능이 요구되거나 FPGA처럼 어셈블리 수준의 verilog언어에 친숙하지 못한 고급언어 프로그래머를 활용하여 독창적인 기능을 하드웨어적으로 구현할 수 있어 하드웨어 설계자가 부족한 현실에 한 해결책이 될 수 있을 것이다.

### 참고 문헌

- [1] Rick Kreifeldt, “AVB for Professional A/V Use,”(<http://www.avnu.org/>).
- [2] Rick Kreifeldt, “ AVB for Automotive Use,”(<http://www.avnu.org/>).

### 약 력



윤 종 호

1984년 한양대학교 공학사  
 1986년 한국과학기술원 공학석사  
 1990년 한국과학기술원 공학박사  
 1991년~현재 한국항공대학교  
 항공전자정보통신공학부 교수  
 관심분야: 이더넷 및 자동차/항공용 제어 통신망