

## Line Scan Sensor용 저면적 eFuse OTP 설계

학문초 · 허창원 · 김용호 · 하관봉 · 김영희\*

### Design of Small-Area eFuse OTP Memory for Line Scan Sensors

Hao Wenchao · Chang-Won Heo · Yong-Ho Kim · Pan-Bong Ha · Young-Hee Kim\*

Department of Electronic Engineering, Changwon National University, Gyeongnam 641-773, Korea

#### 요 약

본 논문에서는 행의 개수가 열의 개수보다 작은 4행 × 8열의 셀 어레이를 갖는 eFuse OTP IP 설계에서 eFuse의 프로그램 전류를 공급하는 SL 구동 라인을 열 방향으로 라우팅 하는 대신 행 방향으로 라우팅 하므로 레이아웃 면적을 많이 차지하는 SL 구동회로 수를 8개에서 4개로 줄이는 셀 어레이 방식과 코어 회로를 제안하였다. 제안된 셀 어레이 방식과 코어 회로는 32비트 eFuse OTP IP의 레이아웃 면적을 줄였다. 그리고 큰 read 전류에 의해 blowing 되지 않은 eFuse가 EM 현상에 의해 blowing되는 현상을 방지하기 위하여 RWL 구동회로와 BL 풀-업 부하회로에 필요한 V2V(=2V±10%) 레귤레이터를 설계하였다. 설계된 4행 × 8열의 32비트 eFuse OTP IP의 레이아웃 면적은 120.1 $\mu\text{m}$  × 127.51 $\mu\text{m}$ (=0.01531 $\text{mm}^2$ )로 기존의 eFuse OTP IP의 면적인 187.065 $\mu\text{m}$  × 94.525 $\mu\text{m}$ (=0.01768 $\text{mm}^2$ )보다 13.4% 더 작은 것을 확인하였다.

#### ABSTRACT

In this paper, a small-area cell array method of reducing number of SL drivers requiring large layout areas, where the SL drivers supplying programming currents are routed in the row direction in stead of the column direction for eFuse OTP memory IPs having less number of rows than that of columns such as a cell array of four rows by eight columns, and a core circuit are proposed. By adopting the proposed cell array and core circuit, the layout area of designed 32-bit eFuse OTP memory IP is reduced. Also, a V2V(=2V±10%) regulator necessary for RWL driver and BL pull-up load to prevent non-blown eFuse from being blown from the EM phenomenon by a big current is designed. The layout size of the designed 32-bit OTP memory IP having a cell array of four rows by eight columns is 13.4% smaller with 120.1 $\mu\text{m}$  × 127.51 $\mu\text{m}$ (=0.01531 $\text{mm}^2$ ) than that of the conventional design with 187.065 $\mu\text{m}$  × 94.525 $\mu\text{m}$ (=0.01768 $\text{mm}^2$ ).

**키워드** : 라인 스캔 센서, 저면적, eFuse OTP, 레귤레이터

**Key word** : Line scan sensor, small-area, eFuse OTP, regulator

접수일자 : 2014. 06. 24 심사완료일자 : 2014. 07. 15 게재확정일자 : 2014. 07. 28

\* **Corresponding Author** Young-Hee Kim(E-mail:youngkim@changwon.ac.kr, Tel:+82-55-285-1023)

Department of Electronic Engineering, Changwon National University, Gyeongnam 641-773, Korea

**Open Access** <http://dx.doi.org/10.6109/jkiice.2014.18.8.1914>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

x-ray 라인 스캔 센서는 x-ray를 통해 피사체 정보를 라인 스캔 센서를 이용하여 한 라인씩 검지하여 전기적인 영상신호로 변환하는 장치이다. x-ray 라인 스캔 센서는 그림 1에서 보는바와 같이 픽셀 어레이, 행 디코더 (row decoder), S/H 회로와 column select 회로, ASP (Analog Signal Processing) 회로와 timing generator로 구성되어 있다[1].

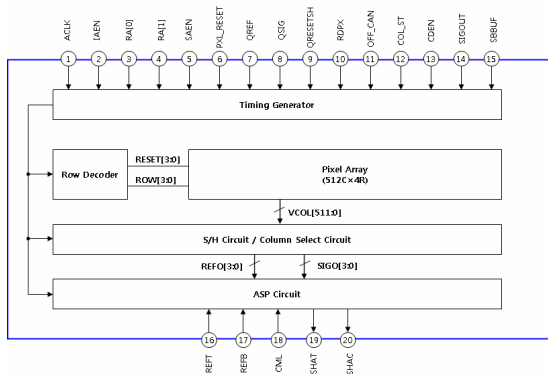


그림 1. x-ray 라인 스캔 센서의 블록도[1]  
Fig. 1 Block diagram of x-ray line scan sensor [1]

x-ray 라인 스캔 센서는 DC-DC 변환기에서 공급되는 VRESET(=2.7V)와 VCC(=4.3V)를 트리밍하거나, 그림 2의 ASP 회로에 사용되는 VGA(Voltage Gain Amplifier)의 gain 코드인 GAIN[2:0]를 지정해주기 위해서는 소용량의 비휘발성 메모리를 필요로 한다.

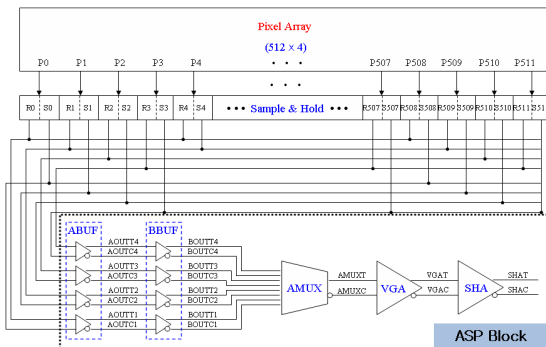


그림 2. ASP 회로의 블록도[1]  
Fig. 2 Block diagram of analog signal processing[1]

VGA 회로는 그림 2의 AMUX(Analog Multiplexer)의 출력전압인  $\Delta V$ 를 증폭하는 회로이다.

x-ray 라인 스캔 센서에 내장되는 비휘발성 메모리는 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 eFuse OTP (electrical Fuse One-Time Programmable) 메모리가 많이 사용되고 있다[2]. eFuse OTP 메모리는 eFuse에 수십 mA의 과전류를 흘려 blowing하여 프로그램 한다[3,4]. eFuse의 프로그램 이전 저항은 50~100  $\Omega$  정도이고, eFuse 링크를 통해 프로그램 과전류가 흐르면서 eFuse의 프로그램 후 저항은 대개 수십 k $\Omega$  이상이 된다. 이와 같이 eFuse는 한 비트의 디지털 데이터를 전도 상태와 고저항 상태 중 하나로 프로그램한다.

32비트 eFuse OTP 메모리가 필요한 경우 OTP 셀 어레이 사이즈는 1행  $\times$  32열과 4행  $\times$  8열로 배열할 수 있다. 2가지 형태의 eFuse OTP 셀 어레이 사이즈에 따른 OTP IP의 레이아웃 면적을 비교한 결과 4행  $\times$  8열의 32비트 eFuse OTP의 면적이 1행  $\times$  32열의 32비트 eFuse OTP 면적보다 더 작다[5]. 그런데 eFuse OTP는 eFuse에 수십 mA의 프로그램 전류를 흘려주기 위해서 SL(Source Line) 구동회로의 구동 트랜지스터 사이즈가 크다. SL 구동회로의 구동 트랜지스터가 클수록 레이아웃 면적이 커진다. 기존의 4행  $\times$  8열을 갖는 eFuse OTP는 eFuse의 큰 프로그램 전류를 공급해 주는 SL 구동회로를 매 열(column)마다 배치하므로 8개의 SL 구동회로가 차지하는 레이아웃 면적이 큰 문제점이 있다.

본 논문에서는 행의 개수가 열의 개수보다 작은 4행  $\times$  8열의 셀 어레이를 갖는 eFuse OTP IP 설계에서 eFuse의 프로그램 전류를 공급하는 SL 구동 라인을 열 방향으로 라우팅 하는 대신 행 방향으로 라우팅 하므로 레이아웃 면적을 많이 차지하는 SL 구동회로 수를 8개에서 4개로 줄이는 셀 어레이 방식과 코어 회로를 제안하였다. 제안된 셀 어레이 방식과 코어 회로는 32비트 eFuse OTP IP의 레이아웃 면적을 줄일 수 있다. 그리고 수 백  $\mu A$  이상의 큰 read 전류에 의해 blowing 되지 않은 eFuse가 EM(Electro-Migration) 현상에 의해 blowing되는 현상을 방지하기 위하여 RWL(Read Word-Line) 구동회로와 BL(Bit-Line) 풀업 부하회로에 필요한 V2V(=2V $\pm$ 10%) 레귤레이터를 설계하였다.

## II. 회로 설계

그림 3은 x-ray 라인 스캔 센서에 내장되는 V2V 전압 레귤레이터와 32비트 eFuse OTP 메모리 IP의 블록도를 보여주고 있다. V2V 레귤레이터는 VREF\_1V의 기준 전압을 이용하여 2V±10%의 레귤레이션된 전압을 구동하는 회로이며, OTP IP의 RWL 구동회로와 BL 풀-업 부하회로에 사용된다.

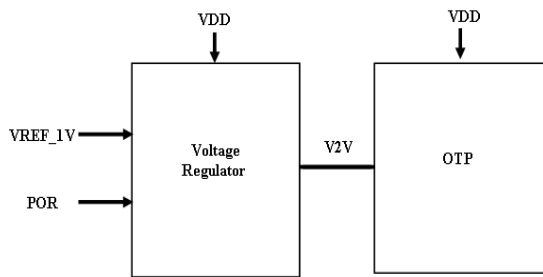


그림 3. V2V 레귤레이터와 eFuse OTP  
Fig. 3 Block diagrams of V2V regulator and eFuse OTP memory

설계된 32비트 eFuse OTP IP의 주요 특징은 표 1과 같다. 공정은 매그나칩 반도체 0.18 $\mu\text{m}$  GF-ACL 공정을 이용하였으며, 셀 어레이는 4행 × 8열로 구성되어 있다. eFuse OTP 셀은 differential paired eFuse OTP 셀에 비해 셀 면적이 작은 듀얼 포트 eFuse OTP 셀을 사용하였으며, eFuse 링크는 p-polysilicon을 사용하였다. 0.18 $\mu\text{m}$  GF-ACL 공정에서는 p-polysilicon eFuse가 n-polysilicon eFuse보다 blowing이 잘된다.

동작모드는 프로그램 모드, read 모드와 PVR (Program-Verify-Read) 모드가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트와 read 비트는 각각 1비트, 8비트이고 프로그램 시간은 200 $\mu\text{s}$ 이다. 사용되는 전원전압은 VDD이고, V2V는 VDD 공급전압을 레귤레이션한 전압이다. VDD 전압은 프로그램 모드인 경우 eFuse 링크에 충분한 프로그램 파워를 공급하기 위해 5.5V가 사용되며, 읽기 모드인 경우 2.3~5.5V가 사용된다. 설계에 사용된 소자는 공정 비용을 줄이기 위해 1.8V의 로직 트랜지스터를 사용하지 않고 5V MOS 트랜지스터만을 사용하였다.

표 1. 32b eFuse OTP IP의 주요 특징.

Table. 1 Major specification of a 32-bit eFuse OTP IP

Items	Main Features
Process	MX 0.18 $\mu\text{m}$ GF-ACL Process
OTP Cell Array Size	4R × 8C
Fuse Type	P-poly (Co-silicide)
Supply Voltage (VDD)	2.3V~5.5V
Temperature Range	-5 $^{\circ}\text{C}$ ~ 60 $^{\circ}\text{C}$
Operating Mode	Program / Program-Verify-Read / Normal Read/POR
Program bit/Read bit	1bit/8bit
Program Voltage (VDD)	5.5V
Program Time	200 $\mu\text{s}$
Access Time	200ns

32비트 eFuse OTP 메모리 설계에 사용된 기존의 듀얼 포트 eFuse OTP 셀의 회로도도 그림 3(a)에서 보는 바와 같으며, 큰 프로그램 전류를 흘릴 수 있는 프로그램용 NMOS 트랜지스터(MN1)와 읽기 모드 전류를 줄일 수 있는 읽기용 NMOS 트랜지스터(MN2)가 각각 사용되고 있다. BL과 SL은 그림 4(a)에서 보는 바와 같이 모두 열 방향으로 향하고 있다. 그런데 그림 4(a)의 OTP 셀을 이용한 4행 × 8열을 갖는 eFuse OTP IP는 eFuse의 큰 프로그램 전류를 공급해 주는 SL 구동회로를 매 열마다 배치하므로 8개의 SL 구동회로가 차지하는 레이아웃 면적이 큰 문제점이 있다. 그래서 본 논문에서는 행의 개수가 열의 개수보다 작은 4행 × 8열의 셀 어레이를 갖는 eFuse OTP IP 설계에서 eFuse의 프로그램 전류를 공급하는 SL 구동 라인을 열 방향으로 라우팅 하는 대신 행 방향으로 라우팅 하므로 레이아웃 면적을 많이 차지하는 SL 구동회로 수를 줄이는 셀 어레이 방식과 코어 회로를 제안하였다. 제안된 셀 어레이 방식과 코어 회로는 32비트 eFuse OTP IP의 레이아웃 면적을 줄일 수 있다.

그림 4(b)는 제안된 듀얼 포트 eFuse OTP 셀 회로로 BL은 열 방향을 유지하지만 SL은 RWL과 같은 행 방향으로 라우팅 되어 있다. 그림 5는 제안된 듀얼 포트 eFuse OTP 셀의 레이아웃 이미지이며, 셀 사이즈는 8.51 $\mu\text{m}$  × 11.26 $\mu\text{m}$  (=95.8226 $\mu\text{m}^2$ )이다.

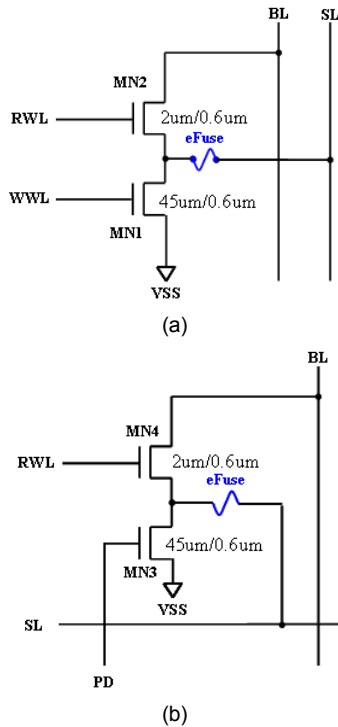


그림 4. 듀얼 포트 eFuse 셀 회로도 (a) 기존 셀 (b) 제안된 셀  
 Fig. 4 Dual-port eFuse cell circuits : (a) conventional circuit and (b) the proposed one

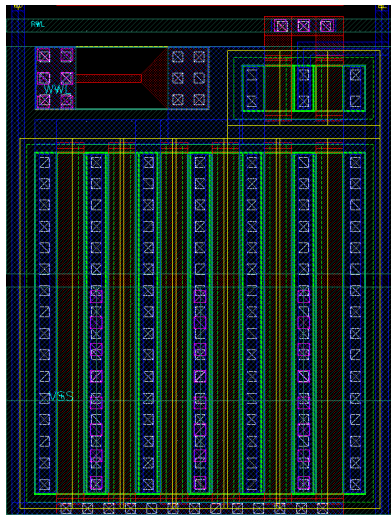


그림 5. 제안된 듀얼 포트 eFuse OTP 셀의 레이아웃 이미지  
 Fig. 5 Layout image of the proposed dual-port eFuse OTP memory cell

동작 모드별 eFuse OTP 셀의 바이어스 전압은 표 2에서 보는 바와 같다. 프로그램 모드에서 ‘1’로 프로그램되는 eFuse 셀의 SL과 PD(Program Data) 신호는 모두 VDD로 구동된다. 이와 같이 eFuse에 과전류가 흐르면 eFuse는 thermal rupture에 의해 blowing된다. 선택된 행의 SL은 VDD인 반면, 선택되지 않은 행의 SL은 0V를 유지한다. 그리고 DIN이 ‘1’인 경우 PD는 VDD를 구동하지만 DIN이 ‘0’인 경우 PD는 0V를 구동한다. 그래서 SL이나 PD 중 한 신호라도 0V인 OTP 셀의 eFuse 링크는 프로그램 전류가 흐르지 않으므로 blowing되지 않는다. Read 모드에서 선택된 RWL은 V2V를 구동하고 행 어드레스인 A[4:3]에 상관없이 모든 SL은 0V를 구동한다. ‘0’로 프로그램된 셀은 eFuse는 전도 상태이므로 BL에 0V를 출력하는 반면, ‘1’로 프로그램된 셀은 고저항 상태이므로 BL에 V2V를 출력한다.

표 2. 동작 모드에 따른 셀 바이어스 조건

Table. 2 Cell bias conditions according to operational modes

		PROGRAM MODE		READ MODE	
		0	1	0	1
DIN		0	1	0	1
RWL		0V	0V	V2V	V2V
SL	Unselected	0V	0V	0V	0V
	Selected	VDD	VDD	0V	0V
PD	Unselected	0V	0V	0V	0V
	Selected	0V	VDD	0V	0V
BL		Floating	Floating	0	V2V
DOUT		X	X	0	1
eFuse		Unblown	Blown	Unblown	Blown

0.18 $\mu$ m GF-ACL 공정을 이용하여 설계한 32비트 eFuse OTP 메모리의 블록도는 그림 6에서 보는 바와 같이 4행  $\times$  8열의 OTP 셀 어레이, 제어 신호(RD, PGM, TM\_EN)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 행 어드레스 A[4:3]을 디코딩하여 4개의 행 중 하나를 구동해주는 row driver, 열 어드레스 A[2:0]를 디코딩하여 프로그램 되는 8개의 열 중 한 열을 선택해주는 PD driver 회로, 프로그램 데이터를 저장하는 프로그램 데이터 래치(PD latch) 회로, BL의 데이터를 읽어내기 위한 DOUT 버퍼, 그리고 프로그램 데이터 래치에 저장된 프로그램 데이터 LD[7:0]와 DOUT 버퍼의 읽어낸 데이터 DOUT[7:0]이 일치하는지 비교

해주는 비교회로로 구성되어 있다. LD[7:0]와 DOUT [7:0]를 해당 비트끼리 비교하였을 때 모든 비트가 일치 하는 경우는 정상적으로 프로그램 되었으므로 PFb 신호는 '1'을 출력하고, 8비트 중 한 비트 이상이 불일치 하면 '0'를 출력한다. TM\_EN(Test Mode ENable) 신호는 PVR 모드와 read 모드를 구분해 준다.

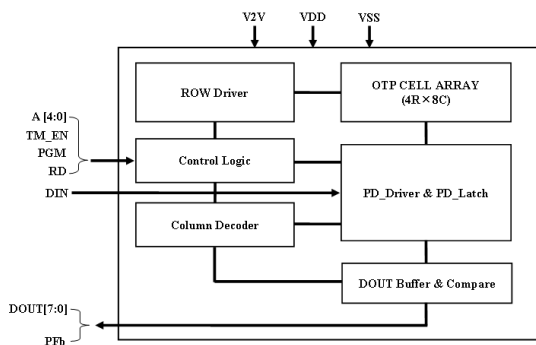


그림 6. 32비트 eFuse OTP 메모리의 블록도  
Fig. 6 Block diagram of 32-bit eFuse OTP memory

그림 7은 4행 × 8열의 제안된 셀 어레이 회로도를 보여주고 있다. RWL[3:0], SL[3:0]와 VSS는 행 방향이고, PD[7:0]과 BL[7:0]는 열 방향으로 라우팅 되어 있다.

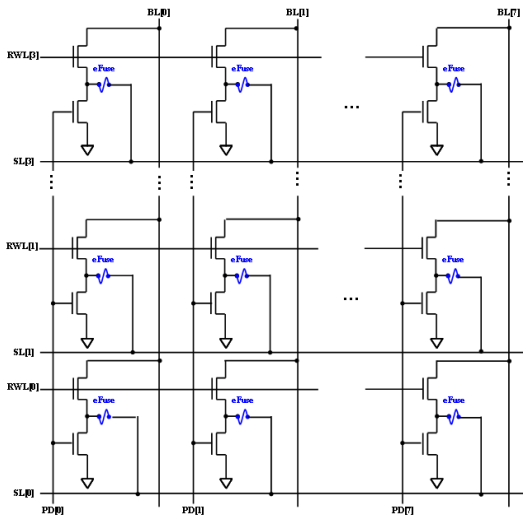


그림 7. 4행 × 8열의 제안된 eFuse OTP 셀 어레이 회로도  
Fig. 7 Cell array of four rows by eight columns for the designed eFuse OTP memory

eFuse OTP의 프로그램 동작은 어드레스 A[4:0]와 입력 데이터 DIN을 먼저 인가한 상태에서 PGM 신호가 0V에서 VDD로 활성화 되면 선택되는 eFuse OTP 메모리 셀은 프로그램 된다. 그리고 프로그램 모드에서 프로그램 입력 데이터 DIN은 eFuse OTP 메모리를 프로그램 하는데 사용할 뿐만 아니라 프로그램 데이터 래치 회로에 래치된다. 읽기 동작은 RD 신호를 VDD로 활성화시키면 8비트의 출력 데이터가 액세스 시간이 지난 이후 DOUT[7:0] 포트에 출력된다. 이때 PGM 신호는 0V를 유지해야 된다. 한편 eFuse OTP 메모리 IP는 패키지 상태에서 정상적으로 프로그램 되었는지 테스트가 가능하도록 설계가 되어야 한다. 프로그램 모드를 수행한 이후 연속으로 PVR 모드를 수행하면 dynamic pseudo NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 read 모드에서 선택된 셀의 read 데이터를 비교하여 PFb(Pass Fail bar) 핀으로 비교 결과를 확인할 수 있다[6]. 그래서 본 논문에서는 PVR 모드에서 프로그램 데이터와 read 데이터를 비교하여 PFb 핀으로 비교 결과를 출력하도록 설계하였다.

그림 8의 제안된 행 구동회로는 프로그램 모드로 진입하게 되면 WLENb\_PGM 신호가 0V가 되며, 행 어드레스인 A[4:3]을 디코딩하여 선택되는 SL만 VDD 전압으로 구동되고 선택되지 않은 SL은 0V를 유지하도록 한다. 이때 WLENb\_RD 신호는 프로그램 모드에서 VDD를 유지하므로 RWL은 0V를 유지한다. 그리고 read 모드와 PVR 모드에서 선택된 RWL은 V2V로 구동되고 선택되지 않은 RWL은 0V를 유지한다. 2.3V~5.5V의 넓은 동작 전압 범위를 갖는 eFuse OTP를 설계하는 경우 2.3V의 저전압 VDD 조건에서 post-program 저항이 수 십 kΩ 정도인 eFuse를 데이터 '1'로 센싱하도록 BL 풀업 부하를 사용하게 되면 5.5V의 VDD에서 프로그램되지 않은 eFuse 셀을 read할 때 RWL을 0V에서 VDD로 활성화되면서 blowing되지 않은 eFuse를 통해 큰 전류가 흐른다. 그래서 blowing 되지 않은 eFuse는 EM 현상에 의해 blowing되는 현상이 일어날 수 있다. 그래서 RWL과 BL 풀업 부하는 넓은 동작 전압 범위를 갖는 VDD를 사용하는 대신 전압 변동이 작은 V2V를 사용하여 blowing 되지 않은 eFuse에 흐르는 전류는 줄여 eFuse OTP의 신뢰성을 확보하였다[5]. 본 논문에서는 blowing 되지 않은 eFuse가 EM 현상에 의해

blowing되는 현상을 방지하기 위하여 RWL 구동회로와 BL 풀-업 부하회로에 필요한 V2V 레귤레이터 회로를 설계하였다.

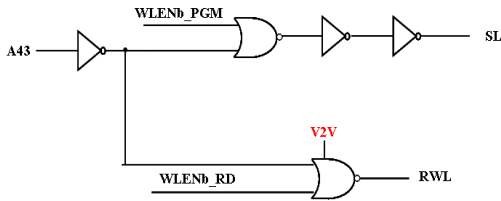


그림 8. 제안된 row 구동회로  
Fig. 8 Proposed row driver

그림 9의 PD 구동 회로는 프로그램 모드에서 행 어드레스인 A[2:0]을 디코딩하여 프로그램 되는 열의 DL(Data Latch) 신호만 VDD 전압을 공급한다. 선택되는 열의 PD(Program Data)는 DIN이 VDD인 경우 VDD 전압을 공급하고, DIN이 0V인 경우 0V로 구동한다. 한편 프로그램 되지 않는 SL 신호는 0V를 유지하도록 한다. 그리고 읽기 모드에서는 IPGM 신호가 0V이므로 PD는 0V를 구동하도록 한다.

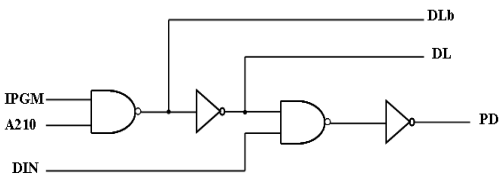


그림 9. PD 구동회로  
Fig. 9 PD driver

그림 10은 제안된 DOUT 버퍼 회로로 read 모드와 PVR 모드에서 BL 프리차지 신호인 BL\_PCG 신호에 의해 BL은 0V로 프리차징 된다. OTP 셀의 RWL 전압이 V2V로 활성화되면 BL 풀-업 부하 트랜지스터(MP1 또는 MP2)에 의해 BL은 V2V로 풀-업 된다. eFuse OTP 메모리 셀의 데이터가 BL에 충분히 전달되면 DOUT 버퍼는 SAENb(Sense Amplifier ENable bar) 신호가 0V로 활성화된 뒤 V2V 또는 0V인 BL 전압을 센싱하여 DOUT 포트에 읽은 데이터를 출력한다. 그런데 eFuse OTP 셀은 데이터 retention 시간인 10년 동안 프로그램된 eFuse 링크의 저항이 줄어드는 경우를 고

려한 가변 풀-업 부하 회로[7]를 사용하였다. eFuse를 프로그램한 후 PVR 모드에서는 그림 10의 가변 풀-업 부하 트랜지스터 중 MP1만 ON시켜 eFuse 저항이 정상적으로 프로그램 되었는지 테스트한다. 그리고 read 모드에서는 MP1보다 풀-업 저항이 작은 MP2만 ON시켜 프로그램된 eFuse 저항이 낮게 변동하더라도 BL을 풀-업시켜 정상적인 '1' 데이터로 센싱하도록 한다. 그래서 PVR 모드와 read 모드에서 센싱 가능한 eFuse 저항의 차이 값이 데이터 retention 시간동안 DOUT 버퍼에서의 BL 센싱 마진 저항이 된다.

PMIC용 OTP 설계에서는 VDD\_PD 신호는 파워업 시 V2V-to-VDD 레벨 translator 회로에서 V2V가 전압 레귤레이터에서 만들어지기 이전에 레벨 translator에서 단락 회로 전류가 흐르는 것을 방지하기 위하여 필요하다[5]. 그러나 라인 스캔 센서에서는 VDD가 파워업 되면서 V2V는 동시에 만들어지므로 V2V-to-VDD 레벨 translator 회로에서 VDD\_PD 신호를 이용한 단락 회로 전류를 차단할 필요는 없다.

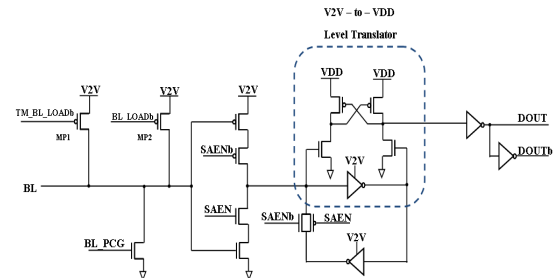


그림 10. 제안된 DOUT 버퍼 회로  
Fig. 10 Proposed DOUT buffer circuit

그림 11은 그림 3에서 보여지는 V2V 레귤레이터 회로를 보여주고 있으며, V2V의 기준전압인 VREF\_1V는 1V가 걸린다. VBIAS\_VREG는 바이어스 전류인 IREF\_2μA(=2μA) 전류가 흐르는 NMOS 다이오드의 VGS(Gate-Source Voltage) 전압이다. V2V 레귤레이터 회로는 구동전압인 V2V와 VSS 사이에 2개의 NMOS 다이오드가 직렬로 연결되어 있으므로 정상상태에서 VREF\_1V 전압과 VFB 전압은 같아진다. VREF\_1V 전압과 VFB 전압이 같아지면 V2V 전압은 VREF\_1V 전압의 2배인 2V를 구동하게 된다. V2V의 리플 전압을 줄이기 위해 V2V와 VSS 사이에 NMOS 전하 저장



커패시터를 두고 있다.

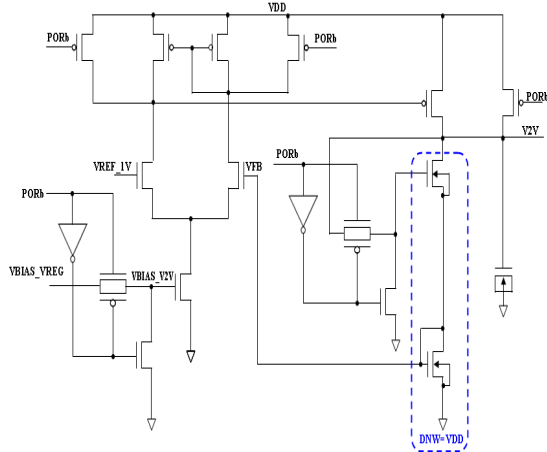


그림 11. 설계된 V2V 레귤레이터 회로  
Fig. 11 Designed V2V regulator

표 3. 시뮬레이션 조건에 따른 V2V 모의실험결과  
Table. 3 Simulation result of V2V according to simulation conditions

VDD	VREF_1V	IREF_2uA	TEMP	Model Parameter				
				SS	SF	TT	FS	FF
2.3V	0.9V	1.6 $\mu$ A	-5 $^{\circ}$ C	1.802	1.805	1.806	1.800	1.795
			25 $^{\circ}$ C	1.805	1.798	1.800	1.798	1.793
			60 $^{\circ}$ C	1.800	1.796	1.798	1.796	1.805
	1V	2 $\mu$ A	-5 $^{\circ}$ C	2.001	1.996	1.996	2.002	1.990
			25 $^{\circ}$ C	1.999	1.994	1.994	1.993	1.987
			60 $^{\circ}$ C	1.997	2.006	1.991	1.990	2.004
	1.1V	2.4 $\mu$ A	-5 $^{\circ}$ C	2.206	2.185	2.200	2.204	2.197
			25 $^{\circ}$ C	2.206	2.179	2.176	2.204	2.161
			60 $^{\circ}$ C	2.184	2.206	2.198	2.204	2.203
5.5V	0.9V	1.6 $\mu$ A	-5 $^{\circ}$ C	1.804	1.807	1.807	1.801	1.797
			25 $^{\circ}$ C	1.807	1.800	1.800	1.799	1.794
			60 $^{\circ}$ C	1.802	1.797	1.808	1.797	1.807
	1V	2 $\mu$ A	-5 $^{\circ}$ C	2.002	1.998	1.998	2.004	1.992
			25 $^{\circ}$ C	2.000	1.996	1.995	1.995	1.990
			60 $^{\circ}$ C	1.998	2.009	1.993	1.993	2.006
	1.1V	2.4 $\mu$ A	-5 $^{\circ}$ C	2.207	2.194	2.203	2.205	2.200
			25 $^{\circ}$ C	2.207	2.191	2.191	2.206	2.184
			60 $^{\circ}$ C	2.195	2.208	2.202	2.206	2.206

### III. 모의실험 결과

본 논문에서는 매그나칩 반도체 0.18 $\mu$ m GF-ACL 공정 기반의 32비트 eFuse OTP 메모리를 설계하였다. 표 3은 공급전압인 VDD, 기준전압인 VREF\_1V, 바이어스 전류인 IREF\_2 $\mu$ A, 온도, 모델 파라미터별 전압 레귤레이터인 V2V의 모의실험 결과이다. VDD는 각각 2.3V와 5.5V, VREF\_1V는 각각 0.9V, 1V, 1.1V이며, 온도는 각각 -5 $^{\circ}$ C, 25 $^{\circ}$ C, 60 $^{\circ}$ C이다. 모델 파라미터는 각각 SS, SF, TT, FS, FF이다. 모의실험 결과 V2V 전압은 각각 1.795V~2.208V로 목표 전압인 1.8V~2.2V에 근접한 것을 볼 수 있다.

2.3V~5.5V의 넓은 동작전압 영역을 갖는 eFuse OTP IP를 설계하는 경우 2.3V의 저전압 VDD 조건에서 post-program 저항이 수 십 k $\Omega$  정도인 프로그램된 eFuse를 데이터 '1'로 센싱하도록 BL 풀-업 부하를 사용하게 되면 5.5V의 VDD에서 프로그램되지 않은 eFuse 셀을 읽을 때 RWL 전압을 VDD로 활성화되면서 blowing되지 않은 eFuse를 통해 큰 전류가 흐르게 된다. 이 때 큰 전류에 의해 blowing 되지 않은 eFuse는 EM 현상에 의해 blowing되는 현상이 일어날 수 있다.

표 4는 프로그램 되지 않은 eFuse 링크의 read 전류에 대한 기존 회로의 모의실험 결과를 보여주고 있으며, FF 모델 파라미터, -5 $^{\circ}$ C에서의 read 전류는 586 $\mu$ A로 크게 흐르는 것을 볼 수 있다. 그리고 표 5는 제안된 회로의 프로그램 되지 않은 eFuse 링크의 read 전류에 대한 실험 결과를 보여주고 있다. 그래서 그림 8과 그림 10에서의 회로를 이용하여 RWL과 BL 풀-업 부하는 VDD를 사용하는 대신 전압 변동이 작은 V2V를 사용하여 blowing 되지 않은 eFuse에 흐르는 전류를 89.3 $\mu$ A 이내로 줄여 eFuse OTP의 신뢰성을 확보하였다.

표 4. 프로그램되지 않은 eFuse 링크의 read 전류에 대한 기존 회로의 모의실험 결과

Table. 4 Simulation result of the read currents of non-programmed eFuse links for the conventional circuit

Temp	Model Parameter				
	SS	SF	TT	FS	FF
-5 $^{\circ}$ C	396 $\mu$ A	537 $\mu$ A	475 $\mu$ A	426 $\mu$ A	586 $\mu$ A
25 $^{\circ}$ C	374 $\mu$ A	510 $\mu$ A	450 $\mu$ A	402 $\mu$ A	557 $\mu$ A
60 $^{\circ}$ C	352 $\mu$ A	483 $\mu$ A	426 $\mu$ A	380 $\mu$ A	528 $\mu$ A

표 5. 프로그램되지 않은 eFuse 링크의 read 전류에 대한 모의실험 결과

Table. 5 Simulation result of the read currents of non-programmed eFuse links

VDD	VREF	IREF	Temp	Model Parameter				
				SS	SF	TT	FS	FF
2.3V	0.9V	1.6μA	-5°C	20.6μA	38.9μA	32.4μA	24.6μA	49.9μA
			25°C	21.7μA	39.3μA	32.3μA	24.9μA	50.1μA
			60°C	22.7μA	39.8μA	32.4μA	25.1μA	50.6μA
	1.1V	2.4μA	-5°C	34.4μA	59.0μA	46.7μA	36.5μA	64.0μA
			25°C	33.5μA	57.2μA	45.4μA	36.1μA	62.0μA
			60°C	32.8μA	55.5μA	44.3μA	35.4μA	60.4μA
5.5V	0.9V	1.6μA	-5°C	22.2μA	39.6μA	35.2μA	26.0μA	50.0μA
			25°C	24.0μA	42.7μA	34.8μA	27.0μA	51.1μA
			60°C	25.1μA	46.0μA	35.2μA	27.1μA	51.5μA
	1.1V	2.4μA	-5°C	45.7μA	77.6μA	64.1μA	51.1μA	89.3μA
			25°C	46.0μA	79.1μA	63.2μA	50.6μA	88.2μA
			60°C	45.3μA	77.2μA	61.9μA	50.4μA	86.2μA

표 6. 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과

Table. 6 Simulation result of the sensing resistances of programmed eFuse links

Mode	VDD	VREF	IREF	Temp	Model Parameter				
					SS	SF	TT	FS	FF
Program Verify Read	5.5V	0.9V	1.6μA	-5°C	53K	28K	41K	59K	31K
				25°C	52K	28K	41K	58K	31K
				60°C	52K	28K	41K	56K	31K
		1.1V	2.4μA	-5°C	37K	22K	30K	37K	23K
				25°C	38K	22K	30K	37K	23K
				60°C	39K	23K	31K	37K	23K
Normal Read	2.3V	0.9V	1.6μA	-5°C	19K	7K	13K	21K	9K
				25°C	19K	7K	12K	20K	9K
				60°C	17K	7K	12K	19K	9K
		1.1V	2.4μA	-5°C	14K	6K	11K	16K	8K
				25°C	14K	6K	11K	16K	8K
				60°C	14K	6K	11K	16K	8K
	5.5V	0.9V	1.6μA	-5°C	19K	7K	13K	21K	10K
				25°C	18K	7K	13K	21K	10K
				60°C	17K	7K	13K	20K	9K
		1.1V	2.4μA	-5°C	13K	6K	10K	14K	7K
				25°C	13K	6K	10K	14K	7K
				60°C	13K	6K	10K	13K	7K

표 6은 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과이다. 가변 풀-업 부하 회로를 사용하므로 VDD=5.5V, VREF=0.9V, FS(Fast NMOS, Slow PMOS) 모델 파라미터, -5°C의 PVR 모드와 read 모드에서의 eFuse 센싱 저항은 각각 59kΩ, 21kΩ으로 모의 실험 되었다. 이 경우 프로그램된 eFuse 저항이 10년 동안 38kΩ 정도 떨어지지 않는 이상 정상적으로 센싱이 가능하다. 그리고 PVR 모드의 VDD 전압은 eFuse OTP의 한 바이트를 프로그램한 뒤 바로 PVR 모드를 수행해야 하므로 프로그램 모드의 VDD 전압인 5.5V를 사용하였다.

그림 12는 프로그램 모드의 모의실험 결과이다. A[4:0]를 먼저 인가한 상태에서 PGM 신호가 high로 활성화 되면 DIN이 '1'인 경우 그림 12(a)에서 보는 바와 같이 선택된 eFuse 셀의 SL와 PD는 모두 high가 되어 그림 4(b)의 ON이 되어있는 MN3를 통해 프로그램 전류가 흘러서 eFuse 링크는 blowing된다. 반면 DIN이 '0'인 경우 그림 12(b)에서 보는 바와 같이 SL은 high이지만 PD는 low가 되어 MN3는 OFF되어 프로그램 전류가 흐르지 않는다. eFuse 링크에 프로그램 전류가 흐르지 않으면 blowing되지 않는다.

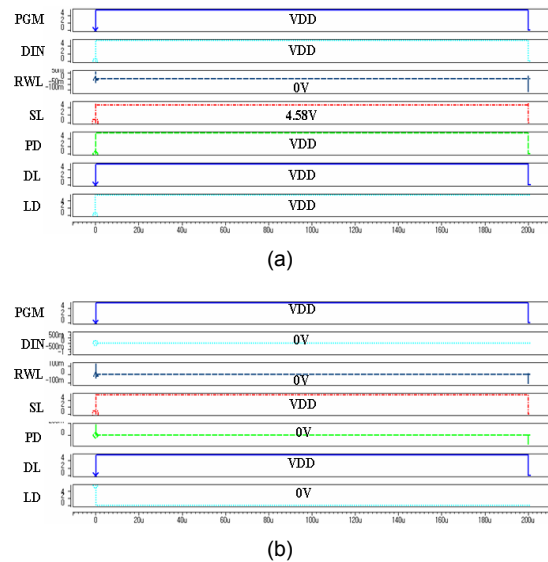


그림 12. 프로그램 모드에서의 모의실험 결과 (a) DIN이 '1'인 경우 (b) DIN이 '0'인 경우

Fig. 12 Simulation result in the program mode : (a) in case that Din is '1' and (b) in case that Din is '0'



그림 13은 32비트 eFuse OTP 메모리에 대한 read 모드에서의 모의실험 결과이다. RD 신호가 활성화 되면 RWL 신호가 high로 되고, BL에 eFuse OTP 셀의 데이터가 전달된 뒤 SAENb 신호에 의해 BL의 데이터는 DOUT 포트로 출력된다. VDD=2.3V, VREF=0.9V, Temp=60°C에서 액세스 시간(tAC)은 58.8ns이다.

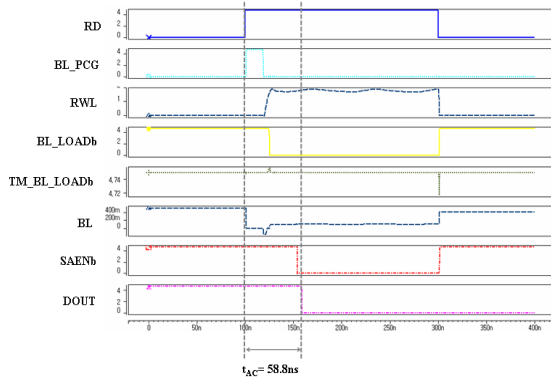


그림 13. Read 모드에서 '0'로 프로그램된 경우의 모의실험 결과  
 Fig. 13 Simulation result in case of being programmed with '0' in the read mode

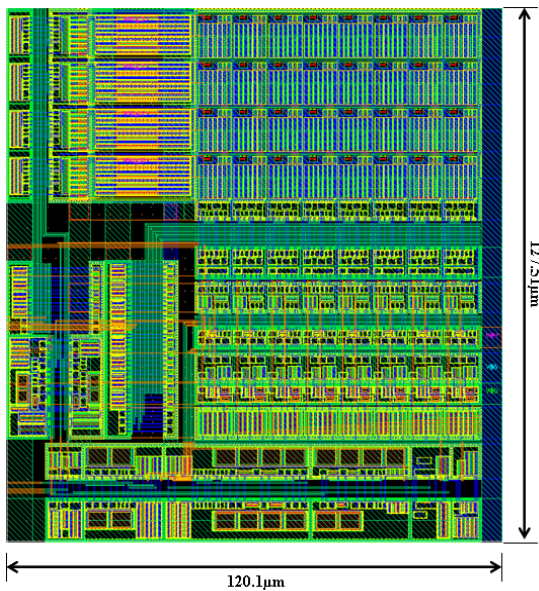


그림 14. 설계된 32비트 eFuse OTP 메모리의 레이아웃 이미지  
 Fig. 14 Layout image of the designed 32-bit eFuse OTP memory

설계된 4행 × 8열의 32비트 eFuse OTP IP의 레이아웃 면적은 그림 14에서 보는 바와 같이  $120.1\mu\text{m} \times 127.51\mu\text{m} (=0.01531\text{mm}^2)$ 로 기존의 eFuse OTP IP의 면적인  $187.065\mu\text{m} \times 94.525\mu\text{m} (=0.01768\text{mm}^2)$ 보다 13.4% 더 작은 것을 확인하였다.

#### IV. 결론

x-ray 라인 스캔 센서는 아날로그 회로를 트리밍하기 위해서는 소용량의 비휘발성 메모리를 필요로 한다. x-ray 라인 스캔 센서에 내장되는 비휘발성 메모리는 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 eFuse OTP 메모리가 많이 사용되고 있다.

본 논문에서는 행의 개수가 열의 개수보다 작은 4행 × 8열의 셀 어레이를 갖는 eFuse OTP IP 설계에서 eFuse의 프로그램 전류를 공급하는 SL 구동 라인을 열 방향으로 라우팅 하는 대신 행 방향으로 라우팅 하므로 레이아웃 면적을 많이 차지하는 SL 구동회로 수를 8개에서 4개로 줄이는 셀 어레이 방식과 코어 회로(SL 구동회로와 DOUT 버퍼 회로)를 제안하였다. 제안된 셀 어레이 방식과 코어 회로는 32비트 eFuse OTP IP의 레이아웃 면적을 줄일 수 있었다.

그리고 RWL 구동회로와 BL 풀-업 부하회로에 VDD를 사용하는 대신 전압 변동이 작은 V2V를 사용하여 blowing 되지 않은 eFuse에 흐르는 전류를  $89.3\mu\text{A}$  이내로 줄여 eFuse OTP의 신뢰성을 확보하였다. 설계된 4행 × 8열의 32비트 eFuse OTP IP의 레이아웃 면적은  $120.1\mu\text{m} \times 127.51\mu\text{m}$  로 기존의 eFuse OTP IP의 면적인  $187.065\mu\text{m} \times 94.525\mu\text{m}$ 보다 13.4% 더 작은 것을 확인하였다.

#### 감사의 글

이 논문은 2013~2014년도 창원대학교 연구비에 의하여 연구되었음.

REFERENCES

- [1] Chang-Won Heo et al., "Design of a CMOS x-ray line scan sensors", *J. Korea Inst. Inf. Commun. Eng.*, vol. 17, no. 10, pp. 1455-1462, Jan. 2013.
- [2] S. H. Kulkarni et al., "A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37 $\mu$ m<sup>2</sup> 1T1R bit cell in 32 nm high-k metal-gate CMOS," *IEEE Solid-State Circuits*, vol. 45, no. 4, pp. 863-868, April 2010.
- [3] J. Safran, A. Leslie, et al., "A compact eFuse programmable array memory for SOI CMOS," *Symposium on VLSI Circuits*, pp. 72-73, June 2007.
- [4] N. Robson et al., "Electrically programmable fuse (eFuse): From memory redundancy to autonomic chip," *Proceedings of Custom Integrated Circuits Conference*, pp. 799-804, Sep. 2007.
- [5] Woo-young Jeong et al., "Design of eFuse OTP Memory with Wide Operating Voltage Range for PMICs", *J. Korea Inst. Inf. Commun. Eng.*, vol. 18, no. 1, pp. 115-121, Jan. 2014.
- [6] Huiling Yang et al., "Design of High-Reliability eFuse OTP Memory for PMICs", *J. Korea Inst. Inf. Commun. Eng.*, vol. 16, no. 7, pp. 1455-1462, July. 2012.
- [7] J. H. Kim et al., "Design of 1-Kb eFuse OTP memory IP with reliability considered", *JSTS*, vol. 11, no. 2, pp. 88-94, June 2010.



**학문초(Wenchao Hao)**

2012.8 연변대학교 전자공학과 공학사  
 2012.9 ~ 현재 창원대학교 전자공학과 석사과정  
 ※관심분야 : Non-Volatile memory 설계



**허창원(Chang-Won Heo)**

1990.2 창원대학교 전자공학과 공학사  
 1995.8 창원대학교 전자공학과 공학석사  
 2000.2 창원대학교 전자공학과 박사과정 수료  
 ※관심분야 : CMOS x-ray 라인 스캔 센서 설계



**김용호(Yong-Ho Kim)**

1993.2 부산대학교 전자계산학과 학사  
 1995.2 부산대학교 전자계산학과 석사  
 2001.2 부산대학교 전자계산학과 박사수료  
 2013.2 ~ 현재 창원대학교 전자공학과 박사과정  
 1995.3 ~ 현재 한국기계연구원 부설 재료연구소 책임연구원  
 ※관심분야 : 제어 통신 프로토콜, SoC 설계, 어플라이언스 컴퓨팅



**하판봉(Pan-Bong Ha)**

1981.2 부산대학교 전기공학과 공학사  
 1983.2 서울대학교 전자공학과 공학석사  
 1993.2 서울대학교 전자공학과 공학박사  
 1987.3 ~ 현재 창원대학교 전자공학과 교수  
 ※관심분야 : 임베디드 시스템, SoC 설계



**김영희(Young-Hee Kim)**

1989.2 경북대학교 전자공학과 공학사  
1997.2 포항공과대학교 전자전기공학과 공학석사  
2000.8 포항공과대학교 전자전기공학과 공학박사  
1989.1 ~ 2001.2 현대전자 책임연구원  
2001.3 ~ 현재 창원대학교 전자공학과 교수  
※관심분야 : CMOS Image Sensor 설계, 메모리 IP 설계, SoC 설계