

논문 2014-51-8-17

# Field Programmable Gate Array 기반 다중 클럭과 이중 상태 측정을 이용한 시간-디지털 변환기

( Time-to-Digital Converter Implemented in  
Field-Programmable Gate Array using a Multiphase Clock and Double  
State Measurements )

정 현 철\*, 임 한 상\*\*

( Hyun-Chul Jung and Hansang Lim<sup>©</sup> )

## 요 약

Field programmable gate array 기반 시간-디지털 변환기(Time to Digital Converter)로 가장 널리 사용되는 딜레이 라인(tapped delay line) 방식은 딜레이 라인의 길이가 길어지면 정확도가 떨어지는 단점이 있다. 이에 본 논문에서는 동일한 시간 해상도를 가지면서 딜레이 라인의 길이를 줄일 수 있도록 4 위상 클럭을 사용하고 이중 상태 판별 제어부를 가지는 시간-디지털 변환기 구조를 제안한다. 4 위상 클럭 별로 딜레이 라인 구성 시 발생하는 라인 간 딜레이 오차를 줄이기 위해 입력신호와 가장 가까운 클럭과의 시간 차이만 하나의 딜레이 라인으로 측정하고 어떤 위상 클럭이 사용되었는지를 판별하는 구조를 가졌다. 또한 싱크로나이저 대신 이중 상태 측정 state machine을 이용하여 메타스테이블을 판별함으로써, 싱크로나이저로 인한 딜레이 라인의 증가를 억제하였다. 제안한 시간-디지털 변환기(TDC)의 성능 측정 결과 1 ms의 측정 시간 범위에 대해 평균 분해능 22 ps, 최대 표준편차 90 ps를 가지며 비선형성은 25 ps였다.

## Abstract

In a delay line type of a time-to-digital converter implemented in Field Programmable Gate Array, the timing accuracy decreases for a longer carry chain. In this paper, we propose a structure that has a multi-phase clock and a state machine to check metastability; this would reduce the required length of the carry chain with the same time resolution. To reduce the errors caused by the time difference in the four delay lines associated with a four-phase clock, the proposed TDC generates a single input pulse from four phase clocks and uses a single delay line. Moreover, the state machine is designed to find the phase clock that is used to generate the single input pulse and determine the metastable state without a synchronizer. With the measurement range of 1 ms, the measured resolution was 22 ps, and the non-linearity was 25 ps.

**Keywords :** TDC, FPGA, Tapped delay line, Multiphase clock, State machine

---

\* 학생회원, 광운대학교 전자공학과

(Department of Radio Science and Engineering, Kwangwoon University)

\*\* 정회원, 광운대학교 전자융합공학과

(Department of Electronics Convergence Engineering, Kwangwoon University)

© Corresponding Author(E-mail: lhs@kw.ac.kr)

※ 이 논문은 2013년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임.  
(NRF-2013R1A1A2005479)

접수일자: 2014년02월21일, 수정일자: 2014년06월07일, 수정완료: 2014년08월01일

## I. 서 론

최근 미세 시간 측정을 위한 시간-디지털 변환기(time to digital converter)에 대한 연구가 ASIC(application specific integrated circuit)과 FPGA 기반으로 활발히 이루어지고 있다. ASIC의 경우, 디자인 전체를 직접 설계하고, 조정할 수 있는 장점이 있으나 개발 비용이 비싸고, 개발 시간이 긴 단점이 있다<sup>[1-2]</sup>. 반면 FPGA의 경우 개발 비용이 적고, 개발 시간도 짧으며 설계 후에도 코드 수정을 통해 개선 사항, 사양 변화 등을 쉽게 반영할 수 있다<sup>[3-4]</sup>.

최근 개발된 FPGA는 수십 ps 분해능을 갖는 전용 딜레이 라인을 포함하고 있다. 그래서, 내부 resource를 이용해 수십 ps 분해능을 가지는 딜레이 라인 방식 시간-디지털 변환기가 널리 사용되고 있다<sup>[5]</sup>.

딜레이 라인 방식은 딜레이 라인의 길이가 길어지면 딜레이 탭 당 지연시간의 차이로 인한 정확도(accuracy)가 떨어지고, 온도나 전원 특성에 대한 영향이 증가하는 단점이 있다<sup>[6]</sup>. 그래서 이러한 딜레이 라인의 길이를 줄이기 위해 2 위상 클럭, 4 위상 클럭을 사용하는 연구가 이루어져 왔다<sup>[7-9]</sup>. 그 중 위상이 90도씩 차이나는 4 위상 클럭을 사용하는 방식은 각 클럭 별 딜레이 라인 길이를 1/4로 줄일 수 있는 장점이 있다<sup>[10]</sup>. 하지만 4 위상 클럭 별로 딜레이 라인을 사용하기 때문에 각 딜레이 라인 간 특성 차이에 대한 보정이 필요하며 단일 위상 클럭을 사용하는 경우와 동일한 크기의 리소스를 필요로 한다.

또한, 시간-디지털 변환기는 비동기 입력신호를 입력받기 때문에 메타스테이블 상태가 발생할 수 있다. 이를 피하기 위해 일반적으로 싱크로나이저를 사용하는 데, 싱크로나이저를 사용하면 딜레이 라인의 길이가 2배 길어지는 단점이 있다<sup>[11]</sup>.

그래서 본 논문은 4 위상 클럭에 대응하여 하나의 딜레이 라인만 사용하는 파인부, 그리고 싱크로나이저 없이 메타스테이블 상태와 4 위상 클럭의 위상을 판별하는 제어부 구조를 갖는 시간-디지털 변환기를 제안한다.

딜레이 방식 시간-디지털 변환기에서 코스부의 클럭 주파수가 100 MHz이고 캐리체인의 평균 분해능이 20 ps라고 가정한다. 단일 클럭 방식의 경우 파인부에서 10 ns 시간을 측정해야 해서 500 개의 캐리체인이 필요

하다. 2 위상 클럭 방식에서 필요한 전체 캐리체인의 수는 500개로 동일하나 각 위상 당 5 ns의 시간을 측정하므로 위상 당 캐리체인의 수는 250개로 감소한다. 4 위상 클럭 방식의 경우도 필요한 전체 캐리체인의 수는 동일하게 500개이나 클럭의 한 위상에서 측정해야 하는 시간이 2.5 ns이므로 위상 당 사용되는 캐리체인의 수는 125개로 감소한다.

특히, 싱크로나이저를 사용하여 메타스테이블을 보완할 경우 두 클럭에 해당하는 20 ns의 시간을 측정해야 하므로 필요한 캐리체인의 수는 1000 개로 증가하고 각 클럭 방식 별로 위상 당 캐리체인의 수도 1000개, 500개, 250개가 된다.

캐리체인 단위 지연 시간은 비선형성이 크므로 캐리체인의 길이가 길어지면 비선형성, 특히 ultra wide bin 등으로 인한 정확도 저하의 확률이 증가한다. 그리고, 필요한 캐리체인의 개수가 증가하면 다채널 구현이 어렵기 때문에 리소스 활용 측면에서 단점이 있다.

본 논문에서 제안하는 시간-디지털 변환기는 4분주된 클럭 신호를 ORing을 통해 하나의 딜레이 라인만을 사용하여 측정하고 싱크로나이저 대신 state machine을 이용한 이중 상태 판별을 통해 메타 스테이블 상태를 판별하므로써, 오직 125 개의 캐리체인만 사용한다. 캐리체인의 길이와 개수를 최소화함으로써, 비선형성으로 인한 해상도 저하와 리소스 활용 측면에서 장점을 가진다.

제안하는 시간-디지털 변환기는 Xilinx사의 Virtex6를 이용해 구현하고 동작 성능을 확인하였다.

## II. 다중클럭 시간-디지털 변환기

### 1. 동작원리

그림 1은 본 논문에서 제안한 시간-디지털 변환기의 블록도를 나타낸다. 넓은 측정 범위와 높은 분해능을 모두 만족시키기 위해 코스부/파인부 구조를 갖고 있다. 코스부는 싱글 카운터 방식이고, 파인부는 캐리체인을 이용한 딜레이 라인 방식이다.

그림 2는 다중 클럭 시간-디지털 변환기의 동작을 보여준다. SIGNAL의 펄스폭  $\Delta T$ 가 측정 대상 시간이다. 코스부에서는 카운터를 이용하여 SIGNAL 신호가 high (1)인 상태 시간을 클럭 주기의 정수배로 측정한다. 그러므로 코스부는 입력 신호의 시작 부분과 끝 지

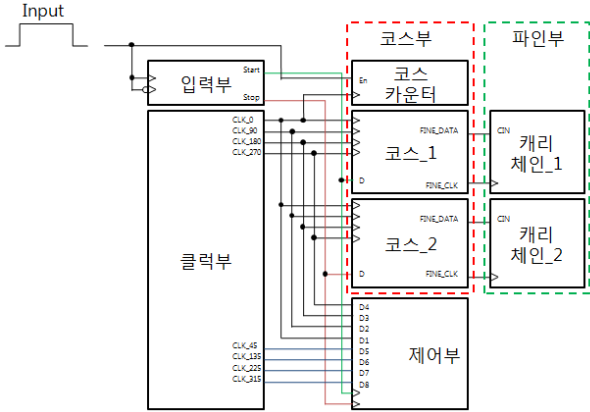


그림 1. 제안하는 시간-디지털 변환기 블록도

Fig. 1. Proposed time-to-digital converter block diagram.

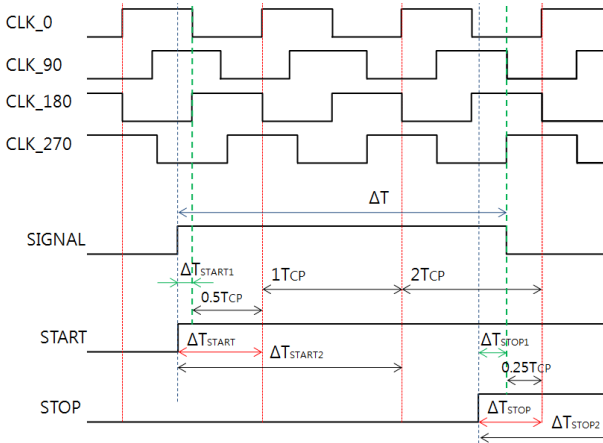


그림 2. 다중 위상클럭 TDC의 동작 파형

Fig. 2. Operation waveform of multiphase-TDC.

점에서 발생하는, 클럭의 한 주기 미만의 시간을 측정하지 못한다.

단일 위상 (CLK\_0) 클럭을 이용한 시간-디지털 변환기의 코스부에서 측정하지 못하는 시간 e는 다음과 같이 표현할 수 있다. 단, N은 카운터의 출력 값, T<sub>CP</sub>는 클럭의 주기이다.

$$\begin{aligned} \Delta T &= (N-1) \cdot T_{CP} + (T_{CP} - \Delta T_{stop}) + \Delta T_{start} \\ &= N \cdot T_{CP} - \Delta T_{stop} + \Delta T_{start} \\ &= N \cdot T_{CP} + e \end{aligned} \tag{1}$$

$$\begin{aligned} 0 \leq \Delta T_{stop} \leq T_{CP}, \quad 0 \leq \Delta T_{start} \leq T_{CP} \\ e = \Delta T_{start} - \Delta T_{stop} \end{aligned} \tag{2}$$

그리고 단일 위상 클럭과 싱크로나이저를 이용한 시간-디지털 변환기의 파인부 측정시간 범위는 아래와 같

이 표현할 수 있다.

$$\begin{aligned} 0 \leq \Delta T_{stop2} \leq 2T_{CP}, \quad 0 \leq \Delta T_{start2} \leq 2T_{CP} \\ e = \Delta T_{start2} - \Delta T_{stop2} \end{aligned} \tag{3}$$

제안하는 4 위상 클럭을 이용하면, 코스부 측정시간 e는 다음과 같이 표현할 수 있다.

$$\begin{aligned} 0 \leq \Delta T_{stop1} \leq 0.25T_{CP}, \quad 0 \leq \Delta T_{start1} \leq 0.25T_{CP} \\ e = \Delta T_{start1} - \Delta T_{stop1} \\ = (\Delta T_{start1} + 0.5T_{CP}) - (\Delta T_{stop1} + 0.25T_{CP}) \\ = (\Delta T_{start1} - \Delta T_{stop1}) + (0.5T_{CP} - 0.25T_{CP}) \\ = (\Delta T_{start1} - \Delta T_{stop1}) + 0.25T_{CP} \end{aligned} \tag{4}$$

단일 위상 클럭을 사용하는 시간-디지털 변환기에서 클럭 주파수가 330 MHz라고 하면 파인부 측정 시간 ΔT<sub>start</sub>, ΔT<sub>stop</sub>의 최대 크기는 3.03 ns이다. 그러므로, 평균 딜레이가 22 ps인 캐리체인을 사용하여 3.03 ns를 측정하기 위해서는 총 138개의 캐리체인을 필요로 한다. 그런데, 메타 스테이블 상태를 피하기 위해 싱크로나이저를 포함할 경우 파인부에서는 ΔT<sub>start</sub>, ΔT<sub>stop</sub>에서 최대 한 클럭 주기만큼의 시간을 더 측정해야 한다. 즉, ΔT<sub>start2</sub>, ΔT<sub>stop2</sub>는 6.06 ns이 되고, 이 시간 범위를 측정하기 위해 필요한 캐리체인의 개수는 276개가 된다.

동일한 주파수를 가지는 4 위상 클럭을 사용하는 시간-디지털 변환기에서 파인부의 측정 시간 ΔT<sub>start1</sub>, ΔT<sub>stop1</sub>의 최대 크기는 단일 위상 클럭 대비 1/4만큼 줄어들므로 760 ps가 되며 총 35개의 캐리체인을 사용하여 측정할 수 있다. 또한, 싱크로나이저 대신 이중 상태 판별을 통해 메타 스테이블 상태를 판별하므로 본 논문에서 제안한 시간-디지털 변환기는 최종적으로 35개의 캐리체인만을 필요로 한다. 따라서, 단일 위상 클럭과 싱크로나이저를 이용한 방식에 비해 캐리체인의 개수가 276개에서 35개로, 약 1/8 수준으로 감소한다.

제어부는 파인부의 클럭신호로 4개 위상 클럭들 중 어떤 위상의 클럭을 사용하였는지 판별하는 역할을 한다. 즉, 식 (4)에서 딜레이 라인을 통해 측정되는 시간을 제외한 0.25T<sub>CP</sub>(=0.5T<sub>CP</sub> - 0.25T<sub>CP</sub>)를 결정한다. 그리고 싱크로나이저를 대신하여 메타스테이블 상태를 판별하는 역할도 한다.

클럭부는 4 위상 클럭과 제어부에서 메타스테이블 상태를 판별하기 위해 추가로 4개 위상 클럭을 생성한다.

## 2. 세부 구조

### 가. 입력부

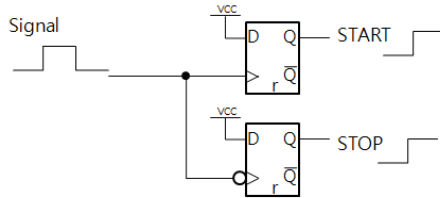


그림 3. 입력부 블록도  
Fig. 3. Input block diagram.

그림 3은 그림 2의 START와 STOP 신호를 생성하는 입력부이다. 코스부에서 측정하지 못하는 up edge 부분의  $\Delta T_{start1}$ 과 down edge 부분의  $\Delta T_{stop1}$ 을 2개의 파인부를 통해 각각 측정하기 위해서, START와 STOP 신호를 생성한다.

### 나. 코스부

싱글 카운터 방식의 코스부는 클럭부의 4 위상 클럭 중 CLK\_0를 클럭으로 사용한다. 입력 신호를 카운터의 enable 신호로 사용하여, 입력 신호가 high(1)인 시간 동안 클럭의 up edge가 발생한 개수를 카운터에서 측정한다. 입력부에서 생성한 START, STOP 신호와 클럭의 up edge 사이의 시간은 파인부에서 측정한다.

파인부에서 측정할 미세 시간 신호는 그림 4에서, 위상이 90도씩 차이 나는 4개 클럭과 4개의 플립플롭, OR 게이트에 의해 생성된다. 4개의 플립플롭 출력들을 OR하여 START, STOP 신호와 가장 가까운 위상의 클럭 신호만을 사용하기 때문에, 4 위상 클럭 모두 딜레이 라인을 통해 시간을 측정하는 기존 방식에 비해 각 딜레이 라인의 길이는 동일하게 유지하면서 필요한 딜레이 라인의 개수를 4개에서 1개로 줄일 수 있다. 그러므로 4개의 딜레이 라인 별 시간 특성 차이로 인한 정밀도 저하를 피할 수 있다.

그리고, 싱크로나이저를 사용하지 않기 때문에 딜레이 라인의 길이를 싱크로나이저를 사용하는 구조에 비해 1/2로 줄일 수 있다. 이러한 구조는 딜레이 라인의 개수 및 길이를 줄일 수 있으며 딜레이 라인 간 특성 차이 및 딜레이 라인을 구성하는 단위 딜레이 탭의 지연 시간 차이의 영향을 줄여주는 장점이 있다.

### 다. 클럭부

클럭부는 Virtex6의 Mixed-Mode Clock management (MMCM)을 사용하여 구현하였다. MMCM은 66 MHz 외부 입력을 입력받아서, 330 MHz 주파수를 가지며 90도씩 위상이 차이 나는 4개의 클럭 CLK\_0, CLK\_90, CLK\_180, CLK\_270을 생성한다.

싱크로나이저 없이 메타스테이블 상태를 판별하기 위해, 제안한 시간-디지털 변환기는 판별 시점이 다른 2개의 제어부를 사용한다. 두 제어부의 상태 판별 시점을 플립플롭의 setup time 만큼 다르게 하기 위해 기존 4개 클럭과 각각 45도씩 차이 나는 클럭 CLK\_45, CLK\_135, CLK\_225, CLK\_315를 클럭부에서 추가로 생성한다.

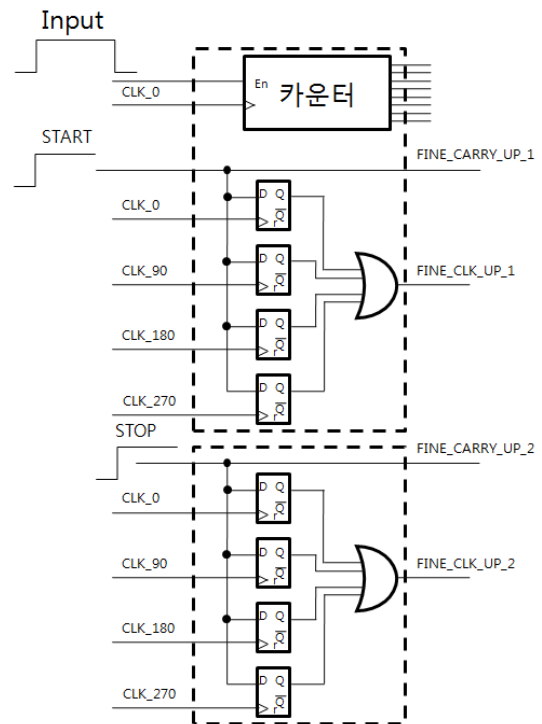


그림 4. 제안하는 다중위상 클럭을 사용한 코스부 구조  
Fig. 4. Proposed coarse block diagram with multiphase clock.

### 라. 파인부

Virtex6는 각 configurable logic block (CLB)마다 딜레이 라인을 구성할 수 있는 전용 캐리체인(carry chain)을 제공한다. 사양서에 따르면 Virtex6 (grade -1) 등급에서 캐리체인의 딜레이 시간은 80 ps이다.

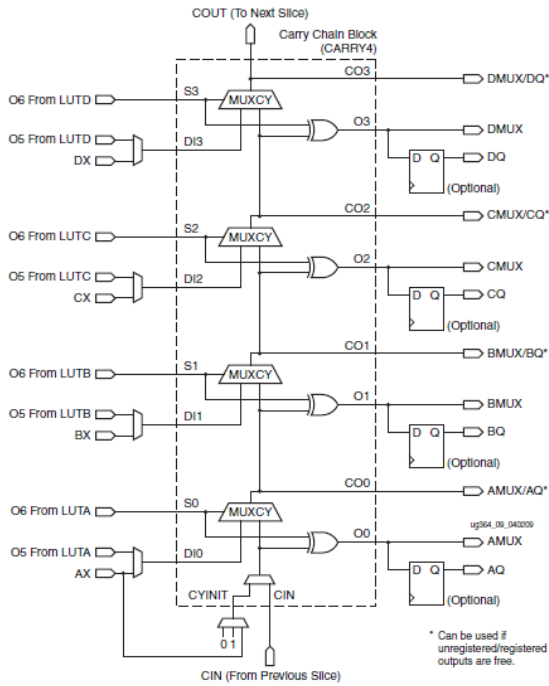


그림 5. Virtex6 CLB 안의 캐리체인 구조(Virtex6 사양서)  
 Fig. 5. Virtex6 carry chain block diagram in CLB.

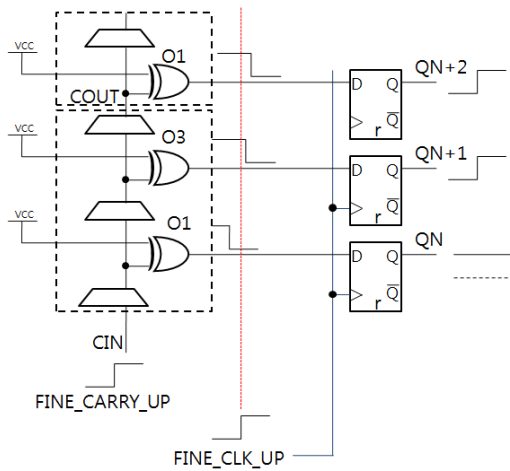


그림 6. 캐리체인을 사용하여 구현한 딜레이 라인 구조  
 Fig. 6. Delay line block diagram using carry chain.

하나의 캐리체인 당 딜레이가 80 ps이므로 이보다 더 높은 분해능을 얻기 위해서 캐리체인에서 분주되는 4개의 출력 신호 중 2개를 사용하였다. 그림 5의 캐리체인 블록도에서 CIN에서 COUT 까지의 시간은 80 ps로 일정하나, CIN에서 O1, O2, O3, O4까지의 시간은 각기 달라서, 각 출력 간의 시간 차이가 20 ps(=80 ps/4)로 유지되지 않는다. 시뮬레이션 결과에 따르면 O0에서 O2까지의 딜레이는 35 ps, O2에서 O0까지의 딜레이는

43 ps이며 O1에서 O3까지의 딜레이는 40 ps, O3에서 O1까지의 딜레이가 38 ps이다. 따라서, 4개의 출력 중 시간간격이 좀더 균일한 O1과 O3를 사용하여 그림 6과 같이 40 ps 분해능을 갖는 딜레이 라인을 구현하였다.

마. 제어부

제어부는 코스부에서 사용하는 4개의 클럭 중 어떤 위상을 갖는 클럭이 파인부 캐리체인의 클럭 입력으로 사용되는지를 판별한다.

그림 7에서 입력신호의 up edge가 트리거 시점이다. 제어부는 트리거 시점에서 4개 위상 클럭 상태를 판별한다. 0도, 90도, 180도, 270도 위상 클럭만 사용할 경우, 제어부 내에서 메타스테이블 문제가 발생하였을 때 올

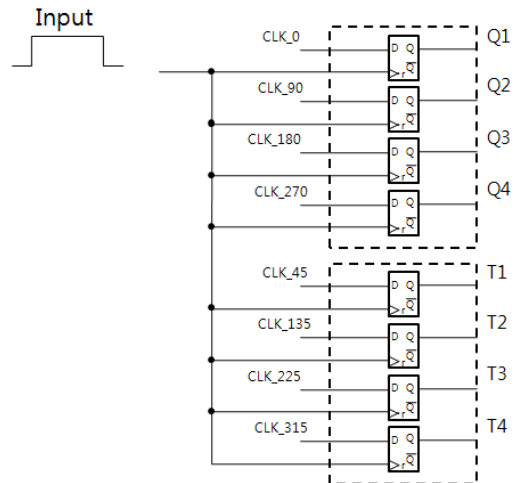


그림 7. 제어부 블록도  
 Fig. 7. State machine block diagram.

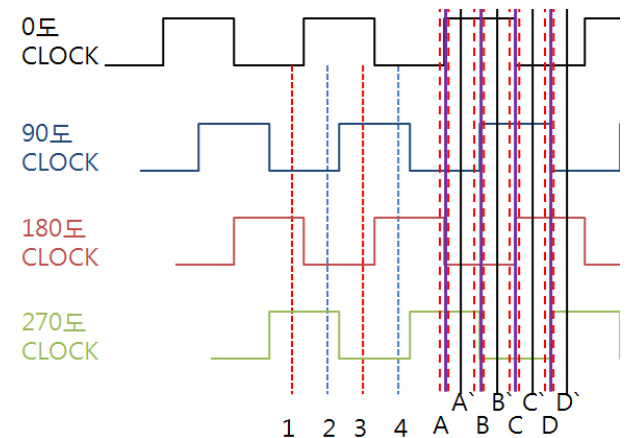


그림 8. 제어부 트리거 시점 관련 그림  
 Fig. 8. State machine trigger point figure.

바른 상태를 읽을 수 없다. 본 논문에서는 이를 해결하기 위해 위상을 45도씩 미룬 클럭 4개를 추가로 사용한다. 45도의 위상 차이는 사용한 플립플롭의 setup time에 해당하므로 초기 4개의 클럭에서 메타스테이블이 발생하였을 때 메타스테이블 상태를 벗어난 시점에서 올바른 상태를 판별할 수 있다.

입력신호의 up edge 시점에서 각각의 클럭 값을 읽으면 어느 위상을 갖는 클럭이 파인부에서 사용되었는지 알 수 있다. 예를 들어 그림 8과 같이, 1번 시점에서 입력신호의 up edge가 발생했다고 가정하자. 이 경우 0도 클럭의 up edge가 1번 시점과 가장 가까이에 있으므로 1번 시점에서부터 0도 클럭의 up edge까지의 시간이 파인부가 된다. 1번 시점의 클럭을 0도에서부터 아래로 읽어 내려가면 0011 값이 되고, 이 값을 0도 클럭이 파인부로 사용이 되었다고 정의할 것이다. 마찬가지로 2번 시점의 클럭을 읽으면 1001이 되고, 3번 시점은 1100, 4번 시점은 0110이다.

다음은 메타스테이블이 발생하는 경우를 고려해보자. A 시점에서 신호의 up edge가 발생한 경우 A 시점에서 가장 가까운 클럭의 up edge는 이상적으로 0도 클럭이다. 그렇지만, 클럭과 입력 edge 간 시간 간격이 너무 작아서 메타스테이블이 발생할 확률이 높다.

따라서, 메타스테이블 상태를 판별하기 위해 기존 4개 클럭과 위상이 45도씩 위상이 차이나는 A', B', C', D' 시점에서 추가적으로 클럭 상태를 측정한다. A, B, C, D 대비 플립플롭의 setup time 만큼 지연된 시점이므로 A 신호가 메타스테이블 상태에 들어가더라도, A' 신호는 정상 상태 신호를 출력한다. 이러한 2개의 상태 값과 캐리체인 결과를 함께 사용하여, 싱크로나이저 없이 신호의 입력 상태를 정확히 판별할 수 있다.

### III. 측정결과

#### 1. 코스부 성능 측정

그림 9와 같이 제안한 시간-디지털 변환기를 Xilinx사의 Virtex6 evaluation board(grade -1)에서 구현하고, 애질런트 81110A 함수 발생기를 사용하여 입력 펄스를 50 us부터 1000 us까지 50 us씩 증가시키면서 성능을 측정하였다. 동일 입력 펄스 조건에 대해 80회씩 측정하였으며 시간-디지털 변화기의 출력 신호는 ISE tool의 chipscope를 사용하여 측정하였다.



그림 9. Virtex6 보드 및 애질런트 함수발생기 사진  
Fig. 9. A picture of Virtex6 board and function generator.

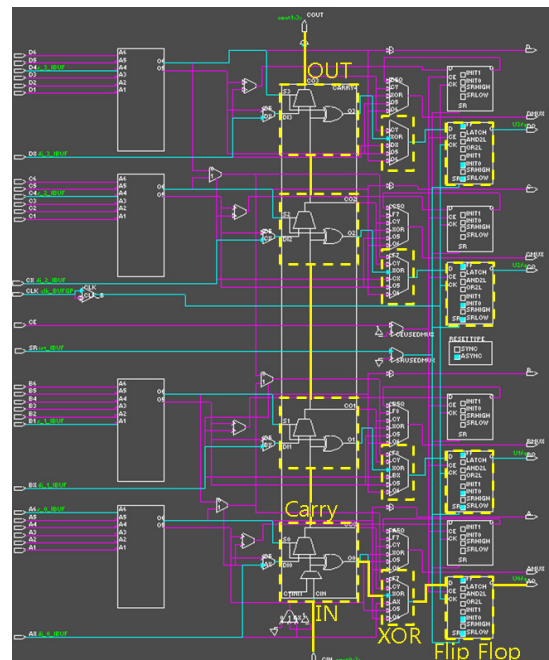


그림 10. 캐리체인의 Place and Routing  
Fig. 10. A Place and Routing of carry chain.

그림 10과 11은 매뉴얼 라우팅으로 지정한 캐리체인과 클럭 라인의 Place and Route 그림을 보여준다. 그림 10은 딜레이 라인(캐리체인)과 플립플롭 D 입력 사이의 딜레이를 최소화하기 위해 캐리체인과 직접 연결된 XOR 게이트를 거쳐 CLB내의 플립플롭과 연결된 구조를 나타낸다.

그림 11에서 실선으로 표현된 신호선은 글로벌 클럭 라인이고 이 글로벌 클럭 라인은 FPGA에서 지원하는 dedicated line이기 때문에, 글로벌 클럭 라인을 사용하여 코스, 상태 측정기, 파인을 구성하는 캐리체인을 연결하여 30 ps 내의 클럭 분주가 가능토록 하였다.

그림 12(a)는 입력시간과 출력 디지털 코드에 해당하

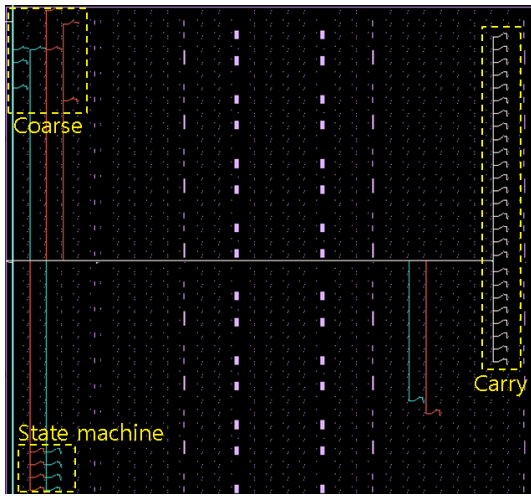


그림 11. 글로벌 클럭 라인의 Place and Routing  
Fig. 11. A Place and Routing of global clock line.

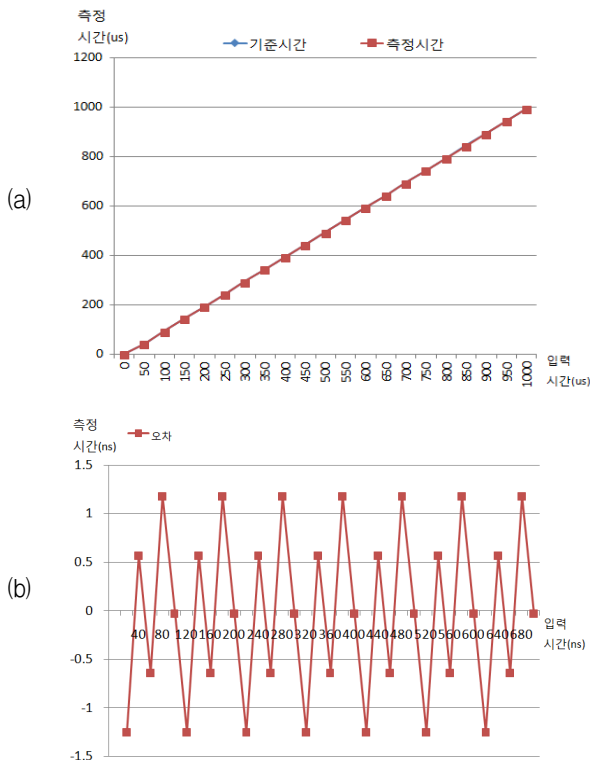


그림 12. 코스 측정 그래프  
Fig. 12. Coarse measurement graph.

는 출력 시간과의 관계이고 12(b)는 각 측정 조건에서의 비선형 오차를 나타낸다. 이 오차는 입력시간과 클럭 주기의 정수배와의 차이로, 파인부에서 측정해야 하는 시간을 포함한다. Best straight fit 방식을 적용하여 측정된 오프셋 오차는 -6.1 ns, 비선형성은 1.25 ns, 최대 표준편차는 1.5 ns였다.

## 2. 파인부 성능 측정

파인부 성능 측정을 위해서 2.8 ns부터 3.7 ns까지 50 ps 씩 증가시키며 80회씩 측정하였다. 코스부 성능을 제외하고 파인부만의 성능 확인을 위해 캐리체인에 입력신호를 직접 입력하였다. 이때 라우팅 딜레이로 인해 캐리체인에서는 2.8 ns의 시간이 1번 캐리체인에 해당한다. 시뮬레이션 상 캐리체인 1탭 당 딜레이 차이는 38 ps이었지만 실제 측정 결과는 약 22.22 ps였다. 그래서, 총 800 ps 시간을 캐리체인 36개를 사용하여 측정하였다. 캐리체인의 최대 표준편차는 약 42 ps, 비선형성은 약 88 ps였다. 처음 설계했던 분해능이 38 ps에서 22 ps로 좋아진 반면, 필요한 캐리체인 개수는 11 개에서 19 개로 증가하였다.

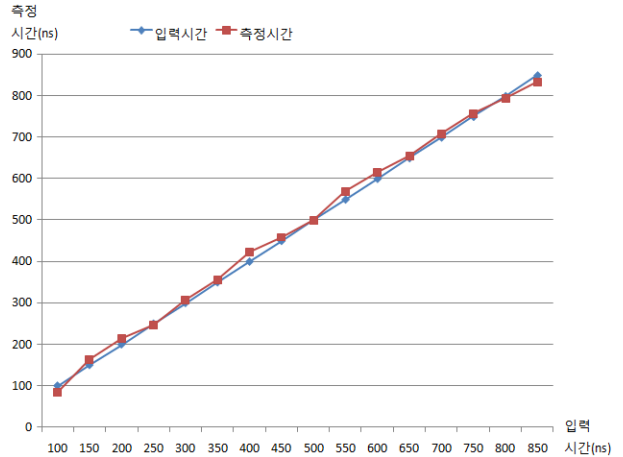


그림 13. 캐리체인 측정 그래프  
Fig. 13. Carry chain measurement graph.

## 3. 종합 성능 측정

코스부와 파인부가 결합된 종합성능을 측정하기 위해 입력 펄스폭을 86.7 ns부터 87.8 ns까지 50 ps 씩 증가시키며 80회씩 측정하였다.

그림 14는 미세 시간 측정 성능을 명확히 나타내기 위해 측정된 값에서 86.7 ns 만큼 오프셋을 주어서 그래프를 재구성한 것이다. 즉, 86.7 ns를 0 ps으로 보고, 87.8 ns를 1100 ps로 두고 파인부에 해당하는 시간을 그래프로 나타내었다.

그림 15는 각 입력 시간별 분포와 비선형 오차를 나타낸 것으로, 최대 표준 편차는 90 ps, 최대 비선형 오차는 25 ps이다. 비선형성 분석 시 best straight fit을 기준으로 하였으며, 오프셋 오차는 -20 ps였다.

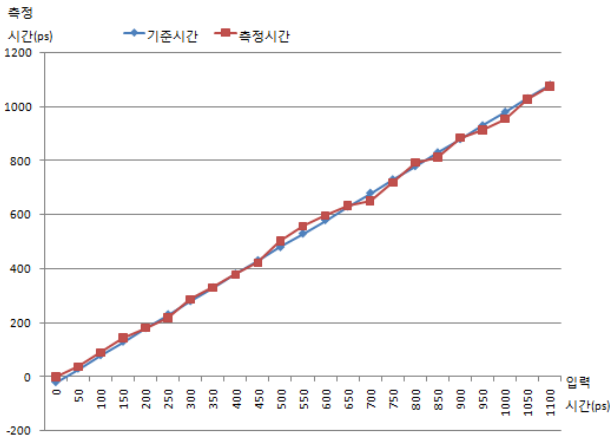


그림 14. 코스부와 함께 측정한 파인부 그래프  
Fig. 14. Fine with coarse measurement graph.

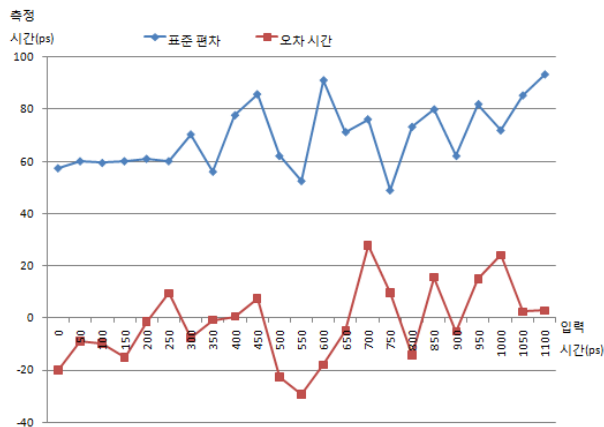


그림 15. 표준편차 및 오차 시간 그래프  
Fig. 15. Fine standard deviation and time error graph.

700 ps 지점에서 측정된 시간과 기준 시간 사이의 오차가 상대적으로 큰데 이는 4개 클럭들의 위상 차이와 관계가 있다. 700 ps 전까지는 up edge와 down edge의 클럭 차이 개수는 1개였다. 그렇지만 700 ps를 이후로는 클럭의 차이 개수가 2개로 증가하기 시작하였다. 이는 up edge에서의 4분주 클럭 시점과, down edge에서의 4분주 클럭 시점의 라우팅 딜레이에 차이가 있고 또한 각 분주된 클럭 사이의 딜레이 차이가 약 20-30 ps 만큼 발생하기 때문으로 추정된다.

#### IV. 결 론

본 논문은 다중 위상 클럭과 이중 상태 측정을 통한 메타스테이블 판별 구조를 가지는 FPGA 기반 딜레이 라인 방식 시간-디지털 변환기를 제안한다.

OR 게이트를 통해 4 위상 클럭 중 입력신호와 가장 가까운 클럭과 입력 신호와의 시간 간격을 하나의 딜레이 라인을 사용하여 측정한다. 따라서 클럭 별 딜레이 라인을 사용하는 일반적인 다중 위상 방식에 비해 딜레이 라인 간 특성 차이로 인한 오차를 감소시킬 수 있고, FPGA 내부 리소스 사용도 줄일 수 있다. 그리고, 싱크로나이저를 대신하여 이중 상태 측정을 통해 메타스테이블을 판별하기 때문에, 싱크로나이저를 사용하는 구조에 비해 딜레이 라인의 길이를 1/2만큼 줄일 수 있어서, 딜레이 탭 간 지연시간 차이로 인한 오차를 감소시킬 수 있다.

성능 측정 결과 시간-디지털 변환기의 분해능은 약 22 ps이고, 동일 입력 시간에 대한 최대 표준편차는 90 ps, best straight fit 기준 비선형성은 25 ps였다.

#### REFERENCES

- [1] B. K. Swann and K. M. Baldwin, "A 100-ps time-resolution CMOS time-to-digital converter for positron emission tomography imaging applications," *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 1839-1852, Nov. 2004.
- [2] P. Palojarvi and J. Kostamovaara, "Integrated time-of-flight laser radar," *IEEE Trans. Instrum. Meas.*, vol. 46, no. 4, pp. 996- 999, Aug. 1997.
- [3] R. Szplet and R. Szymanowski, "Field-programmable-gate-array-based time-to-digital converter with 200-ps resolution," *IEEE Trans. Instrum. Meas.*, vol. 46, pp. 51-55, Feb. 1999.
- [4] J. Wu, "An FPGA Wave Union TDC for time-of-flight applications," *IEEE Nucl. Sci. Symp. Conf. Rec.*, pp. 299-304, Oct. 2009.
- [5] J. Wang and Q. An, "A fully fledged TDC implemented in field-programmable gate arrays," *IEEE Trans. Nucl. Sci.*, vol. 57, no. 2, pp. 446-450, Apr. 2010.
- [6] A. Mantyniemi and J. Kostamovaara, "A high resolution digital CMOS time to digital converter based on nested delay locked loops," *IEEE Int. Symp. Circuits Syst.*, pp. 537-540, May. 1999.
- [7] C. Hwang and H. Tsao, "A high-precision time- to-digital converter using a two-level conversion scheme," *IEEE Nucl. Sci. Symp. Conf. Rec.*, pp. 174-176, Oct. 2003.
- [8] R. Szymanowski and J. Kalisz, "Field programmable gate array time counter with



- two stage interpolation,” Rev. Sci. Instrum., vol. 78, no. 4, pp. 045104-045104-5, Apr. 2005.
- [9] Z. Yin and Q. An, “A high-resolution time-to-digital converter based on multi-phase clock implement in field-programmable-gate-array,” in Proc. of IEEE Conf. on Real Time, pp. 1-4, Jun. 2012.
- [10] A. Aloisio and S. Loffredo, “High-precision time-to-digital converter in a FPGA device,” IEEE Nucl. Sci. Symp. Conf. Rec., pp. 290-294, Oct. 2009.
- [11] M. Kim and S. Kim, “A low-cost and low-power time-to-digital converter using triple-slope time stretching,” IEEE Trans. Circuits Syst. II, vol.58, no. 3, pp. 169-173, Mar. 2011.

---

 저 자 소 개
 

---



정 현 철(학생회원)  
 2012년 광운대학교 전자공학과  
 학사 졸업.  
 2014년 광운대학교 전자공학과  
 석사 졸업.  
 <주관심분야 : 임베디드 시스템 설  
 계, 자동차 배선 설계>



임 한 상(정회원)  
 1996년 서울대학교  
 전기공학부 학사 졸업.  
 1998년 서울대학교  
 전기컴퓨터공학부  
 석사 졸업.  
 2004년 서울대학교 전기컴퓨터  
 공학부 박사 졸업.  
 2009년~현재 광운대학교 전자융합공학과  
 부교수  
 <주관심분야 : 음성 신호 시스템, 자동차 전장>