

서브-1V 직렬공진 바렉터 통합형 평형 공통 게이트와 공통 드레인 콜피츠 전압제어 발진기의 탱크 발진전압에 대한 해석

전만영*

Analysis of Tank Oscillation Voltages of Sub-1V Series Tuned Varactor-Incorporating
Balanced Common-Gate and Common-Drain Colpitts-VCO

Man-Young Jeon*

요 약

본 연구는 1 V 미만 전원 전압에서 동작 가능한 직렬공진 바렉터 통합형 평형 공통 게이트 콜피츠 전압제어 발진기와 직렬공진 바렉터 통합형 평형 공통 드레인 콜피츠 전압제어 발진기의 탱크회로에서 나타나는 발진전압에 대한 해석적 연구를 수행하고 이를 시뮬레이션에 의해 확인한다. 해석적 연구의 결과는 직렬공진 바렉터 통합형 평형 공통 게이트 콜피츠 전압제어 발진기가 직렬공진 바렉터 통합형 평형 공통 드레인 콜피츠 전압제어 발진기보다 더 큰 발진전압을 탱크회로에 유도할 수 있으며 따라서 저 위상 잡음 발진에 보다 더 적합한 발진기임을 밝혀준다.

ABSTRACT

This study performs the analytical investigation of the oscillation voltages at the tanks of the series tuned varactor incorporating balanced common-drain, and common-gate Colpitts VCO which are able to work even at the sub-1V power supply voltages. The results the investigation predicts is verified by the simulation on the circuit behaviors of the two VCOs. The analytical investigation finds that the series tuned varactor incorporating balanced common-gate VCO generates greater oscillation voltage at the tank than the series tuned varactor incorporating balanced common-drain VCO does, which in turn is more suitable for generating the low phase noise oscillation signal from the sub-1V supply voltage than the series tuned varactor incorporating balanced common-drain VCO.

키워드

VCO, Colpitts-VCO, Sub-1V VCO, Series Tuned Colpitts VCO, Balanced Oscillator
전압제어 발진기, 콜피츠 전압제어 발진기, 서브-1V 전압제어 발진기, 직렬공진 콜피츠 전압제어 발진기,
평형 발진기

* 동양대학교 정보통신공학과(myjeon@dyu.ac.kr)

* 교신저자(corresponding author) : 동양대학교 정보통신공학과(myjeon@dyu.ac.kr)

접수일자 : 2014. 06. 27

심사(수정)일자 : 2014. 07. 07

게재확정일자 : 2014. 07. 18

1. 서 론

반도체 공정기술이 발전함에 따라 회로의 전원전압은 감소하고 있으며 발진기의 경우 이는 발진전압 크기의 감소로 이어진다[1-2]. 발진기의 위상잡음은 발진 전압의 크기에 반비례하므로 발진전압 크기의 감소는 발진기 위상잡음의 증가로 이어진다[3-5].

최근에 인덕터 전류원과 바랙터 통합형 게환 커패시터를 사용하여 1V 미만 전원전압(이하, 서브-1V 전원전압)에서 동작 가능한 직렬공진 바랙터 통합형 평형 공통 드레인 콜피츠 전압제어 발진기(Series Tuned Varactor Incorporating Balanced Common-Drain Colpitts VCO) (이하, SVBCD-VCO)와 직렬공진 바랙터 통합형 평형 공통 게이트 콜피츠 전압제어 발진기(Series Tuned Varactor Incorporating Balanced Common-Gate Colpitts VCO) (이하, SVBCG-VCO)가 제안되었다[6-8]. 상기 두 발진기는 서브-1V 전원전압에서 탱크회로의 발진전압 크기가 제한되는 현상을 해결하기 위하여 인덕터 전류원을 사용하였고 콜피츠형 발진기가 태생적으로 지니고 있는 불안정한 발진시동의 문제를 해결하기 위해 바랙터 통합형 게환 커패시터를 사용하여 부정저항을 획기적으로 증가시켰다.

본 논문에서는 상기 두 발진기의 탱크회로에 나타나는 발진전압의 크기에 대한 이론적 해석을 수행하고 이의 타당성을 0.18 μm TSMC CMOS 공정기술을 사용한 시뮬레이션 결과에 의하여 확인한다. 이론적 해석과 시뮬레이션의 결과로부터 SVBCG-VCO[8]가 SVBCD-VCO[6-7]보다 더 큰 발진전압을 탱크회로에 유도할 수 있으며 따라서 서브-1V 전원전압에서 저위상 잡음 발진 신호의 생성에 보다 더 적합한 발진기임을 알 수 있다.

II. SVBCD-VCO와 SVBCG-VCO 탱크 회로 전압의 해석

그림 1(a)와 (b)는 SVBCD-VCO와 SVBCG-VCO를 각각 나타내며 역위상 관계의 발진파형이 각 회로의 왼쪽과 오른쪽의 버퍼를 통해 출력된다[6-8]. 그림 2(a)와 (b)는 그림 1(a)와 (b)의 소스와 드레인의 발진파형을 각각 나타낸다. 그림 1(a)의 MOSFET M1은

그림 2(a)와 같이 $t=t_1$ 과 $t=t_2$ 에서 소스전류 I_s 가 최대가 되어 포화상태에 들어가게 된다. 따라서 포화전압을 V_{SAT} 라 하면

$$V_{sd} = V_s - V_d = V_{SS} - A_s = V_{SAT} \tag{1}$$

을 쓸 수 있다. 여기서 A_s 는 M1의 소스에서의 발진전압 V_s 의 교류 성분 v_s 의 크기를 나타내고 V_{SS} 는 전원전압을 나타낸다.

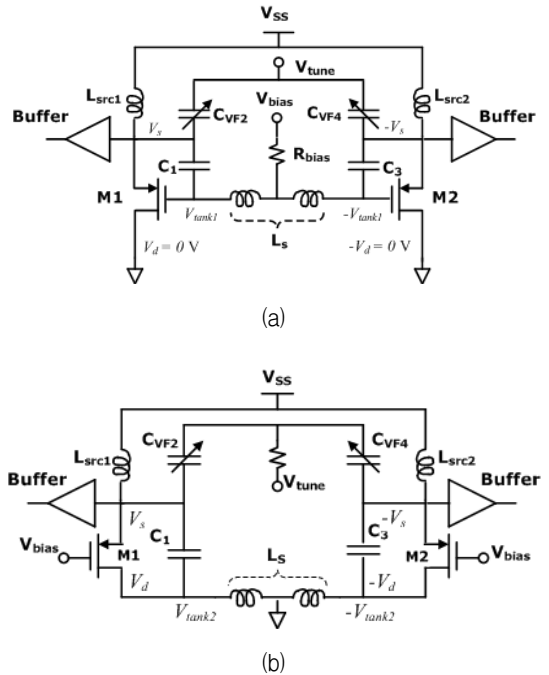


그림 1. 서브-1V 전압 제어 발진기 :

(a) SVBCD-VCO, (b) SVBCG-VCO

Fig. 1 Sub-1V VCO : (a) SVBCD-VCO, and (b) SVBCG-VCO

포화의 순간에 그림 1(a)의 M1이 게환 커패시터 C_1 과 C_{VF2} 를 약하게 구동한다고 가정하면 A_s 와 SVBCD-VCO의 탱크에서의 발진전압 V_{tank1} 의 교류성분 v_{tank1} 의 크기 A_{tank1} 은

$$A_s = \frac{C_1}{C_1 + C_{VF2}} A_{tank1} \tag{2}$$

의 관계를 만족한다. 식 (1)과 (2)로부터 SVBCD-

VCO의 교류 발진전압의 크기 A_{tank1} 은

$$A_{tank1} = \left(1 + \frac{C_{VF2}}{C_1}\right)(V_{SS} - V_{SAT}) \quad (3)$$

이 된다.

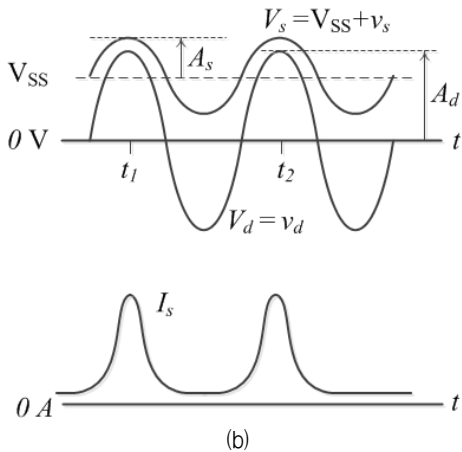
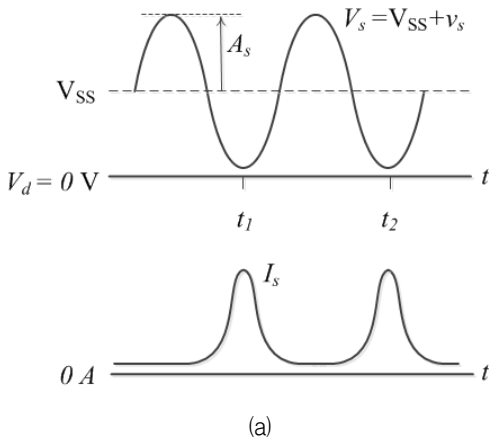


그림 2. SVBCD-VCO와 SVBCG-VCO의 파형 : (a) SVBCD-VCO의 소스와 드레인 발진파형, (b) SVBCG-VCO의 소스와 드레인 발진파형

Fig. 2 Waveforms of SVBCD-VCO, and SVBCG-VCO : (a) Oscillation waveforms at the source and drain of SVBCD-VCO, (b) Oscillation waveforms at the source and drain of SVBCG-VCO

과 $t=t_2$ 에서 그림 2(b)에 나타나는 바와 같이 포화상태에 들어가게 된다. 따라서 그림 1(b)의 M1의 포화전압을 V_{SAT} 라 하면

$$V_{sd} = V_s - V_d = V_{SS} + A_s - A_d = V_{SAT} \quad (4)$$

이 된다. 여기서 A_s 는 그림 1(b)에 있는 M1의 소스에서 발진전압 V_s 의 교류 성분 v_s 의 크기를 나타내고 A_d 는 M1의 드레인에서의 발진전압 V_d 의 교류 성분 v_d 의 크기를 나타낸다. 포화의 순간에 그림 1(b)의 M1이 궤환 커패시터 C_1 과 C_{VF2} 를 약하게 구동한다고 가정하면 A_s 와 A_d 는

$$A_s = \frac{C_1}{C_1 + C_{VF2}} A_d \quad (5)$$

의 관계를 만족한다. 그림 1(b)의 탱크에서의 발진전압 V_{tank2} 의 교류 성분 v_{tank2} 의 크기 A_{tank2} 는 A_d 와 같으므로 (4)와 (5)로부터 SVBCD-VCO의 교류 발진전압의 크기 A_{tank2} 는 최종적으로

$$A_{tank2} = \left(1 + \frac{C_1}{C_{VF2}}\right)(V_{SS} - V_{SAT}) \quad (6)$$

로 얻을 수 있다.

적절한 전압제어 주파수 이득 K_{VCO} 를 얻기 위하여 $C_{VF2} < C_1$ 의 조건을 만족해야하므로 동일한 전원전압 V_{SS} , 동일한 포화전압 V_{SAT} 및 동일한 커패시턴스 비 C_1/C_{VF2} 의 조건하에서 식 (3)과 (6)으로부터

$$A_{tank2} > A_{tank1} \quad (7)$$

임을 알 수 있다. 부등식 (7)은 동일한 전원전압, 동일한 트랜지스터 포화전압, 그리고 동일한 커패시턴스 비 C_1/C_{VF2} 의 조건하에서 SVBCG-VCO가 SVBCD-VCO보다 더 큰 발진전압을 발진기의 탱크회로에 생성시킬 수 있음을 나타낸다. 발진전압의 크기와 위상잡음은 반비례하므로[3-5] SVBCG-VCO가 SVBCD-VCO보다 더 낮은 위상잡음을 갖는 발진신호를 생성시킬 수 있음을 부등식 (7)은 또한 예측한다. 이어지는 3장에서는 이와 같은 이론적 예측들을 시뮬레이션에 의해 검증한다.

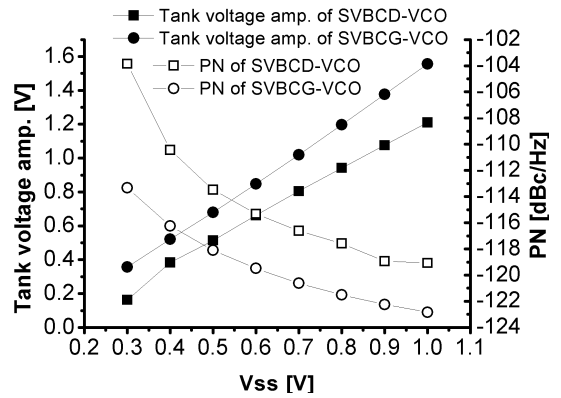
한편, 그림 1(b)의 소스와 드레인 발진전압은 $t=t_1$

III. 시뮬레이션과 결과 검토

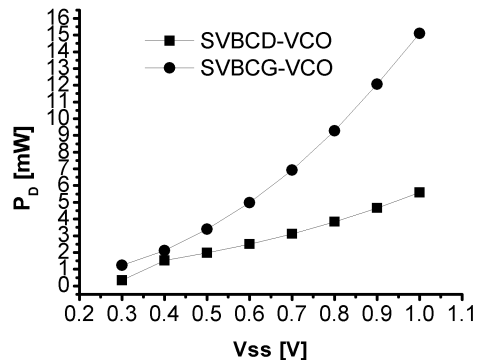
그림 3(a)는 캐패시턴스 $C_1=C_3=0.56\text{pF}$, 바랙터 커패시턴스 $C_{VF2}=C_{VF4}=0.113\text{pF}$ 일 때 5.22GHz의 발진 주파수에서 전원전압 V_{ss} 에 따른 SVBCD-VCO와 SVBCG-VCO의 발진전압의 크기 A_{tank1} 과 A_{tank2} 에 대한 시뮬레이션 결과를 나타낸다. 그림에서 보듯이 0.3V에서 1.0V의 전원전압에 걸쳐 SVBCG-VCO의 발진전압의 크기가 SVBCD-VCO의 발진전압의 크기보다 최소 0.3V에서 최대 0.7V 정도 크다는 것을 보여준다. 이는 부등식 (7)과 일치하는 시뮬레이션 결과이다. 그림에서는 또한 두 발진기의 위상잡음(PN) 시뮬레이션 결과가 나타나 있다. 0.3V~1.0V의 전원전압에 대해 SVBCG-VCO의 위상잡음이 SVBCD-VCO의 위상잡음보다 최소 2dB에서 최대 4dB 정도 낮음을 볼 수 있다. 이는 부등식 (7)에서 유추된 두 발진기 사이의 위상잡음에 대한 예측과 일치한다. 그림 3(b)는 두 발진기의 전원전압에 대한 전력소모를 비교한 것이다. 그림 3(a)에 나타난 SVBCD-VCO에 대한 SVBCG-VCO의 우월한 위상잡음 성능은 SVBCD-VCO에 비해 SVBCG-VCO가 더 많은 전력소모를 함으로써 얻어지는 것임을 알 수 있다.

그림 4(a)는 $V_{ss}=0.7\text{V}$, $C_1=C_3=0.56\text{pF}$ 에서 바랙터 커패시턴스 $C_{VF2}(=C_{VF4})$ 의 변동에 따른 발진전압의 크기와 위상잡음을 시뮬레이션 한 것이다. 그림에서 보듯이 0.06pF~0.15pF의 바랙터 커패시턴스에 걸쳐 SVBCG-VCO의 발진전압의 크기가 SVBCD-VCO의 발진전압의 크기보다 약 0.125V 정도 크다는 것을 보여준다. 이는 부등식 (7)과 일치하는 시뮬레이션 결과이다. 그림에서 보인 위상잡음의 시뮬레이션 결과는 SVBCG-VCO의 위상잡음이 SVBCD-VCO의 위상잡음보다 약 4dB 정도 낮음을 볼 수 있다. 이는 부등식 (7)에서 유추된 두 발진기 사이의 위상잡음에 대한 예측과 일치한다. SVBCD-VCO에 대한 SVBCG-VCO의 우월한 위상잡음 성능은 그림 4(b)에서 보듯이 SVBCG-VCO가 SVBCD-VCO에 비해 약 4mW 더 많은 전력소모를 함으로써 얻어지는 것임을 알 수 있다. 식 (3)으로부터 바랙터 커패시턴스가 증가함에 따라 SVBCD-VCO의 발진전압의 크기는 증가함을 예측할 수 있는데 그림 4(b)의 시뮬레이션 결과는 SVBCD-VCO의 발진전압의 크기가 약 0.75V에서

0.85V로 0.1V 정도 미소하게 증가함으로써 식 (3)의 예측을 뒷받침한다. 한편, 식 (6)은 바랙터 커패시턴스가 증가함에 따라 SVBCG-VCO의 발진전압의 크기는 감소함을 예측하는데 실제시뮬레이션 결과는 약 1V에서 1.07V로 0.07V 정도 미소하게 증가



(a)



(b)

그림 3. 전원전압에 대한 SVBCD-VCO와 SVBCG-VCO의 동작 시뮬레이션 결과($C_1=C_3=0.56\text{pF}$, $C_{VF2}=C_{VF4}=0.113\text{pF}$, $f_{osc}=5.22\text{GHz}$) : (a) 발진전압의 크기와 위상잡음, (b) 전력소모

Fig. 3 Simulation results on the behaviors of SVBCD-VCO and SVBCG-VCO depending upon power supply voltage($C_1=C_3=0.56\text{pF}$, $C_{VF2}=C_{VF4}=0.113\text{pF}$, $f_{osc}=5.22\text{GHz}$) : (a) Oscillation amplitudes, and phase noises, (b) Power consumptions

IV. 결론

본 논문에서는 서브-1V 전원전압하에서 저위상 잡음 동작 가능한 SVBCD-VCO와 SVBCG-VCO의 탱크에 나타나는 발진전압에 대한 해석적 연구결과를 제시하였으며 이를 시뮬레이션에 의해 검증하였다. 해석적 연구와 시뮬레이션 결과로부터 SVBCG-VCO가 SVBCD-VCO에 비해 서브-1V 전원전압에서 저 위상 잡음의 발진신호 생성에 보다 적합한 VCO임을 알 수 있다.

References

- [1] F. Yamashita, T. Matsuoka, T. Kihara, I. Takobe, H.-J. Park, and K. Taniguchi, "Analytical design of a 0.5V 5GHz CMOS LC-VCO," *IEICE Electronics Express*, vol. 6, no. 14, July 2009, pp. 1025-1031.
- [2] F. Farhabakhshian, T. Brown, K. Mayaram, and T. Fiez, "A 475mV, 4.9GHz enhanced swing differential Colpitts VCO in 130nm CMOS with an FOM of 192.6dBc/Hz," In *Proc. IEEE CICC 2010*, San Jose, CA, USA, Sept. 19-22 2010, pp. 1-4.
- [3] N. Itoh, "Low voltage low phase noise CMOS VCO and its Flicker noise influence," *IEICE Trans. Electron*, vol. E86-C, no. 6, June 2003, pp. 1062-1068.
- [4] T. H. Lee and A. Hajimiri, "Oscillator phase noise: a tutorial," *IEEE J. Solid-State Circuits*, vol. SC-35, no. 3, Mar. 2000, pp. 326-336.
- [5] M.-Y. Jeon, "Analytical proof of conservation of power in the LTV phase noise theory for noisy oscillators," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 7, no. 4, Aug. 2012, pp. 855-859.
- [6] M.-Y. Jeon, "Differential Clapp voltage controlled oscillator using Metal Oxide Field Effect Transistors," *Korea Patent 10-0791169*, Dec. 2007.
- [7] M.-Y. Jeon, "A differential Colpitts-VCO circuit

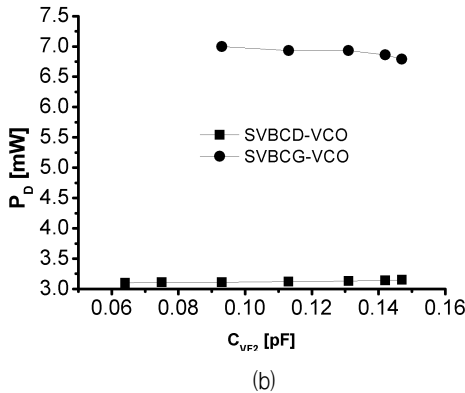
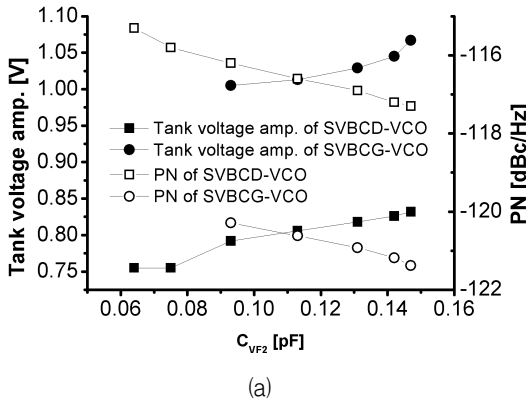


그림 4. 바랙터 커패시턴스에 대한 SVBCD-VCO와 SVBCG-VCO의 동작 시뮬레이션 결과($C_1=C_3=0.56\text{pF}$, $V_{SS}=0.7\text{V}$) : (a) 발진전압의 크기와 위상잡음, (b) 전력소모

Fig. 4 Simulation results on the behaviors of SVBCD-VCO and SVBCG-VCO depending upon varactor capacitances($C_1=C_3=0.56\text{pF}$, $V_{SS}=0.7\text{V}$) : (a) Oscillation amplitudes, and phase noises, (b) Power consumptions

하고 있어 예측과 다소 어긋난다. 이러한 불일치는 TSMC사의 $0.18\mu\text{m}$ CMOS 디자인 키트에서 제공하는 MOSFET, 커패시터 및 인덕터의 모델이 가지는 복잡한 기생성분과 식 (3)과 (6)을 유도할 때 그림 1(a)와 1(b)에 있는 트랜지스터 M1들이 케환 커패시터 C_1 과 C_{VF2} 들을 약하게 구동한다는 가정에 기인하는 것으로 추정한다. 상기의 모든 시뮬레이션은 Agilent사의 ADS를 사용하여 행하였다.

suitable for sub-1V low phase noise operation," *J. of The Korea Institute of Electronic Communication Sciences*, vol. 6, no. 1, Feb. 2011, pp. 7-12.

- [8] M.-Y. Jeon and K.-T. Kim, "Hybrid balanced VCO suitable for sub-1V supply voltage operation," *J. of The Korea Institute of Electronic Communication Sciences*, vol. 7 no. 4, Aug. 2012, pp. 715-720.

저자 소개



전만영(Man-Young Jeon)

1987년 2월 경북대학교 전자공학과 졸업(공학사)

1991년 2월 경북대학교 대학원 전자공학과 졸업(공학석사)

2000년 2월 POSTECH 대학원 전자 및 전기공학과 졸업(공학박사)

2001년 9월~현재 동양대학교 정보통신공학부 부교수

1987년 2월~1997년 3월 한국전자통신연구원(ETRI) 선임연구원, 삼성전자 주임연구원

2000년 6월~2001년 9월 삼성종합기술원 수석연구원

※ 관심분야 : 발진기 위상잡음 이론, RFIC