

P-pillar 식각 각도에 따른 Super Junction MOSFET의 전기적 특성 분석에 관한 연구

강이구^{1,a}

¹ 극동대학교 태양광공학과

Electrical Characteristics of Super Junction MOSFET According to Trench Etch Angle of P-pillar

Ey Goo Kang^{1,a}

¹ Department of Photovoltaic Engineering, Far East University, Eumseong 369-851, Korea

(Received July 17, 2014; Accepted July 24, 2014)

Abstract: In this paper, we analyze electrical characteristics of n/p-pillar layer according to trench angle which is the most important characteristics of SJ MOSFET and core process. Because research target is 600 V class SJ MOSFET, so conclusively trench angle deduced 89.5 degree to implement the breakdown voltage 750 V with 30% margin rate. we found that on resistance is 22 mohm·cm² and threshold voltage is 3.5 V. Moreover, depletion layer of electric field distribution also uniformly distributes.

Keywords: Super junction, n-pillar, p-pillar, On-resistance, Breakdown voltage, Trench angle, Power devices, Power MOSFET, Epi-layer

1. 서 론

전력변환 소자의 성능을 나타내는 전력 반도체의 주요 지표로 커짐 상태에서의 저항 (on 저항)을 들 수 있는데, 이는 채널 저항과 축적층 저항, JFET 영역 및 드리프트 영역 저항, 소오스/드레인 저항 등의 총합으로 구성된다. 에피 두께가 비교적 얇은 LV (low voltage) MOSFET의 경우 반도체 공정 및 디자인에 의해 결정되는 채널, 축적층 저항 등이 온 저항의 대부분을 차지하는 반면, HV (high voltage)

MOSFET은 두꺼운 에피 두께로 인해 드리프트 저항이 온 저항의 많은 부분을 차지하고 있다 [1,2]. LV MOSFET의 채널 및 JFET 영역의 저항 성분을 줄이기 위해 trench 구조의 게이트가 제안되었으며, trench gate-type MOSFET은 channel을 통한 전류가 바로 n-에피 영역으로 주입되므로 JFET 영역에서의 저항 성분을 근본적으로 줄일 수 있는 구조이다. HV MOSFET은 n- drift 영역의 저항 성분이 소자의 항복 전압을 결정하므로 일정 이상으로 에피의 두께와 비저항을 감소시킬 수 없기 때문에 온 저항은 항복 전압과 트레이드 오프 (trade-off) 관계에 있어서 물리적인 한계에 이르렀다. 그러나 1997년 독일의 Infineon사에서 charge balance 이론을 이용한 super junction 기술을 제안함으로써 HV MOSFET의 추세는 급격히 변화하였다 [3,4].

a. Corresponding author; keg@kdu.ac.kr

Super junction 기술은 전류와 수직한 방향으로 n형과 p형의 실리콘을 교대로 형성된 구조이다. 소자 꺼짐 상태 시 양쪽 영역이 모두 공핍됨으로써 높은 항복 전압을 얻을 수 있다. 그러나 SJ 기술은 여러 차례의 사진 식각 공정과 이온 주입 공정을 요구하기 때문에 수율이 낮으며 생산 단가가 비싼 단점이 있음에도 불구하고 기존의 trench gate MOSFET보다 1/5 정도의 낮은 온 저항을 얻을 수 있다 [5,6].

따라서 본 논문에서는 SJ (super junction) MOSFET의 핵심공정으로서 p-pillar 층의 식각 공정에서의 식각 각도에 따른 SJ MOSFET의 전기적인 특성을 분석함으로써 최적 설계의 기초를 마련하고자 하였다.

2. 실험 방법

2.1 실험을 위한 SJ MOSFET의 구조

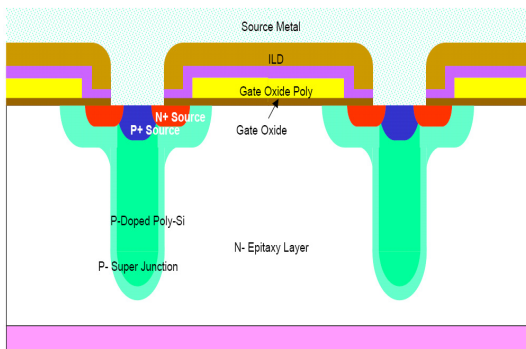


Fig. 1. The Structure of SJ MOSFET for experiments.

Table 1. The process condition of SJ MOSFET design.

Classification	Condition of process
Wafer	Resistivity 0.018 Ωcm
P+ base	Dose 3.0E15 cm ⁻² , Energy 160 KeV
N+ source	Dose 1E16 cm ⁻² , Energy 110 KeV
P base	Dose 6.5E13 cm ⁻² , Energy 80 KeV
N pillar	Variable
P pillar	Variable
Trench angle	89.5°
N JFET	Dose 1E12 cm ⁻² , Energy 100 KeV
P pillar bottom	Dose 4.5E12 cm ⁻² , 100 KeV

그림 1은 SJ MOSFET의 구조를 나타내고 있으며, 표 1에서는 이러한 구조에 대해서 공정시뮬레이션을 수행하기 위해 기본적인 영역의 공정 조건을 제시하고 있다. 앞서 서술한 바와 같이 기존의 planar MOSFET과 다른 점은 n-pillar 및 p-pillar 층이 존재하고 있고 이러한 영역에서의 농도 및 깊이, 식각 각도 등은 전기적인 특성에 큰 영향을 줄 것으로 판단된다.

2.2 공정시뮬레이션에 의한 공정 설계 및 그에 따른 전계 분포

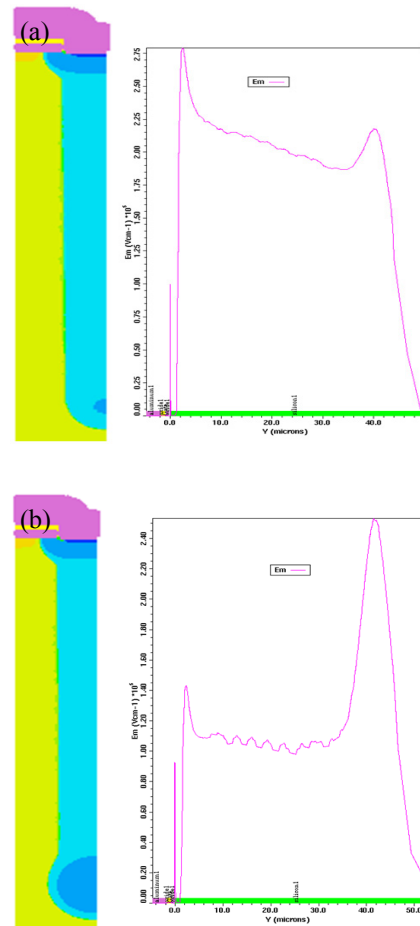


Fig. 2. Electrical distribution after process simulation of SJ MOSFET (a) not p+ boron implantation and (b) p+boron implantation.

Trench 식각 후 p-pillar bottom implant dose량 변화에 따른 전기적 특성을 분석한 결과 boron의

Table 2. Electrical characteristics of SJ MOSFET according to resistance of n/p pillar concentrations.

N-pillar resistivity	N-pillar concentration ($\times 10^{15}$)	P-pillar resistivity	P-pillar concentration ($\times 10^{15}$)	Vth	Ron (40 A/cm ²)	BV (V)
1.1	4.46	1.75	8.37	3.5	18.75	689
1.15	4.26	1.8	7.99	4.1	20	717
1.2	4.07	1.9	7.64	4.2	20.375	723
1.25	3.90	1.95	7.31	4.1	21.25	752
1.3	3.74	2.05	7.02	3.6	22.25	758
1.35	3.59	2.15	6.74	3.6	22.75	770
1.4	3.46	2.2	6.50	4	23.75	787
1.45	3.33	2.3	6.25	3.8	24.25	793

Table 3. The process condition of p-pillar trench angle.

Classification	Trench etch angle variation
Trench angle	89.5 / 89.6 / 89.7 / 89.8 / 89.9 / 90°

dose량이 증가하면 항복 전압이 증가하다가 일정량 이상이 주입되면 포화되는 것을 알 수 있다. 이때의 온-저항 특성과 Vth 특성에는 크게 영향을 미치지 않는 데, p-pillar bottom implantation에 대한 영향은 p-pillar의 길이를 증가시키는 효과를 가져와 항복 전압을 향상시킬 수 있다. 이를 통해 높은 항복 전압을 얻기 위해 p-pillar의 길이를 크게 늘이기 위해 높은 aspect ratio로 trench 식각을 해야 하는 공정상의 어려움을 부분적으로 해결할 수 있을 것으로 판단된다.

600 V급 super junction MOSFET의 높은 항복 전압과 낮은 온-저항 특성을 구현하기 위한 p/n/p/n.....구조를 가지면서 p/n-pillar의 비저항에 따른 농도가 밸런스를 이루어 p/n-pillar의 전하 균형을 위한 p/n-pillar의 농도를 최적화하기 위한 시뮬레이션을 진행하였다. 진행한 결과 600 V급 SJ MOSFET 최적 설계를 위해서는 n-pillar의 농도는 $3.74 \sim 3.90 \times 10^{15}$ 를, p-pillar의 농도는 $7.02 \sim 7.31 \times 10^{15}$ 로 공정을 진행해야 되는 것으로 나타났다.

3. 결과 및 고찰

Trench 식각의 길이에 따라 항복 전압이 증가하는

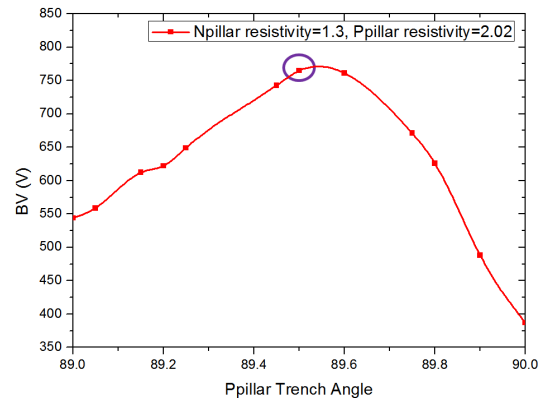


Fig. 3. The breakdown voltage of SJ MOSFET according to p-pillar trench angle.

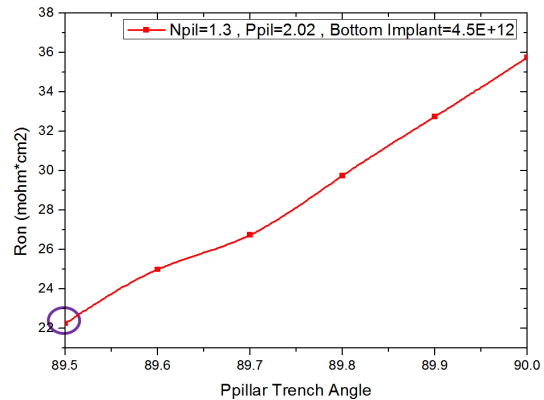


Fig. 4. The on state resistance of SJ MOSFET according to p-pillar trench angle.

특성을 가지며, 최적 구조를 위해 trench 식각의 길이를 45 μm 으로 고정하고, 다음은 p-pillar 형성을 위한 trench 식각을 진행할 때 trench 식각의 각도에 따른 super junction MOSFET의 전기적 특성 변화를 파악하기 위한 시뮬레이션이고, 그 결과는 다음과 같다.

그림 3에서 나타낸 바와 같이 식각 각도가 89.5°에서 임계값을 나타내고 있으며, 그때 SJ MOSFET의 항복 전압은 750 V를 보여주고 있다. 30%의 마진율을 생각했을 때 최적의 전기적인 특성을 보여주고 있음을 알 수 있으며, 그림 4에서는 SJ MOSFET 연구의 본질적인 특성을 보여주는 것으로서 시각 각도에 따른 온 저항을 특성을 보여주고 있다. 이미 그림 3에서 89.5°에서 최적의 항복 전압을 보여주고 있기 때문에 시작점을 89.5°에서 특성을 측정하였다.

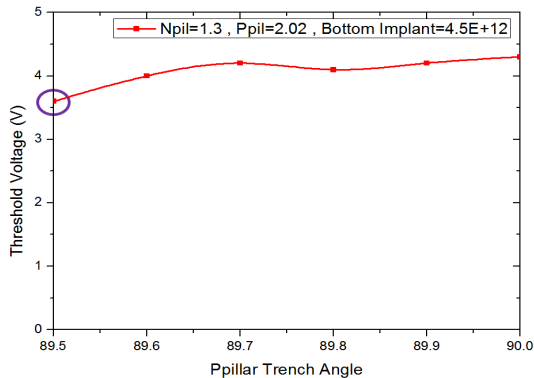


Fig. 5. The threshold voltage of SJ MOSFET according to p-pillar trench angle.

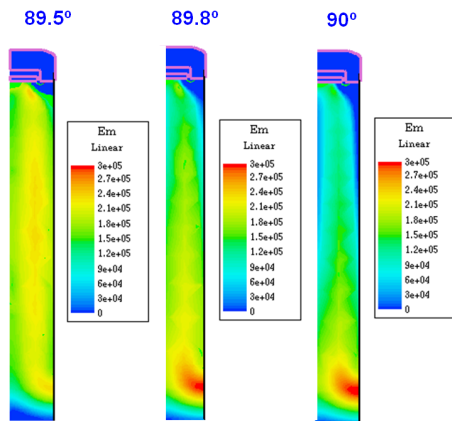


Fig. 6. The variation of depletion layer of SJ MOSFET according to p-pillar trench angle.

그림에서 보는 바와 같이 식각 각도가 커지면 커질수록 온 저항이 크게 증가하는 것을 볼 수 있으며, 최저점은 89.5°에서 $22 \text{ mohm} \cdot \text{cm}^2$ 를 나타내고 있는 것을 알 수 있다. 플래너 구조일 때 수백 $\text{mohm} \cdot \text{cm}^2$ 을 나타내는 것을 볼 때 상당히 우수한 특성을 보여줄 수 있다.

그림 5는 식각 각도에 따른 SJ MOSFET의 문턱전압 (threshold voltage)의 변화를 나타낸 것으로써 최적 각도인 89.5°에서 3.5 V를 나타내고 있고, 전력반도체 문턱전압으로는 무리 없는 것을 나타내고 있다.

또한, 그림 6은 식각 각도에 따른 SJ MOSFET의 공핍층의 변화를 나타낸 것으로써 최적 각도인 89.5°에서 드리프트 영역의 공핍 영역에 대한 전계분포가 균일하다는 것을 알 수 있다.

4. 결론

본 논문에서는 SJ MOSFET의 가장 큰 장점인 낮은 온 저항을 구현하는 핵심 공정인 n/p-pillar 층의 트렌치 식각 각도에 따른 전기적인 특성을 분석하였다. 연구의 타깃은 600 V급 SJ MOSFET으로 하였기에 마진을 30%를 두고 항복 전압 750 V를 구현할 수 있는 식각 각도로는 89.5°를 도출하였다. 이때 온 저항은 $22 \text{ mohm} \cdot \text{cm}^2$ 를 나타내고 있고, 문턱전압은 3.5 V를 나타냄을 알 수 있었으며, 그때의 공핍층의 전계분포가 균일하게 분포하고 있음을 알 수 있었다.

감사의 글

본 논문은 한국연구재단의 지역대학우수과학자 (2011) 사업의 지원에 의해 수행되었습니다.

REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. KIEEME*, **15**, 758 (2002).
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. KIEEME*, **24**, 713 (2011).
- [3] M. A. Paul and D. J. Bates, *Electronic Principles* (McGraw-Hill College, 2006)
- [4] E. Gates and L. Chartrand, *Introduction to Electronics, 4ed.* (Delmar, 2001)
- [5] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, **22**, 12 (2009).
- [6] H. S. Lee, E. G. Kang, A. R. Shin, H. H. Shin, and M. Y. Sung, *KIEE*, **7** (2006).
- [7] W. H. Hayt, Jr. *Eng. Ineer. Ingelect. Romagnetics-7/E* (McGraw-Hill, 2005)