

기판 전압이 n-채널 무접합 MuGFET 의 Z-RAM 특성에 미치는 영향

이승민 · 박종태*

The impact of substrate bias on the Z-RAM characteristics in n-channel junctionless MuGFETs

Seung-min Lee · Jong-tae Park*

Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

요 약

본 연구에서는 다중게이트 구조인 n-채널 무접합(junctionless) MuGFET 의 기판 전압이 zero capacitor RAM(Z-RAM) 특성에 미치는 영향에 대하여 실험적으로 분석하였다. 핀 폭이 50nm 이고, 핀 수가 1인 무접합 트랜지스터의 드레인에 3.5V, 기판에 0V 가 인가된 경우, 메모리 윈도우는 0.34V 이며 센싱 마진은 1.8×10^4 의 특성을 보였다. 양의 기판 전압이 인가되면 충격 이온화가 증가하여 메모리 윈도우와 센싱 마진 특성이 개선되었다. 기판 전압이 0V에서 10V로 증가함에 따라, 메모리 윈도우 값은 0.34V 에서 0.96V 로 증가하였고, 센싱 마진 또한 소폭 증가하였다. 기판 전압에 따른 무접합 트랜지스터의 메모리 윈도우 민감도가 반전 모드 트랜지스터 보다 큰 것을 알 수 있었다. Gate Induced Drain Leakage(GIDL) 전류가 작은 무접합 소자의 경우 반전모드 소자에 비해서 보유시간 특성이 좋을 것으로 사료된다. Z-RAM의 동작 신뢰도 평가를 위해서 셋/리셋 전압 및 전류의 변화를 측정하였다.

ABSTRACT

In this paper, the impact of substrate bias(V_{BS}) on the zero capacitor RAM(Z-RAM) in n-channel junctionless multiple gate MOSFET(MuGFET) has been analyzed experimentally. Junctionless transistors with fin width of 50nm and 1 fin exhibits a memory window of 0.34V and a sensing margin of 1.8×10^4 at $V_{DS}=3.5V$ and $V_{BS}=0V$. As the positive V_{BS} is applied, the memory window and sensing margin were improved due to an increase of impact ionization. When V_{BS} is increased from 0V to 10V, not only the memory window is increased from 0.34V to 0.96V but also sensing margin is increased slightly. The sensitivity of memory window with different V_{BS} in junctionless transistor was larger than that of inversion-mode transistor. A retention time of junctionless transistor is better than that of inversion-mode transistor due to low Gate Induced Drain Leakage(GIDL) current. To evaluate the device reliability of Z-RAM, the shifts in the Set/Reset voltages and current were measured.

키워드 : 무접합 소자, Z-RAM, 기판 전압, 메모리 윈도우, 센싱 마진, 보유시간

Key word : Junctionless transistor, Z-RAM, Substrate bias, Memory window, Sensing margin, Retention time

접수일자 : 2014. 03. 17 심사완료일자 : 2014. 04. 08 게재확정일자 : 2014. 04. 22

* **Corresponding Author** Jong-Tae Park(E-mail:jtpark@incheon.ackr, Tel:+82-32-835-8445)

Department of Electronics Engineering, Incheon National University, Incheon 406-772, Korea

Open Access <http://dx.doi.org/10.6109/jkiice.2014.18.7.1657>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

기존의 1개의 트랜지스터와 1개의 커패시터(IT/IC)로 이루어진 DRAM의 한 셀 당 크기가 나노미터로 감소하면서 여러 가지 문제점들이 발생하고 있다. 트랜지스터는 채널길이의 감소에 따라 발생하는 단채널 현상으로 인하여 누설전류가 증가하게 되며 커패시터는 면적 감소로 인하여 전하축적 용량이 감소하게 된다. 이는 DRAM 스케일링 시 보유시간(Retention time) 및 내구성(Endurance) 등의 메모리 특성 저하의 주된 요인이 된다. 특히, 커패시터의 경우 메모리 동작을 위해선 각 셀 당 전하축적 용량이 적어도 30fF/cell 은 되어야 하며[1], 이를 위해선 설계 시 stack 및 deep-trench 등 복잡한 공정이 필요하여 DRAM 셀의 추가적인 스케일링의 주된 장애 요인이 되고 있다[2]. Z-RAM의 경우 커패시터가 없이 1개의 트랜지스터만으로 DRAM 셀을 구현한 구조로 복잡한 커패시터 설계를 제거하므로 스케일링 시 장점을 가지고 있어 많은 연구가 진행되고 있다[3-6]. Z-RAM은 수평전계가 증가함에 따라 고에너지의 캐리어들이 충돌하면서 발생하는 충격이온화를 이용, 기판에 다수 캐리어를 축적시켜 부유 기판 효과(Floating body effect)를 일으키는 방식[3], 게이트와 드레인의 오버랩 영역에서 밴드 간의 터널링으로 인하여 발생하는 게이트 유도 드레인 전류(Gate Induced Drain Leakage: GIDL) 현상을 이용하여 부유 기판 효과를 일으키는 방식[4], 기생 양극성 트랜지스터(Parasitic bipolar transistor: PBT) 효과에 따른 소자의 순궤환 현상을 이용하는 방식[5], 결합 효과를 이용하여 채널의 다수 캐리어를 일시적으로 공핍시키면 전하의 불균형에 따른 비평형 상태가 되며 다수 캐리어가 생성되어 평형 상태에 도달하는데 걸리는 시간을 이용하는 동적 결합 효과(Dynamic coupling effect) 방식[6] 등을 이용하여 0과 1을 구분한다. 기생 양극성 트랜지스터 효과를 이용하여 Z-RAM(이하 PBT-RAM)을 구동 시키는 경우 기판이 완전하게 공핍되는 구조에서도 동작이 가능하므로 단채널 현상이 감소하여 스케일링 시 유리하며, 높은 센싱 마진(Sensing margin)과 뛰어난 보유시간 특성을 보여주고 있어, 활발한 연구가 이루어지고 있다. 하지만 PBT 효과를 유지하기 위해선 높은 구동전압이 필수적이므로 큰 전력소비 및 hot carrier effect(HCE)에 의한 소자열화의 문제가 존재한다[7].

반전모드(inversion mode: IM) 소자를 이용한 PBT-RAM의 경우 양의 기판 전압 인가를 통해 순궤환 현상이 발생하기 위한 최소 구동전압을 낮출 수 있으며 센싱 마진을 개선시킬 수 있다 [8]. 하지만 이는 소스와 채널간의 전위장벽이 낮아져 기판에 축적된 홀들이 소스 단자를 통하여 흘러나가는 결과를 초래, 보유시간 특성이 저하되며[9], 기판 전압이 일정 전압 이상 초과 시 오히려 메모리 윈도우(Memory window)가 감소한다[6]. 매몰 산화층 두께를 얇게 해서 만든 SOI 웨이퍼에 Z-RAM을 제작하는 경우 메모리 셀의 기판에 필스를 인가함으로써 전압을 낮추고 보유시간 특성도 개선시킬 수 있다는 논문이 발표되기도 하였다[10].

2010년 무접합(junctionless: JL) 소자를 Z-RAM으로 사용하면 고농도로 도핑된 채널에서의 밴드 갭 감소 현상과 고온도의 전자영역이 넓게 형성되어 더 낮은 구동 전압으로도 충격이온화가 발생, 저전압, 저전력 Z-RAM의 구현이 가능하다고 발표되었다[11]. 하지만 무접합 소자의 경우 반전모드 소자의 비해 메모리 윈도우가 좁아서 셋/리셋 전압 설정 시 어려움이 따를 것으로 예상되며, 구동전류가 작은 단점이 있다. 반전모드 소자는 기판에 전압을 인가하여 PBT-RAM의 성능을 개선하는 연구들이 많이 진행되었으나, 무접합 소자의 기판 전압에 따른 PBT-RAM 특성 변화와 관련한 연구는 아직 전무하다.

본 연구에서는 기판 전압이 무접합 및 반전모드 소자의 PBT-RAM 특성에 미치는 영향을 비교, 분석하기 위하여 기판 전압에 따른 이력곡선(hysteresis loop) 측정을 실시하였으며, 반복적인 측정을 통한 셋/리셋 전압, 전류 변화를 통하여 무접합 PBT-RAM의 신뢰도를 평가하였다.

II. 소자제작 및 측정

n-채널 다중게이트 무접합 및 반전모드 소자는 실리콘 박막의 두께가 340nm이며 저항이 10-20Ωcm고 매몰 산화층 두께가 400nm인 p-형 SOI 웨이퍼에 제작되었다. 열산화 공정으로 실리콘 박막을 10nm로 얇게 한 후에 전자 빔 리소그래피와 이온반응식각 공정을 이용하여 실리콘 핀을 만들었다. 건식 산화 공정을 이용하여 두께가 10nm인 게이트 산화층을 성장 시켰다.

무접합 소자의 경우, 채널 및 소스/드레인에 약 $N_D=1 \times 10^{19} \text{cm}^{-3}$ 농도가 되도록 이온주입을 하였다. 반전모드 소자는 붕소의 이온주입으로 채널 농도 $N_A=2 \times 10^{18} \text{cm}^{-3}$ 가 되게 하였다. 저 압력 화학증착 공정으로 50nm 두께의 다결정 실리콘을 증착한 후, 무접합 소자의 게이트에는 붕소를 이온주입 하여 P^{++} 로 도핑 하였으며, 반전모드 소자는 인을 이온주입 하여 N^{++} 로 도핑 하였다. 반전모드 소자는 소스와 드레인에 비소를 이온주입 하여 $N_D=1 \times 10^{20} \text{cm}^{-3}$ 의 농도가 되게 하였다. 최종적으로 제작된 소자는 게이트 확장 길이가 10nm인 Pi-gate 구조의 MuGFET이며 실리콘 박막 두께는 약 10nm이다. 측정에 사용된 모든 소자의 게이트 길이는 1 μm 이고 핀의 폭은 50nm이다. 그리고 핀 수는 1이며, 그림 1은 제작된 소자의 3차원 도식도이다[12].

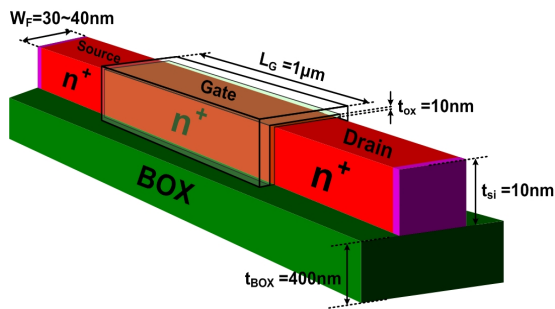


그림 1. 무접합 MuGFET의 3차원 소자 도식도
Fig. 1 3-dimensional schematic diagram of junctionless MuGFET

III. 결과 및 고찰

3.1. 측정 결과

그림 2는 드레인 전압에 따른 n-채널 무접합 소자의 이력곡선(hysteresis loop) 그래프이다. 드레인 전압이 증가하면서 메모리 윈도우가 넓어지는 것을 확인할 수 있다. 드레인 전압이 높아짐에 따라 채널의 수평방향 전계가 커지게 되고 충격이온화가 많이 일어나면서 전자/홀 쌍의 수가 증가하게 된다. 충격이온화로 생성된 홀이 재결합 하는데 소요되는 시간이 증가, 순회환 현상이 오래 지속되어 메모리 윈도우(M_w)가 넓어진다.

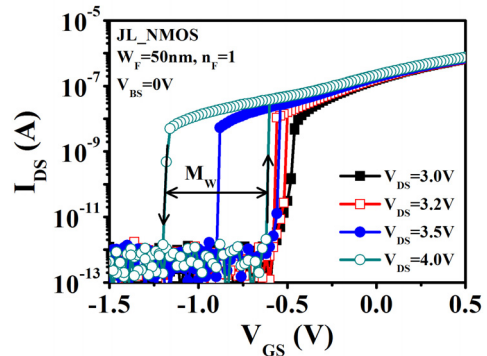


그림 2. $V_{BS}=0V$ 일 때 드레인 전압에 따른 무접합 MuGFET의 이력곡선 특성
Fig. 2 Hysteresis loop as a function of V_{GS} with different V_{DS} at $V_{BS}=0V$ in junctionless MuGFET

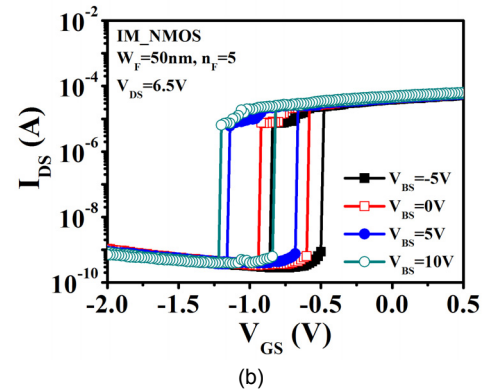
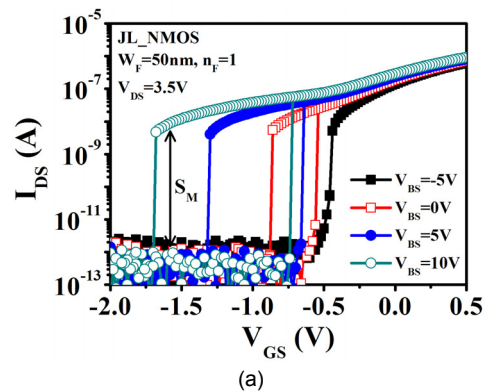


그림 3. 기판 전압에 따른 무접합(a), 반전모드(b) MuGFETs의 이력곡선 특성
Fig. 3 Hysteresis loop as a function of V_{GS} with different V_{BS} in JL (a) and IM (b) MuGFETs.

그림 3은 핀 폭이 50nm 로 동일한 n-채널 무접합 및 반전모드 소자의 기판 전압에 따른 이력곡선 특성을 나타낸 그림이다. 무접합 소자의 경우 $V_{DS}=3.5V$ 에서 이력곡선 현상이 발생하는 반면 반전모드 소자의 경우 $V_{DS}=6.5V$ 에서 발생하는 것을 확인할 수 있다. 실리콘 표면의 반전 채널에서 충격이온화가 발생하는 반전모드 소자와 달리 무접합 소자의 경우 전류전도 대역이 실리콘 박막 중심부(Bulk)에 위치한다. 표면 충격이온화의 경우 Bulk 충격이온화 보다 약 40% 더 높은 드레인 전압에서 발생하므로, 반전모드 소자의 이력곡선 특성이 나타나기 위해선 무접합 소자에 비하여 더 높은 구동 전압이 요구된다 [13]. 무접합 소자의 경우 더 낮은 드레인 전압에서도 순궤환 현상이 발생하기 때문에 소비전력 및 HCE에 의한 소자열화 측면에서 기존 반전모드 소자 보다 우수하다.

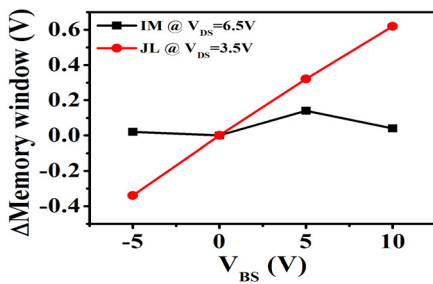


그림 4. 기판 전압에 따른 무접합 및 반전모드 MuGFETs의 메모리 윈도우 변화

Fig. 4 Variation of memory window on V_{BS} in JL and IM MuGFETs

기판 전압에 따른 무접합 및 반전모드 소자의 메모리 윈도우 변화를 그림 4에 나타내었다. 무접합 소자의 경우 전류전도 대역이 실리콘 박막 중심부에 위치하기 때문에 상측 게이트와 채널간의 유효 게이트 커패시턴스가 감소하며[14], 상대적으로 기판 전압이 전류전도 대역에 미치는 영향이 더 크다. 기판 전압에 따른 무접합 소자의 충격이온화 변화율이 반전모드 소자 보다 크기 때문에, 무접합 소자의 메모리 윈도우 변화 값이 반전모드 소자보다 큰 것으로 사료된다. 또 한 가지 차이점은 $V_{BS}=10V$ 일 때 무접합 소자의 메모리 윈도우는 증가한 반면 반전모드 소자는 소폭 감소한 것을 볼 수 있다. 반전모드 소자의 경우 하부 채널 문턱전압 보다 더 큰 기판 전압이 인가되면 실리콘 박막 하부에 전류전도 대

역이 형성, 축적되어 있던 홀들이 하부 채널을 통하여 소스 단자로 빠져나가면서 메모리 윈도우가 감소한다 [8] 반면, 무접합 소자의 경우 전류전도 대역이 실리콘 박막 중심부에 위치하며 추가적인 채널 형성이 되지 않기 때문에, 기판에 큰 전압이 인가되어도 메모리 윈도우가 증가하는 것으로 보인다.

그림 5는 온도에 따른 무접합 및 반전모드 소자의 게이트 유도 드레인 전류(GIDL) 전류를 나타낸 그래프다. 무접합 소자의 GIDL 전류가 반전모드 소자에 비해서 작은 것을 볼 수 있으며, 온도가 상승함에 따라서 그 차이가 증가하는 것을 확인할 수 있다. 게이트와 소스/드레인 접합의 중복 영역에서 밴드 간의 터널링 현상으로 발생하는 GIDL 전류의 경우, 소스/드레인 추가 도핑에 따른 접합이 없는 무접합 소자가 접합이 존재하는 반전모드 소자에 비해서 더 낮은 것으로 알려져 있다[15]. PBT-RAM의 경우, GIDL 전류가 증가함에 따라 보유시간 특성이 감소하는 것으로 알려져 있으며[16], GIDL 전류가 작은 무접합 소자의 보유시간 특성이 기존 반전모드 소자에 비해서 더 우수할 것으로 사료된다.

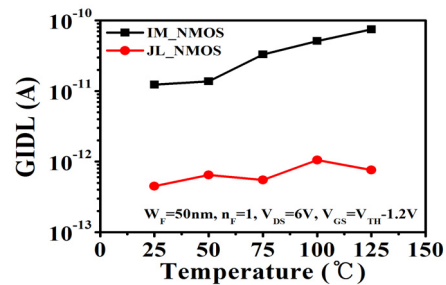


그림 5. 온도에 따른 무접합 및 반전모드 MuGFETs의 GIDL 전류

Fig. 5 GIDL current versus measurement temperature in JL and IM MuGFETs

PBT-RAM을 반복적으로 사용할 경우 충격이온화에 의해서 계면상태(interface state)가 만들어지고 이 계면상태를 통한 Trap-Assisted 터널링이 발생, GIDL 전류가 증가하게 된다. GIDL 누설전류가 증가함에 따라서 리셋 전류의 구현이 불가능해지고 메모리로 동작할 수 없게 된다[7]. 충격이온화가 실리콘 표면에서 발생하는 impact ionization MOS (I-MOS)와 달리 실리콘 박막 중심부 충격이온화가 발생하는 depletion I-MOS(DIMOS)의 경우, 에너지가 높은 캐리어들을 표면으로부터 이격

시킬 수 있어 HCE에 의한 소자열화가 줄어드는 것으로 발표되었다[17]. I-MOS와 DIMOS의 경우와 유사하게, 실리콘 표면에서 충격이온화가 발생하는 반전모드 소자와 달리 무접합 소자의 경우 실리콘 박막 중심부에서 충격이온화가 발생하기 때문에 계면상태의 발생이 줄어들 것으로 예상된다.

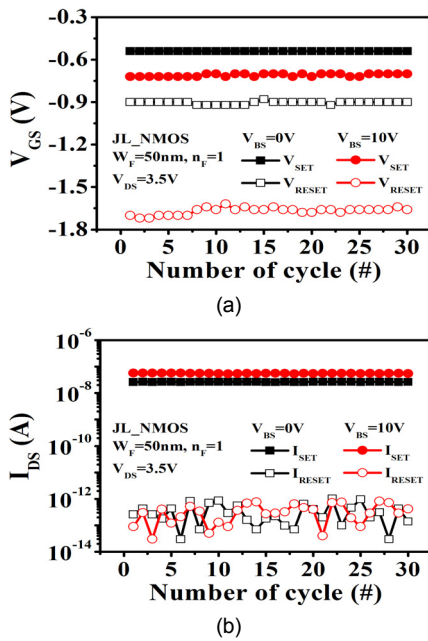


그림 6. 기판 전압이 0V와 10V 일 때 반복 측정에 따른 무접합 MuGFET의 셋/리셋 전압(a) 및 전류(b) 변화
 Fig. 6 Shift of the set and reset voltage(a) and current(b) as a function of measurement cycles at $V_{BS}=0V$ and $V_{BS}=10V$ in JL MuGFET

무접합 소자의 신뢰성을 평가하기 위해서 반복적인 측정을 실시하였으며 측정 횟수에 따른 셋/리셋 전압 (V_{SET}/V_{RESET}) 및 전류 (I_{SET}/I_{RESET})의 변화를 그림 6에 나타내었다. 셋/리셋 전압은 렛치 업/다운 현상이 발생하는 지점의 게이트 전압으로 정의하였다. 기판 전압이 0V 인 경우 30번의 반복적인 측정에도 셋 전압은 변하지 않았으나 기판 전압이 10V 인 경우 약간의 변화를 확인할 수 있다. 리셋 전압의 경우 기판 전압이 0V 일 때는 약간의 변화 있지만, 기판 전압이 10V 인 경우 조금씩 증가하는 것을 볼 수 있다. 전류는 $V_{BS}=0V$, 10V 두 전압 조건 모두 셋 전류 및 리셋 전류의 변화가 없는 것을 확인할 수 있다. 그림 6으로부터 무접합 소자의

신뢰성이 우수한 것을 볼 수 있으며, 이는 전류전도 채널이 실리콘 박막의 중심부에 위치하는 무접합 소자의 경우 게이트 산화층으로 주입되는 hot carrier 수가 감소하면서 계면상태가 적게 발생하기 때문이다.

IV. 결론

기판 전압이 무접합 PBT-RAM의 DC 메모리 특성에 미치는 영향을 분석하였다. 무접합 소자의 인가된 기판 전압이 0V에서 10V로 증가함에 따라서 메모리 윈도우는 0.34V에서 0.96V, 센싱 마진은 1.8×10^4 에서 3.6×10^4 로 증가하였다. 무접합 소자의 경우 반전모드 소자에 비해 더 낮은 드레인 전압에서도 PBT-RAM으로 동작하였으며, 기판 전압에 따른 메모리 윈도우와 센싱 마진의 변화율은 무접합 소자가 반전모드 소자보다 더 크다. 기판 전압이 10V인 경우 반전모드 소자의 메모리 윈도우 값은 감소하였으나 무접합 소자는 증가하였다. 반전모드 소자의 GIDL 전류 크기가 무접합 소자의 경우보다 컸으며 이를 통해 무접합 소자의 보유시간 특성이 반전모드 소자에 비해서 더 우수할 것으로 사료된다. 전류전도 채널이 실리콘 박막 중심부에 위치하는 무접합 소자의 경우 PBT-RAM 동작 시에 신뢰성이 우수하다.

REFERENCES

- [1] Parkinson. P.S., Settlemyer. K., McStay. I., Park. D.G., Ramachandran. R., Chudzik. M., et. al., "Novel techniques for scaling deep trench DRAM capacitor technology to 0.11 μ m and beyond", in *Proc. Symp. VLSI Technol.*, pp. 21-24, 2003.
- [2] Kotechki. D.E., Daniecki. J.D., Shen. H., Laibowitz. R.B., Saenger. K.L., Lian. J.J., et. al., "(Ba,Sr)TiO₃ dielectrics for future stacked-capacitor DRAM", *IBM Journal of Research and Development*, vol. 43, no. 3, pp. 367-392, 1999.
- [3] Okhonin. S., Nagoga. M., Salles. J.M., and Fazan. P., "A Capacitor-less 1T-DRAM cell", *IEEE Electron Device Letters*, vol. 23, no. 2, pp. 85-87, 2002.
- [4] Yoshida. E., and Tanaka. T., "A capacitorless 1T-DRAM technology using Gate-Induced Drain-Leakage (GIDL) current for low-power and high-speed embedded memory",

- IEEE Transaction on Electron Devices*, vol. 53, no. 4, pp. 692-697, 2006.
- [5] Okhonin. S., Nagoga. M., Carman. E., Beffa. R., Faraoni. E., "New generation of Z-RAM", in *Proc. IEDM*, pp. 925-928, 2007.
- [6] Bawedin. M., Cristoloveanu. S., and Flandre. D., "A capacitorless 1T-DRAM on SOI based on dynamic coupling and double-gate operation", *IEEE Electron Device Letters*, vol. 29, no. 7, pp. 795-798, 2008.
- [7] Aoulaiche. M., Collaert. N., Degraeve. R., Lu. Z., Wachter. B.D., Groeseneken. G., Jurczak. M., and Altimime. L., "BJT-mode endurance on 1T-DRAM bulk FinFET device", *IEEE Electron Device Letters*, vol. 31, no. 12, pp. 1380-1382, 2010.
- [8] Andrade. M.G.C., Martino. J.A., Aoulaiche. M., Collaert. N., Simoen. E., and Claeys. C., "The impact of back bias on the floating body effect in UTBOX SOI devices for 1T-FBRAM memory application", in *Proc. 8th ICCDCS*, pp. 1-4, 2012.
- [9] Nicoletti. T., Sasaki. K.R.A., Aoulaiche. M., Simoen. E., Claeys. C., and Martino. J.A., "Experimental and simulation of 1T-DRAM trend with the gate length on UTBOX devices", in *Proc. Conf. EUROSIOI*, pp. 1-2, 2013.
- [10] Sasaki. K.R.A., Nissimoff. A., Almeida. L.M., Aoulaiche. M., Simoen. E., Claeys. C., and Martino. J.A., "Improvement of retention time using pulsed back gate bias on UTBOX SOI memory cell", in *Proc. Conf. EUROSIOI*, pp. 1-2, 2013.
- [11] Lee. C.W., Yan. R., Ferain. I., Kranti. A., Dehdashti. N.A., Razavi. P., Yu. R., and Colinge. J.P., "Nanowire zero-capacitor DRAM transistors with and without junctions", in *Proc. Conf. 10th IEEE-NANO*, pp. 242-245, 2010.
- [12] Lee. S.M, and Park. J.T., "Steep subthreshold slope at elevated temperature in junctionless and inversion-mode MuGFET", *JKIICE*, vol. 17, no. 9, pp.2133-2138, 2013.
- [13] Lee. C.W., Nazarov. A.N., Ferain. I., Dehdashti. N.A., Yan. R., Razavi. P., Yu. R., Doria. R.T., and Colinge. J.P., "Low subthreshold slope in junctionless multigate transistor", *Applied Physics Letters*, vol. 96, pp. 102106-4102107, 2010.
- [14] Park. S.J., Jeon. D.Y., Montes. L., Barraud. S., Kim. G.T., Ghilhaudo. G., "Back biasing effects in tri-gate junctionless transistors", *Solid-State Electronics*, vol. 89, no. 9, pp. 74-79, 2013.
- [15] Lee. C.W., Borne. A., Ferain. I., Afzalian. A., Yan. R., Dehdashti. N., et. al., "High temperature performance of silicon junctionless MOSFETs", *IEEE Transaction on Electron Devices*, vol. 57, no. 3, pp. 620-625, 2010.
- [16] Nicoletti. T., Aoulaiche. M., Almeida. L.M., dos Santos. S.D., Martino. J.A., Veloso. A., Jurczak. M., Simoen. E., and Claeys. C., "The dependence of retention time on gate length in UTBOX FBRAM with different source/drain junction engineering", *IEEE Electron Device Letters*, vol. 33, no. 7, pp. 940-942, 2012.
- [17] Onal. C., Woo. R., Serene Koh. H.Y., Griffin. P.B., and Plummer. J.D., "A novel depletion-IMOS (DIMOS) device with improved reliability and reduced operating voltage", *IEEE Electron Device Letters*, vol. 29, no. 1, pp. 64-67, 2009.



이승민(Seung-Min Lee)

2012년 인천대학교 전자공학과 학사
 2012년 3월 ~ 현재 인천대학교 전자공학과 공학석사
 ※관심분야 : CMOS Reliability, Nano-scale CMOS



박종태(Jong-Tae Park)

1981년 경북대학교 전자공학과 학사
 1983년 연세대학교 전자공학과 공학석사
 1987년 연세대학교 전자공학과 공학박사
 1983년 8월 ~ 1985년 8월 금성반도체(주) 연구소 연구원
 1991년 1월 ~ 1991년 12월 MIT Post Doc.
 2000년 7월 ~ 2001년 8월 UC Davis 방문 교수
 1987년 3월 ~ 현재 인천대학교 전자공학과 교수
 ※관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS