

논문 2014-51-7-14

# 공정 코너별 LVCC 마진 특성을 이용한 전력 소모 개선 Voltage Binning 기법

( A Voltage Binning Technique Considering LVCC Margin  
Characteristics of Different Process Corners to Improve Power  
Consumption )

이 원 준\*, 한 태 희\*\*

( Won Jun Lee and Tae Hee Han<sup>©</sup> )

## 요 약

스마트 기기 시장의 눈부신 성장으로 핵심 SoC (System on Chip)에 대한 고성능 다기능 요구와 더불어 전력 소모 또한 급속도로 증가하고 있다. 그러나 이러한 요구 사항을 만족시키기 위해 점점 더 미세화된 공정을 사용하게 되면서 심화된 공정 변이(process variation)문제로 인해 설계 마진(design margin)이 증가하여 성능과 전력소모를 악화시켜 궁극적으로 수율에 심각한 악영향을 주고 있다. Voltage binning 기법은 효과적인 post silicon tuning 기법중의 하나로, 개별 칩이 아닌 일정한 범위의 속도와 누설 전류에 따라 칩들을 선별 그룹핑한 bin 단위의 공급 전압 조절을 통해 경제적으로 공정 변이로 인한 parametric 수율 손실을 줄일 수 있다. 본 논문에서는 수율 손실 없이 추가적으로 평균 전력 소모를 개선하기 위한 voltage binning 기반의 최적화된 공급 전압 조절 방법을 제안한다. 제안한 기법은 칩 속도와 누설전류의 특성에 따른 공정 코너들의 서로 다른 LVCC (Low VCC) 마진을 고려하여 전압 마진의 편차를 최적화함으로써 전력 소모를 개선할 수 있다. 제안한 방식을 30나노급 모바일 SoC 제품에 적용한 결과 전통적인 voltage binning 방법 대비 동일조건에서 약 6.8%까지 평균 전력 소모를 줄일 수 있었다.

## Abstract

Due to remarkable market growth of smart devices, higher performance and more functionalities are required for a core system-on-chip (SoC), and thus the power demand is rapidly increasing. However, aggressive shrink of CMOS transistor have brought severe process variations thereby adversely affected the performance and power consumption under strict power constraint. Voltage binning (VB) scheme is one of the effective post silicon tuning techniques, which can reduce parametric yield loss due to process variations by adjusting supply voltage. In this paper, an optimal supply voltage tuning based voltage binning technique is proposed to reduce average power without an additional yield loss. Considering the different LVCC margins of process corners along with speed and leakage characteristics, the proposed method can optimize the deviation of voltage margin and thus save power consumption. When applying on a 30nm mobile SoC product, the experimental results showed that the proposed technique reduced average power consumption up to 6.8% compared to traditional voltage binning under the same conditions.

**Keywords :** Post Silicon, Power Saving, Process Corner, Process Variation, Voltage Binning

\* 학생회원, 성균관대학교 반도체디스플레이공학과  
(Sungkyunkwan University)

\*\* 평생회원, 성균관대학교 정보통신대학  
(Sungkyunkwan University)

© Corresponding Author(E-mail: than@skku.edu)

※ 본 연구는 미래창조과학부 및 정보통신산업진흥원의 대학 IT연구센터 육성지원 사업의 연구결과로 수행되었음.  
(NIPA-2014-H0301-14-1018)

접수일자: 2014년04월26일, 수정일자: 2014년06월09일, 수정완료: 2014년06월26일

## I. 서 론

최근 반도체의 주요 수요처가 PC에서 모바일 기기로서 중심을 옮겨가면서 전력소모 문제가 더욱 부각되고 있다. 대표적 모바일 기기인 스마트폰의 경우 신제품의 기능과 성능에 대한 기대치가 급격하게 증가하고 있으나 상대적으로 매우 느린 배터리 기술 발전 속도로 인해 전력 격차(power gap)을 극복하기 위한 다양하고 전방위적인 저전력 기술이 요구된다.

제품의 전력 요구사항을 강화하는 것도 이러한 전력 격차를 극복하기 위한 시도이다. 칩은 요구되는 연산속도에 따라 제한된 전력 한도(power budget) 내에서 관리되어야 하는데, 선별 기준이 더욱 엄격해짐에 따라 전압 마진이 줄어들고 이에 따라 수율 손실을 야기한다.

게다가 반도체 소자의 미세화 추세에 수 십 나노미터 단위에 도달하면서 심화되는 공정 변이(die-to-die 및 within-die parameter variations)<sup>[1]</sup> 또한 반도체 설계 복잡도 증가와 수율 악화의 주요 원인이 되어왔다. 따라서 시장에서 요구하는 전력 소모 기준을 만족시키면서 수율 손실을 줄이는 것이 점점 더 어려워지고 있는 실정이다.

이에 반도체 칩 제조 이후에 공급 전압을 통해 공정 변이를 효과적으로 조절하여, 시스템 요구사항을 만족시키도록 수율을 개선하거나 소비전력 효율화를 위하여 post silicon tuning 기법이 활용되며, 대표적으로 Adaptive Body Biasing (ABB)와 Adaptive Supply Voltage (ASV)가 있다.<sup>[2]</sup> ABB<sup>[1, 4]</sup>는 공급 전압 바이어스를 통해 문턱 전압을 조절하여 누설전류와 동작 속도를 개선하는 효과적인 방법으로 수율 개선을 위해 ASV와 동시에 적용되어 활용되어져 왔다. 그러나 body전압을 조절하기 위한 triple well 구조 부담이 있고, 수율 70%이상 수준에서는 ASV 단독 적용과 대동소이한 결과를 보이고 있다.<sup>[3]</sup> 또한 FinFET 소자부터는 ABB 효과가 기존 평면 트랜지스터 소자 대비 30% 수준으로 감소하여 공정 복잡도 증가 대비 이득이 미미해지기 때문에 제공되지 않는 추세이다. 그러므로 저비용으로 구현 가능한 ASV 기술만으로 정교하게 공정 변이를 관리할 수 있는 기법의 필요성이 증가하고 있다. 그러나 개별 칩에 ASV를 적용할 경우 선별 과정이 지나치게 증가하여 생산성을 저하시키므로, 칩의 성능과 누설전류의 특성에 따라 여러 개의 bin들로 구분하

고 각 bin별로 공급전압을 조절하는 방법인 Voltage Binning (VB) 기법이 효과적인 대안으로서 최근 각광 받고 있다.<sup>[5-6]</sup> 칩의 특성별로 bin이 잘 분류된다면 각각의 칩에 대해서 적절한 공급전압을 할당하기 위해 개별평가 할 필요 없이 최소의 비용으로 공정 변이에 따른 영향을 줄일 수 있다.

본 논문에서는 전통적인 VB기법에서 제품들의 bin을 구분하기 위해 활용되어지는 누설전류와 속도 특성뿐만 아니라 공정 코너들의 서로 다른 LVCC 특성도 고려하여 bin을 정의함으로써, 기존 대비 수율 손실 없이 평균 전력 소모를 개선할 수 있는 새로운 VB기법을 제안한다.

본 논문의 나머지 구성은 다음과 같다. II장에서는 bin을 분류하기 위한 판단 기준과 bin별 공급 전압의 결정 방법에 대해서 소개한다. III장에서는 제안 기법을 상세히 기술하며, IV장에서는 언급된 방법의 개선 정도를 평가하기 위한 실험 환경 및 결과를 보였다. V장에서는 결론으로 본 논문을 마무리한다.

## II. Voltage Binning의 원리와 방법

VB기법에 있어서 칩들을 적절한 bin으로 할당하는 방법은 제품의 수율과 전력 소모에 직접적으로 연관되기 때문에 매우 중요하다. 본 논문은 파운드리 (Foundry) 제공 회사의 보안정책상 실제수치를 기재하는 대신 정규화(Normalize)한 상대값을 사용하였다. 정규화한 LVCC는 DVFS (Dynamic Voltage Frequency Scaling) 적용시 기능과 성능에 영향을 주지 않는 최소 공급 전압(LVCC) 가변 범위를 최대 공급 전압 (peak Vcc)으로 나눈 비율이다. 마찬가지로 정규화한 누설전류는 최대 누설전류로 나눈 비율이고, 정규화한 RO는 중심산포의 RO (Ring Oscillator)값으로 나눈 비율이며, 정규화한 전력 소모는 L0 스피드 레벨에서 VB기법을 적용하지 않고 수율을 극대화하는 단일 공급전압 설정시의 전력 소모를 기준으로 나눈 비율이다. 끝으로 정규화한 스피드 레벨은 가장 높은 동작 주파수를 L5로 표현하고 가장 낮은 동작 주파수를 L0로 표현하여 여섯 단계(L0, ..., L5)로 구분하여 표현하였다.

### 1. BIN을 분류하기 위한 판단 기준

그림 1은 30나노급 CMOS공정으로 제작한 SoC 제품

군을 선정하여 해당 제품의 CPU 동작속도별 LVCC를 측정된 데이터를 도식화한 것이다. 여기서 LVCC는 각 동작 속도에 필요한 최소 전압을 의미하며 수율에 영향을 미치지 않는 공급전압을 결정하기 위해 측정된다. 모든 코너 샘플들에 대해서 각 성능별 LVCC를 측정하여 평가함으로써, 최종 제품에서 사용할 수 있는 DVFS를 적용하기 위해 각 동작 속도별 공급전압 레벨을 결정하며, 또한 해당 제품의 공정 변이로 인한 칩들의 산포를 확인할 수 있다. VB기법은 이 산포로 인한 성능과 전력 차이를 줄여주기 위한 것으로, DVFS에서 결정된 전압레벨을 동작 주파수별로 일괄적용하지 않고 칩별 공정 변이에 따른 성능과 누설전류의 특성차이를 잘 분류하여 그 결정된 bin에 따라 공급전압을 좀 더 세밀하게 조정하는 것이다.

RO 값은 bin을 분류하기 위해 활용되는 대표적인 판단 기준 요소로, EDS (Electrical Die Sort) 테스트에서 측정된 ring oscillator의 지연 시간이며 SoC 내부의 Fuse-box에 저장된다. 따라서 칩의 중요 부분마다 RO 로직을 적용하면 공정 변이로 인한 칩의 성능 차이를 대변하는 값을 얻을 수 있다. 그림 2는 이렇게 칩별로

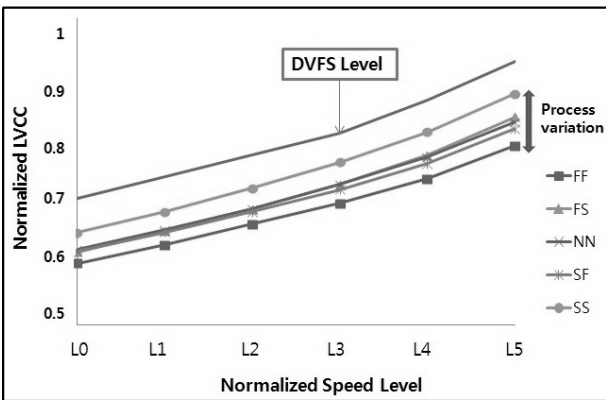


그림 1. 모바일 SoC제품의 CPU speed별 LVCC 분포  
Fig. 1. The LVCC distribution by CPU speed for mobile SoC products.

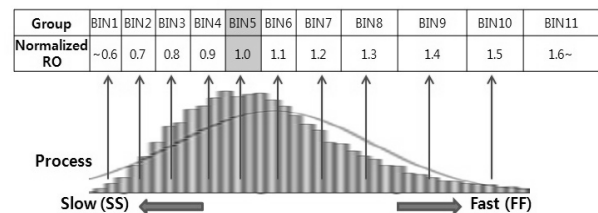


그림 2. 모바일 SoC 제품의 RO값에 따른 칩들의 분류  
Fig. 2. Classification of chips using RO value for the mobile SoC product.

산출된 RO값들을 활용하여 그림 1에서 보여주는 제품의 공정 변이 산포를 성능 특성에 따라 각각의 bin으로 분류하는 것을 도식화한 것이다. Selective voltage binning (SVB)는 이러한 bin 분류법을 가지고 평균 전력 소모를 개선한 성공적인 예이다.<sup>[7]</sup>

2. bin별 공급 전압의 결정

그림 3은 평가를 위해 선정한 SoC 내장 CPU가 L0 스피드 레벨로 동작할 때 그림 2에서와 같이 RO값을 고려하여 실제로 공정변이를 분류한 것이다. 이 그래프에서 각 bin들의 LVCC수준과 평균 누설 전류의 수준을 판단할 수 있고 이를 통해 수율을 개선하면서 강화된 전력 요구사항을 만족시키는 bin별 공급전압을 결정할 수 있다. 여기서 IDS는 대기(standby)상태에서 CMOS 트랜지스터에 흐르는 누설전류를 의미한다.

그림 1에서 보여준 각각의 이산적 동작 속도의 공급 전압은 칩의 신뢰성과 안정성 평가를 통해서 결정되며, 그 평가결과에 따라 상용 칩에서는 통상 약 5~7% 정도의 전압마진을 제공한다. 본 논문에서는 이 신뢰성 평가 방법에 대한 것은 언급하지 않으며, 신뢰성 마진을 확보한 공급전압을 결정하기 위해 bin별 칩의 능력치를 대표하는 기준전압을 결정하는 방법에 대해서 언급한다. 여기서 각 bin의 기준전압은 수율과 전력 소모를 고려하여 결정되어야 한다. 수율을 극대화하기 위해 DVFS 레벨별로 단일 공급전압을 할당할 경우, 그림 3의 'Ref. voltage 2'처럼 해당 스피드 레벨에서 모든 칩들의 LVCC를 만족시키는 전압을 기준전압으로 설정해야 한다. 하지만 이것은 기준전압 대비 LVCC마진이

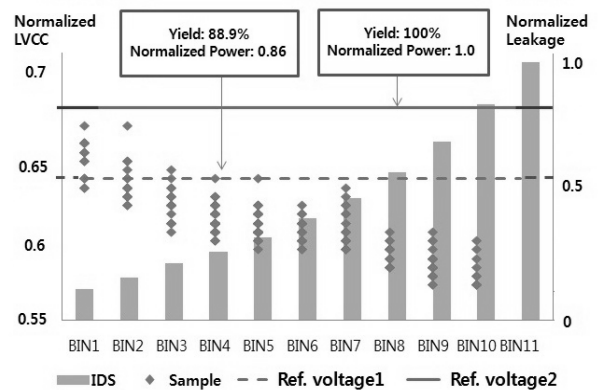


그림 3. 수율과 전력 소모 간의 trade-off  
Fig. 3. The trade-off between yield and power consumption.

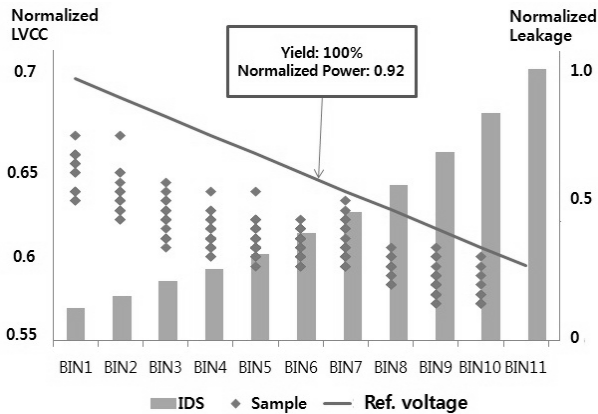


그림 4. VB기법을 적용한 bin별 기준 전압 결정  
Fig. 4. Define reference voltage of each bin by applying VB techniques.

20%이상 충분히 많은 칩들조차 동일하게 높은 전압을 할당함으로써 불필요한 전력 소모를 유발한다. 반면에 전력 요구사항을 강화하기위해 기준전압을 그림3의 'Ref. voltage 1'과 같이 낮추면 평균 전력 소모를 줄일 수 있지만 LVCC가 기준 전압보다 높은 샘플들의 경우, 신뢰성 마진 부족으로 불량 처리됨으로써 적지 않은 수율 손실이 발생한다.

이와 같이 수율과 전력 소모 간의 trade-off 관계 속에서 VB기법을 적용하는 것은 bin별 LVCC와 누설전류 특성에 따라 공급 전압을 할당해 줌으로써 공정 변이로 인한 성능과 전력 특성차이에 정교하게 대응할 수 있도록 해준다. 그림 4는 이와 같이 공정변이로 인한 제품의 특성 차이를 10개 이상의 bin으로 세분화된 공급전압을 결정하면 단일 전압보다 수율과 전력 소모를 개선할 수 있다는 것을 보여준다.<sup>[6,8]</sup> 각 bin별 기준전압을 결정하기 위해 먼저 그림 2에서 보여주는 제품의 중심 산포인 bin5를 만족시키는 전압을 설정한다. 그리고 그 전압을 중심으로 slow part(BIN1~BIN4)는 bin이 작아질수록 누설전류는 줄어들고 LVCC는 점점 높아지기 때문에, 그림 4의 'Ref. voltage'와 같이 그에 비례하여 기준 전압을 단계별로 상향조정한다. 반면에 중심 bin대비 fast part(BIN6~BIN10)는 LVCC는 점점 작아지지만 누설전류가 많이 흐른다. 따라서 그에 비례하여 기준 전압을 단계별로 하향조정함으로써 동적 전력 소모의 감소효과로 정적 전력 소모가 높은 칩들의 전체 전력 소모를 줄여준다.

### III. 제안하는 voltage binning 기법

VB기법은 초기 특성평가에 의해 결정된 bin정보를 바탕으로 공급 전압을 설정하며 제품의 성능과 전력 소모는 그 전압에 따라 결정된다. 본 논문에서는 공정 변이로 인한 성능차이를 RO값을 기준으로 10개 이상의 bin으로 분류하는 전통적인 VB기법 대비, 동일 bin내에서 상대적으로 전압 마진이 많음에도 불구하고 동일 전압을 공급하여 발생하는 전력 손실을 막고 공정 코너별로 서로 다른 LVCC 마진 분포에 따라 bin을 재분류함으로써 소비 전력을 최적화 하는 기법을 제안한다.

#### 1. 공정 코너의 LVCC 마진 편차

공정 코너 케이스들은 칩이 정상 동작 가능한 범위 내에서의 극한의 공정 파라미터를 나타내며, 이것은 NMOS/PMOS의 캐리어 이동도를 기준으로 FF (fast/fast), FS (fast/slow), SF (slow/fast), SS (slow/slow), 그리고 NN (normal/normal) 이렇게 다섯 가지로 구분한다. SoC 제품의 공정 변이로 인한 특성 산포는 공정의 미세화 정도와 공정 파라미터의 안정화 정도에 따라 차이가 발생하며 각 코너 케이스들을 평가함으로써 확인할 수 있다.

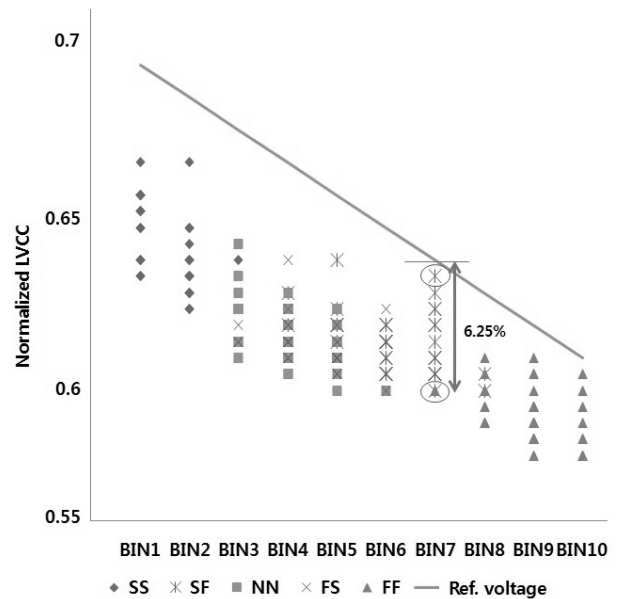


그림 5. 모바일 SoC 제품의 공정 코너별 LVCC분포 예시

Fig. 5. Example of LVCC distribution by process corners for mobile SoC products.

그림 3과 4에서 보여주는 bin별 LVCC 분포를 다섯 가지 코너별로 구분해보면 그림 5와 같이 서로 다른 LVCC 분포 패턴을 확인할 수 있다. 공정 코너별로 bin별 기준전압 대비 LVCC 마진을 분석함으로써 RO 값을 기준으로 동일 bin으로 분류되었지만 코너 케이스의 성능과 누설전류 특성차이에 따라 서로 다른 LVCC 분포를 보인다. 예를 들어, 그림 5에서 BIN7으로 정의된 샘플들 중에는 SF 코너와 FF 코너가 공존하고 있는데, BIN7의 기준전압 대비 SF 코너는 LVCC 마진을 최대한 활용하고 있지만 FF 코너의 경우는 상대적으로 LVCC 마진이 6.25%정도 더 있음을 확인할

수 있다. 그러므로 BIN7으로 분류되었지만 FF 공정 코너인 경우는 추가로 공급전압을 더 낮출 수 있다. 그림 6은 모든 FF 코너 샘플들에 대해 코너별 서로 다른 LVCC 마진을 고려하여 LVCC 마진을 최대한 활용하는 방향으로 재분류하여 해당 칩의 공급전압을 낮출 수 있음을 보여준다.

2. 코너 특성별로 bin을 재분류하는 기법

본 논문에서 제안하는 평균 전력 소모 개선 VB 기법은 측정된 LVCC값을 코너별로 분류하여, 각 bin에서의 기준전압 대비 공정 코너별로 LVCC 마진이 가장 작은 칩들( $W_1, \dots, W_K$ )을 bin별로 찾는 과정과 그 칩들을 기준으로 공정 코너별로 최적화된 bin을 찾는 과정의 2단계로 구성된다. 그림 7은 이에 대한 순서도이다.

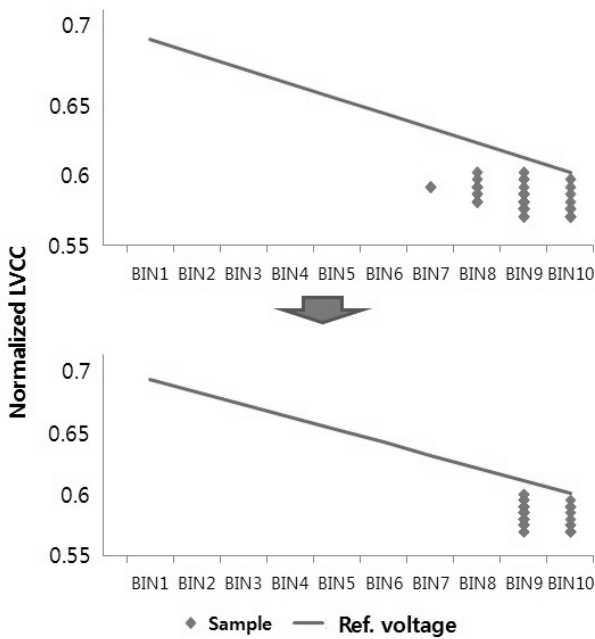


그림 6. 모바일 SoC 제품의 FF 코너 LVCC분포에 따라 각 bin별 기준전압 대비 LVCC 마진을 고려하여 BIN들을 재분류하는 예시

Fig. 6. Example of rearrange FF corner samples into new bin considering the LVCC margin compared to the reference voltage for the mobile SoC product.

표 1. 기호들의 정의

Table 1. Definition of symbols.

| Notation | Definition  |
|----------|---|
| $m$      | bin number index ( $m \in \{1, 2, \dots, 10\}$ )                            |
| $V_m$    | bin별 기준전압   |
| $K$      | 코너별로 각 코너가 포함된 bin들의 개수 ( $K \in \{K_{ss}, K_{sf}, K_{fs}, K_m, K_{ff}\}$ ) |
| $W_i$    | 코너별로 각 bin에서 LVCC마진이 가장 작은 샘플 ( $i \in \{1, 2, \dots, K\}$ )                |

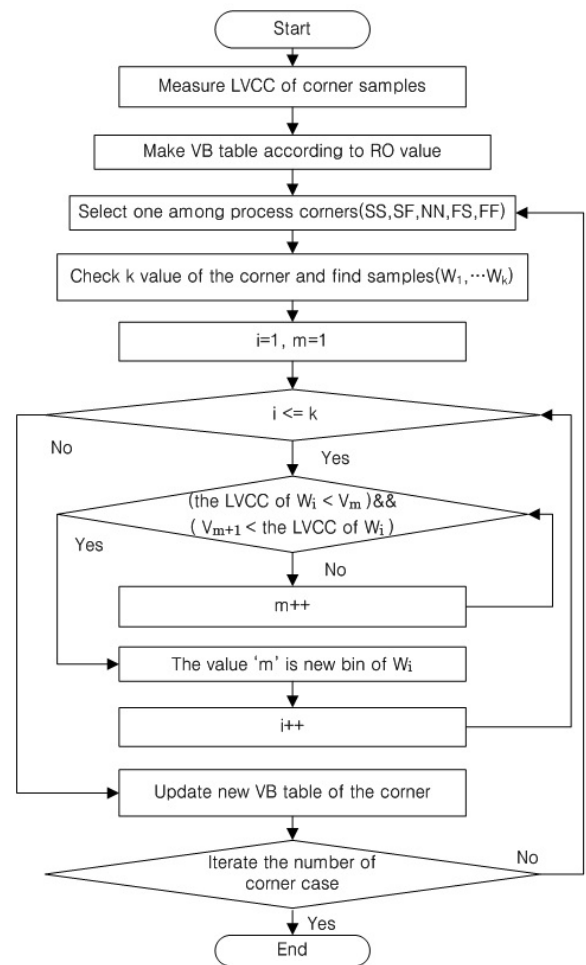


그림 7. 공정 코너별로 서로 다른 LVCC 마진을 미세 조율하는 기법의 순서도

Fig. 7. Flowchart of fine-grained tuning technique for the different LVCC margins of process corners

코너별로 LVCC 마진이 가장 작은 샘플을 찾는 부분은 Control Lot을 통하여 생성된 5 가지 코너 샘플들의 LVCC를 측정하고, 앞에서 언급한 각 칩들의 RO값에 따라 bin을 분류 및 각 bin별 공급전압을 할당하여 VB 테이블을 만드는 것이 선행되어야 한다. 그리고 각 코너별로 LVCC 데이터를 분류함으로써 그 코너가 어떤 bin들에 포함되어 있고 각 bin에서 해당 코너의 LVCC 분포 위치가 어디인지 파악한다. 그리고 각 bin별로 기준전압 대비 가장 LVCC 마진이 작은 샘플( $W_i$ )을 찾는다. 이 샘플을 만족시키는 기준전압은 이 샘플과 동일 bin으로 분류된 다른 샘플들도 만족시킬 수 있기 때문에 bin을 재분류하기 위한 대표성을 지닌다. FF코너 샘플들의 경우는 그림 5와 6에서 볼 수 있듯이 전통적인 VB기법으로 분류할 때, BIN7, BIN8, BIN9, 그리고 BIN10 에 분포하며 그 중에서 bin별로 기준 전압대비 LVCC 마진이 가장 작은 샘플을 bin별로 1개씩 총 4개 (FF 코너의  $K_{ff}$ )를 찾을 수 있다.

최적화된 bin을 찾는 부분은 다섯 가지 코너에 대해 각각 K개만큼 찾은  $W_i$  샘플들을 가지고 각 bin별 기준 전압과 비교하여 전압마진을 최대한 활용할 수 있는 새로운 bin으로 분류한다. RO 값을 기준으로 칩들의 그룹을 구분하는 전통적인 bin분류법에서 이와 같이 코너 정보를 활용하여 보다 정밀하게 bin을 재분류함으로써 다섯 가지 코너별로 새로운 VB 테이블을 완성할 수 있다. 제안한 기법을 적용하기 위해서는 기존의 공정 코너를 고려하지 않는 방식보다 초기 특성 평가 시간이 다소 증가하고, RO정보뿐만 아니라 코너 정보도 추가적으로 Fuse-box에 저장되어야 하기 때문에 Fuse-box 사용 영역이 증가한다. 하지만 이것은 기존 bin분류법보다 모든 칩들의 LVCC마진을 더 효과적으로 활용함으로써 평균 공급 전압을 낮출 수 있어 결과적으로 전력 소모 개선을 기대할 수 있다.

#### IV. 실험

제안한 방법의 전력 소모 개선 효과를 평가하기 위해 30나노급 CMOS공정으로 제조된 SoC 제품을 선정하여, 그 제품에 대해 다섯 가지 공정 코너 케이스의 Control Lot에 해당하는 웨이퍼 5매로 검증을 실시하였다. 본 실험은 개발보드에 탑재된 SoC칩을 가지고 성능 평가를 위해 보편적으로 사용되는 Dhrystone 벤치마크

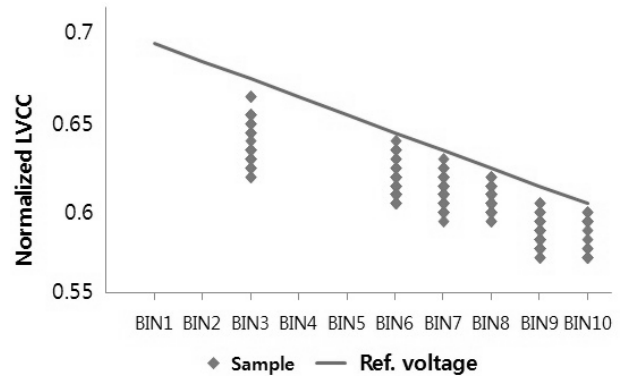


그림 8. 모바일 SoC 제품에 대해 제안한 방법으로 재분류된 bin들의 LVCC 분포

Fig. 8. LVCC distribution of bins redefined by the proposed method for mobile SoC products.

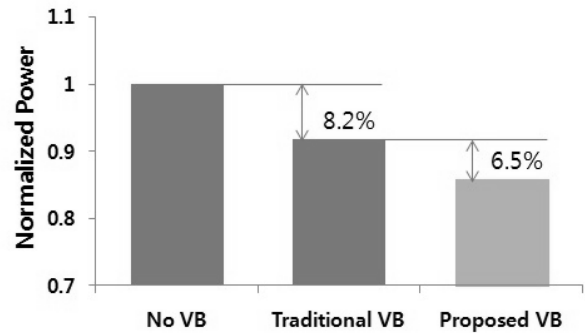


그림 9. 모바일 SoC 제품에 대해 Dhrystone 벤치마크 테스트시의 VB기법 미적용, 전통적인 VB기법, 그리고 제안한 VB기법간의 전력 소모 비교

Fig. 9. Comparison of power consumption among no VB, traditional VB and proposed VB when Dhrystone benchmark was tested on the mobile SoC products.

테스트 결과로 LVCC 데이터와 칩의 소모 전력을 측정하였다. 그림 8은 제안한 방법을 통해 새롭게 재분류된 bin별 LVCC 분포도이다. 성능 모니터로 측정된 RO값만으로 분류된 그림 4와 비교했을 때, bin별 기준전압을 기준으로 상대적으로 LVCC 마진의 편차가 줄어들었고 대부분의 칩들이 이전보다 공급전압이 더 낮은 bin으로 할당되었음을 확인할 수 있다.

L0 동작속도에서 VB기법을 적용하지 않고 그림 3의 'Ref. voltage' 기준 전압 설정시의 평균 소모 전력 대비, 전통적인 VB기법을 적용하였을 때는 동일 수준의 수율을 만족시키면서 평균 소모 전력을 약 8.2%정도 낮출 수 있었다. 하지만 제안한 VB기법은 기존 VB기법보다 최적화된 공급전압 조절을 통해 그림 9에서 볼

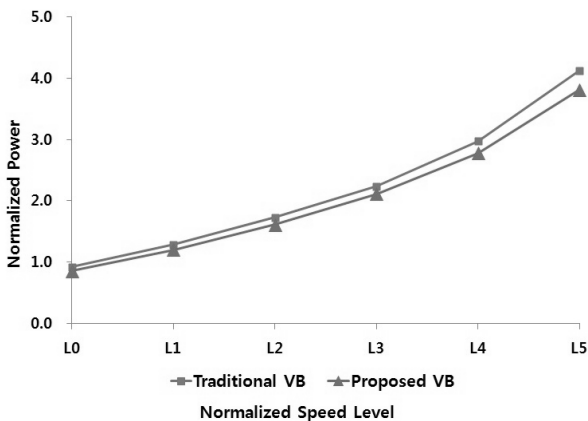


그림 10. Dhrystone 벤치마크 테스트시의 동작 속도에 따라 전통적인 VB기법과 제안한 VB기법의 모바일 SoC 칩의 전력 소모 비교

Fig. 10. Comparison of power consumption between traditional VB and proposed VB according to operating speed when Dhrystone benchmark was tested on the mobile SoC products.

수 있듯이 전통적인 VB기법 대비 평균 소모 전력을 추가적으로 약 6.5% 정도 더 개선할 수 있었다.

또한 제안한 방법에 대해 칩의 동작 속도별 상관관계를 확인해보기 위해 L0부터 L5까지의 동작 속도 구간별로 전통적인 VB 기법 대비 전력 개선 정도를 평가하였다. 클럭 주파수가 달라지면 공정 변이에 따른 LVCC 분포가 달라지기 때문에 제안한 기법을 통해 모든 코너 케이스에 대해 bin을 재분류하는 과정은 동작 속도별로 각각 적용되어야 했다. 따라서 이에 따른 전력 소모 개선 비율에도 다소 차이가 있었다. ( L0 : 6.5%, L1 : 6.9%, L2 : 6.8%, L3 : 5.6%, L4 : 6.7%, L5 : 7.5% ) 결과적으로 그림 10과 같이 모든 동작 속도에서 제안한 VB기법을 적용하였을 때, 평균 약 6.8%정도의 전력 소모 개선효과가 있음을 확인할 수 있었다.

#### IV. 결 론

본 논문에서는 심화된 공정변이로 인한 수율 악화에 효과적으로 대처하며 전통적인 VB기법 대비 추가적인 평균 전력 소모를 줄여줄 수 있는 VB기법을 제안하고 모바일 SoC 제품군을 대상으로 적용한 결과를 보였다. 공정 변이로 인한 성능 차이를 구분하기 위해 RO 값을 활용한 전통적인 VB기법의 bin 분류법에서 더 나아가, 제안한 VB기법은 각 공정 코너별로 서로 다른 LVCC

마진을 고려하여 코너 특성에 최적화된 bin으로 재분류하였다. 이를 통해 기준전압대비 칩마다 서로 다른 LVCC 마진을 허용하는 범위 내에서 전통적인 VB기법보다 더 효과적으로 활용할 수 있었으며, 선정된 SoC 제품의 경우 실험결과를 통해 DVFS 적용시 허용된 이산적 동작 속도 구간에서 전통적인 VB기법대비 추가적인 수율 손실 없이 평균 전력 소모가 약 6.8%정도 개선됨을 확인하였다.

#### REFERENCES

- [1] J. W. Tschanz, J. T. Kao, S. G. Narendra, R. Nair, D. A. Antoniadis, A. P. Chandrakasan, and V. De, "Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and Leakage," *IEEE Journal of Solid State Circuits*, Vol. 37, No. 11, pp. 1396-1402, Nov. 2002.
- [2] J. W. Tschanz, S. Narendra, R. Nair, and V. De, "Effectiveness of Adaptive Supply Voltage and Body Bias for Reducing Impact of Parameter Variations in Low Power and High Performance Microprocessors," *IEEE Journal of Solid State Circuits*, Vol. 38, No. 5, pp. 826-829, May 2003.
- [3] T. Chen and S. Naffziger, "Comparison of Adaptive Body Bias and Adaptive Supply Voltage for Improving Delay and Leakage under the Presence of Process Variation," *IEEE Transaction on very large scale integration systems*, Vol. 11, No. 5, pp. 888-899, Oct. 2003.
- [4] C. Neau and K. Roy, "Optimal Body Bias Selection for Leakage Improvement and Process Compensation over Different Technology Generations," *Int. Symposium on Low Power Electronics and Design (ISLPED)*, pp. 116-121, Aug. 2003.
- [5] M. W. Kuemerle, S. K. Lichtensteiger, D. W. Douglas, and I. L. Wemple, "Integrated Circuit Design Closure Method for Selective Voltage Binning," U. S. Patent 7475366, Jan. 2009.
- [6] V. Zolotov, C. Viswesvariah, and J. Xiong, "Voltage Binning Under Process Variation," *IEEE/ACM Int. Conf. on Computer-Aided Design Digest of Tech. Paper (ICCAD)*, pp. 425-432, Nov. 2009.
- [7] S. Lichtensteiger, and J. Bickford, "Using Selective Voltage Binning to Maximize Yield,"

Advanced Semiconductor Manufacturing Conference (ASMC), pp. 7-10, May 2012.

- [8] R. Shen, S. X.-D. Tan, and X.-X. Liu, "A New Voltage Binning Technique for Yield Improvement Based on Graph Theory," Int. Symposium on Quality Electronic Design (ISQED), Mar. 2012.

---

저 자 소 개

---



이 원 준(학생회원)  
2005년 성균관대학교 정보통신  
공학부 학사 졸업.  
2013년 3월~현재 성균관대학교  
반도체디스플레이공학과  
석사과정.  
2005년 3월~현재 삼성전자  
반도체사업부 책임연구원.

<주관심분야 : SoC, Post silicon tuning, 임베디드 시스템, Firmware>



한 태 희(평생회원)  
1992년 KAIST 전기 및  
전자공학과 학사 졸업.  
1994년 KAIST 전기 및  
전자공학과 석사 졸업.  
1999년 KAIST 전기 및  
전자공학과 박사 졸업.

1999년 3월~2006년 8월 삼성 전자 통신연구소  
책임 연구원.

2006년 9월~2008년 2월 한국산업기술대학교  
전자공학과 조교수.

2008년 3월~현재 성균관대학교 정보통신대학  
반도체시스템공학과 부교수.

2011년 5월~2013년 4월 지식경제부  
시스템반도체 PD

<주관심분야 : SoC 아키텍처 및 설계 방법론, 3D IC, 메모리/스토리지 시스템 구조, 임베디드 SW, IT 융합 기술>