

논문 2014-51-7-9

# 두 개의 이득 값을 가지는 전압제어발진기를 이용하여 유효 커패시턴스를 크게 하는 위상고정루프

( An Available Capacitance Increasing PLL with Two Voltage  
Controlled Oscillator Gains )

장 희 승\*, 최 영 식\*

( Hee-Seung Jang and Young-Shig Choi<sup>©</sup> )

## 요 약

본 논문에서는 두 개의 이득 값을 가지는 전압제어발진기를 이용하여 루프필터 커패시턴스 유효 용량을 배가 시켜 칩 크기를 줄일 수 있는 위상고정루프를 제안하였다. 제안된 위상고정루프에서는 양/음의 두 개의 이득 값을 가지는 전압제어발진기로 루프 필터의 커패시턴스 유효 용량을 배가 시켜 루프필터 커패시터 크기를 1/10로 줄였다. 제안된 위상고정루프는 1.8V 0.18 $\mu$ m CMOS 공정을 이용하여 설계되었다. 시뮬레이션 결과는 기존 구조와 같은 잡음 특성과 위상고정 시간을 보여주었다.

## Abstract

An available capacitance increasing phase-locked loop(PLL) with two voltage controlled oscillator gains has been proposed. In this paper, the available capacitance of loop filter is increased by using two positive/negative gains of voltage controlled oscillator (VCO). It results in 1/10 reduction in the size of loop filter capacitor. It has been designed with a 1.8V 0.18 $\mu$ m CMOS process. The simulation results show that the proposed PLL has the same phase noise characteristic and a locking time of conventional PLL.

**Keywords** : PLL, available capacitance increasing scheme, VCO.

## I. 서 론

공정 기술이 발전함에 따라 칩의 크기는 점점 작아지고 있다. 칩에서 필요한 클럭 신호를 만들어내는 위상고정루프는 좋은 잡음특성과 안정된 동작을 하기 위해서는 큰 커패시턴스 용량을 필요로 하는 좁은 대역폭이 요구된다. 낮은 주파수를 가지는 기준 신호를 사용하면

안정된 동작을 위해서는 대역폭이 최소 기준 신호 주파수보다 1/10이 되어야 한다<sup>[1]</sup>. 좋은 위상 잡음 특성을 가진 전압제어발진기를 사용하는 위상고정루프는 좋은 잡음 특성을 가진 클럭 신호를 생성하기 위해서는 좁은 대역폭이 유리하다. 최근 미세 공정에서는 회로를 연결해주는 금속을 사용하여 커패시터를 만들고 있다. 이는 과거 공정에서 다결정 실리콘을 이용하여 커패시터를 만드는 것 보다 더 넓은 실리콘 면적을 필요로 한다. 칩 크기가 증가하지 않도록 하기 위해 많은 경우 루프 필터를 칩 외부에 배치한다. 모든 기능을 칩 내부로 집적화하기 위해서는 작은 크기의 커패시턴스 용량이 큰 커패시턴스 용량이 된 것처럼 동작하도록 하는 구조가 필

\* 정회원, 부경대학교 전자공학과  
(Dept of Electronics, Pukyong National University)

© Corresponding Author(E-mail: choiys@pknu.ac.kr)

접수일자: 2014년01월28일, 수정일자: 2014년05월06일  
수정완료: 2014년06월30일

요하다.

작은 크기의 커패시턴스 용량이 큰 커패시턴스 용량이 된 것처럼 동작하도록 하는 구조에 대한 연구가 활발하게 진행되고 있으며 다양한 구조들이 제안되었다. 두 개의 루프와 능동 루프 필터를 사용하여 유효 커패시턴스 크기를 키워 작은 크기의 커패시턴스로 루프 필터를 만들어 위상고정루프를 하나의 칩으로 구현하였다<sup>[2][3][4]</sup>. 또 하나의 전하펌프와 연산증폭기가 추가되어 잡음 특성에 영향을 준다. Sampled-feedforward loop filter 구조로 루프 필터를 만들어 작은 크기의 커패시터로 루프 필터를 구현하였다<sup>[5]</sup>. 이 구조에서는 기준 신호 한주기마다 MOSFET로 만들어진 스위치를 통해 전하를 전달해야 하므로 커패시터를 줄이면 기준 신호 스퍼가 커지게 된다. 전하 펌프의 전류 방향을 조절하여 유효 커패시턴스를 증가 시켜 루프 필터를 구현하였다<sup>[6~7]</sup>. 루프 필터로 흘러가는 두 개의 전류 크기가 공정변화에 민감하여 원하는 유효 커패시턴스 값을 구현하기가 쉽지 않다. 루프 필터를 작은 커패시터로 구현이 가능한 switched capacitor 구조로 만들어 루프 필터가 포함된 단일 칩 위상고정루프를 만들었다<sup>[8]</sup>. 두 개의 전하 펌프와 인버터가 포함된 switched capacitor 루프 필터는 위상잡음 특성을 나쁘게 할 수 있다. 전류원 개념을 도입한 다양한 구조의 커패시턴스 multiplier를 사용하여 작은 크기의 루프 필터를 구현하였다<sup>[9~12]</sup>. 커패시턴스 multiplier를 사용하여 유효 커패시턴스를 증가한 구조는 공정변화에 민감하며 커패시턴스 multiplier의 극점에 따라 전체 위상고정루프 동작에 영향을 미칠 수 있다.

본 논문에서는 양의 값과 음의 값의 두 개의 기울기를 가지는 전압제어발진기를 사용하여 칩의 크기와 전력 소모가 거의 증가 하지 않으면서 커패시턴스 크기를 변화시키는 새로운 구조의 위상고정루프를 제안하였다. 제안된 위상고정루프는 양의 값과 음의 값의 두 개의 기울기의 비율을 조절하여 유효 커패시턴스 용량을 증가 시켰다.

## II. 제안한 위상고정루프의 구조

### 1. 두 개의 기울기를 가지는 전압 제어 발진기를 이용한 위상고정루프의 구조

일반적으로 위상고정루프는 그림 1과 같이 위상·주파

수 검출기(PFD : Phase Frequency Detector), 전하펌프(CP : Charge Pump), 하나의 커패시터로 구성된 루프 필터(LF : Loop Filter), 전압제어발진기(VCO : Voltage Controlled Oscillators) 그리고 분주기(divider)로 구성된다. 기본 위상고정루프에서는 안정한 동작을 위해서는 대역폭이 기준 신호 주파수의 1/10 이하가 되어야 하고 충분한 위상 여유를 가져야 한다. 그렇게 하기 위해서는 그림1의 루프 필터에서 Cz의 크기가 Cp의 크기보다 10배 이상 되도록 하는 것이 일반적인 설계 방법이다. 그러므로 루프 필터 커패시터가 다른 회로와 함께 칩으로 집적화하기에는 너무 큰 면적이 필요하기 때문에 집적화 하지 않고 칩 외부에 연결해서 사용한다. 칩 외부로 연결된 루프필터는 외부 잡음이 칩 내부로 들어오는 통로가 될 수 있다.

제안한 위상고정루프는 루프 필터에서 가장 큰 값을 가지는 Cz의 크기를 줄여 집적화가 가능하도록 한 것이다. 제안된 위상고정루프의 전압제어 발진기는 두 개의 기울기 값을 가진다.  $K_{VCO1}$ 과  $K_{VCO2}$ 는 각각 양과 음의 기울기 값을 가진다. 그림 2에 나타난 바와 같이 루프 필터 출력은 양의 기울기( $K_{VCO1}$ ) 값을 가지는 전압제어 발진기의 입력으로 연결되고, Cz 출력을 음의 기울

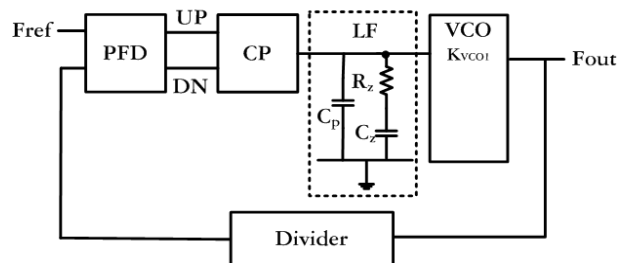


그림 1. 기본 PLL 구조  
Fig. 1. Conventional PLL.

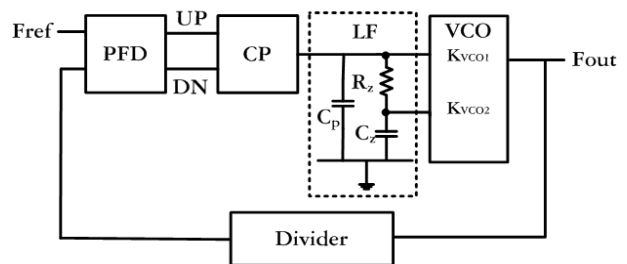


그림 2. 제안한 두 개의 양/음 기울기를 가지는 전압 제어 발진기를 이용한 위상고정루프의 구조  
Fig. 2. Proposed PLL with Two Voltage Controlled Oscillator Plus/Minus Slope.

기( $K_{VCO2}$ ) 값을 가지는 전압제어발전기를 입력으로 연결된다.

기본 위상고정루프와 제안한 위상고정루프의 전달 특성은 각각 다음 식과 같다.

$$\frac{\phi_o}{\phi_i} = \frac{\frac{I_p}{2\pi} \frac{1}{sC_p} \frac{1}{s + \frac{1}{C_z R_z}} K_{VCO1}}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{1}{sC_p} \frac{1}{s + \frac{1}{C_z R_z}} K_{VCO1}} \quad (1)$$

$$\frac{\phi_o}{\phi_i} = \frac{\frac{I_p}{2\pi} \frac{1}{sC_p} \frac{1}{s + \frac{1}{C_z R_z}} \frac{1}{1 + K} R_z K_{VCO1}}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{1}{sC_p} \frac{1}{s + \frac{1}{C_z R_z}} \frac{1}{1 + K} R_z K_{VCO1}} \quad (2)$$

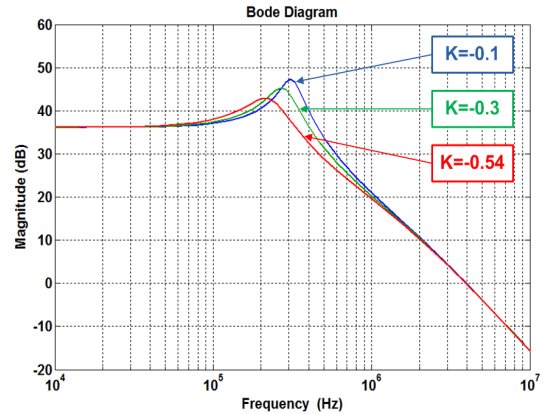
여기에서,  $K_{VCO1}$ 와  $K_{VCO2}$ 는 각각 양과 음의 기울기 값이며,  $K=K_{VCO2}/K_{VCO1}$ ,  $I_p$ 는 전하펌프의 전류이다.

기존 위상고정루프 전달 특성을 나타내는 식(1)에서는 최소  $C_z \geq 10 C_p$ 이므로  $C_z + C_p \approx C_z$  라고 볼 수 있다. 영점은 대역폭보다 낮은 주파수에 위치하며 극점은 위상고정루프 대역폭보다 높은 주파수에 위치한다. 충분한 위상 여유를 가지도록  $C_z$ 와  $C_p$ 의 크기를 설계한다. 제안한 위상고정루프 전달 특성을 나타내는 식(2)에서  $K$  값을 조절하면 크기가 효과적으로 커진 것처럼 된다. 작은 크기의  $C_z$ 로 영점을 효과적으로 낮은 주파수 대역으로 옮길 수 있다. 영점과 극점은 다음 식으로 표현된다. 극점에서는  $C_z$ 와  $C_p$ 의 크기가 비슷하므로 생략 할 수 없다.

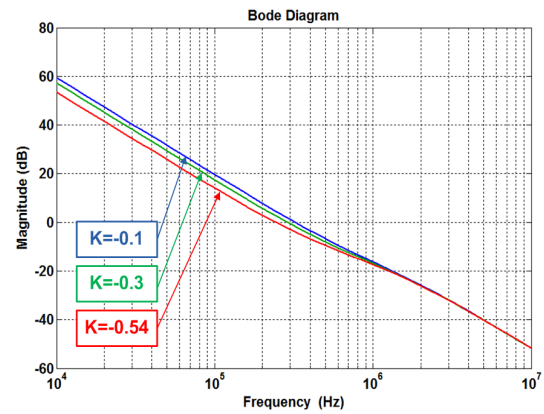
$$z = -\frac{1}{\frac{C_z}{1+K} R_z} \quad (z = \frac{1}{C_z R_z}) \quad (3)$$

$$p = \frac{1 + \frac{C_p}{C_z}}{C_p R_z} \quad (p = \frac{1}{C_p R_z}) \quad (4)$$

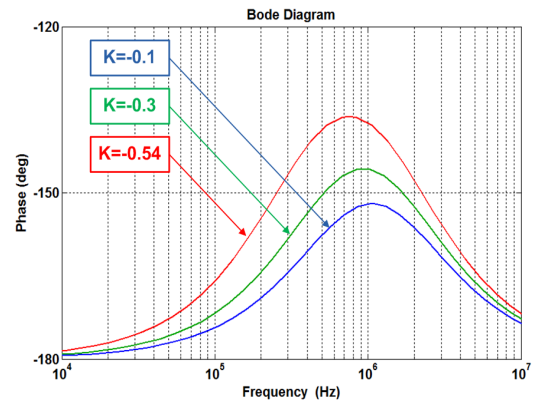
여기서  $z$ 와  $p$ 는 영점과 극점이다(괄호 안은 기존 구조의 영점과 극점이다). 식 (3)과 (4)가 보여주듯이 제안된



(a)



(b)



(c)

그림 3.  $K$  값에 따른 (a) 폐루프 전달 특성 (b) 개루프 전달 특성과 위상여유  
Fig. 3. According to  $K$  values (a) Close loop transfer function (b) Open loop transfer function (c) Phase margin.

구조의 극점은 기존 구조의 극점보다 조금 높은 주파수 대역으로 옮겨가며 영점은  $K$  값에 따라 효과적으로 낮은 주파수 대역으로 옮겨간다. 그림 3은  $1.5 C_p = C_z$

일 때, 즉  $C_z$  크기를  $C_p$ 처럼 작게 하였을 때  $K$  값에 따른 개/폐 루프 전달특성과 위상여유를 나타내었다.  $|K|$ 가 커지면 위상 여유가 증가하며 폐루프 전달특성에서 peaking 크기도 작아진다. 즉  $|K|$ 가 커지면 위상고정루프가 안정도가 증가함을 알 수 있다. 그러나  $K$  값에 커지면 유효 전압제어발진기의 기율기가 작아져 위상고정 시간이 길어진다. 그러므로 안정도와 칩 크기에 따른 적절한  $|K|$  값을 결정하여야 한다.

## 2. 위상고정루프 회로 설계

전하펌프는 위상·주파수 검출기에서 출력된 up, down 신호를 입력받아 루프필터에 전류를 흘려줌으로써 전압제어발진기(VCO)를 제어하는데 필요한 전압을 만들어 준다. 제안된 전하펌프는 단위이득버퍼(Unit-Gain buffer)를 이용하여 스위치가 ON/OFF 될 때 발생하는 전하 공유(Charge Sharing) 현상을 최소화하고, 전류 비대칭을 줄여 스퍼(spur)의 크기를 줄이고 잡음 특성을 개선한 구조이다. 스위치의 ON/OFF 타이밍을 맞추기 위해 위상·주파수 검출기에 래치 버퍼를 추가하여 각각의 제어 신호 타이밍을 일치하도록 조절했다. 1.2V 근처에서 전류 미스매치가 가장 적게 일어나고 루프필터 전압이 고정이 되도록 설계하였다.

전압제어발진기(VCO)는 그림 5와 같이 전압제어저항(VCR)과 3단 지연 셀로 구성된 링 구조로 이루어져 있다(그림 5에는 하나의 지연 셀만 있음). 전압제어저항단은 간단한 구조로 되어있고 입력전압에 비례하는 출력 전류를 발생시켜 각각의 지연단을 제어한다. 루프필

터의 전압은 전압제어저항을 통해 입력전압의 변화를 큰 전류의 변화로 변환시켜줌으로써 전압제어발진기가 넓은 출력주파수 범위를 가지도록 해준다. 전압제어발진기는 최대출력 전압 진동폭과 낮은 위상 잡음의 출력을 갖는 차동구조 지연단 세 개를 이용해 구성하였다. PMOS와 NMOS 한 쌍의 트랜지스터가 CMOS 래치구조로 구성되어 지연단을 구성하고 있다. 이 래치 구조는 전압제어발진기가 낮은 출력위상잡음을 가지기 위해 지연단이 빠르게 켜지는 시간(on-time)을 갖도록 해준다.  $V_{LF}$  전압제어저항단은 전압에 비례하는 양의 기율기 값을 가지도록 하였으며  $V_{CZ}$  전압제어저항단은 전압에 반비례하는 음의 기율기 값을 가지도록 하였다.

그림 5는  $V_{LF}(K_{VCO1})$ 의 이득값과  $V_{CZ}(K_{VCO2})$ 의 이득값을 동시에 나타내는 시뮬레이션 결과이다. 각각의 이득은 기율기를 통해서 알 수 있고,  $K_{VCO1}$ 은 330MHz/V,  $K_{VCO2}$ 는 -150MHz/V의 값을 가진다. 시뮬레이션에서 보듯이 두 입력 전압이 1.2V일 때 두 이득 그래프가 교

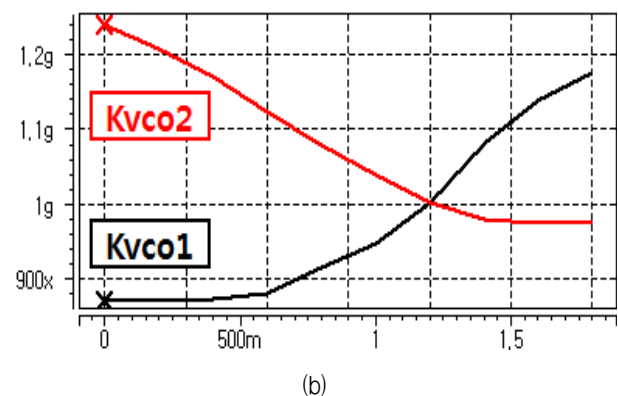
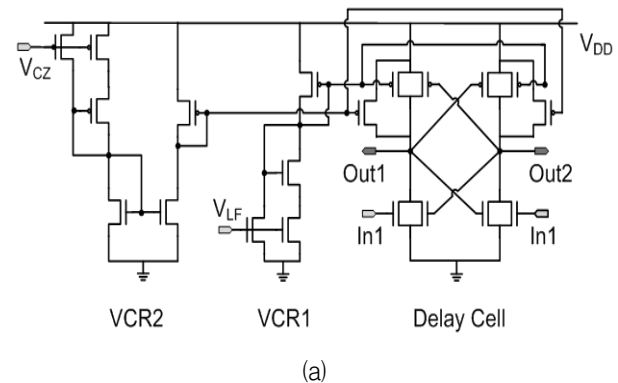


그림 5. (a) 제안된 전압제어발진기 회로 (b) 전압제어발진기의 전압-주파수 특성

Fig. 5. (a) Proposed voltage controlled oscillator circuit (b) Voltage-Frequency characteristic of voltage controlled oscillator.

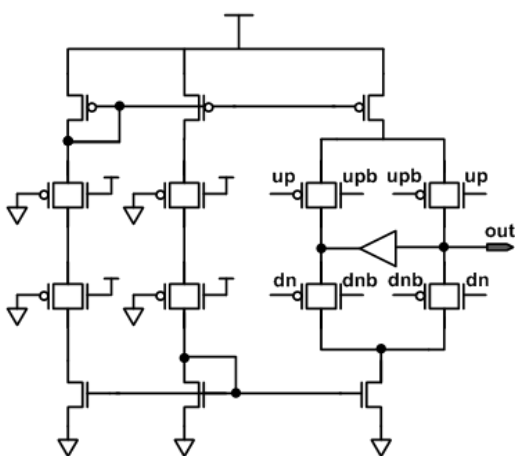


그림 4. 제안된 전하펌프 회로  
Fig. 4. Proposed Charge Pump Circuit.

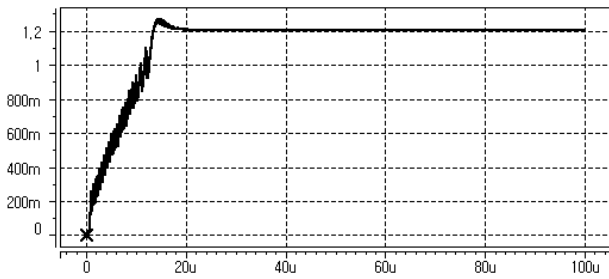
차하게 되고, 이 때의 출력이 목표한 전압제어발진기 출력인 1GHz이다.  $V_{LF}$ 와  $V_{CZ}$ 는 같은 전압을 가지므로 양과 음의 이득 값을 가지는 전압제어발진기의 유효 이득 값은  $K_{VCO1}-K_{VCO2}=180\text{MHz/V}$ 이다. 전압-주파수 특성은 그림 5의  $K_{VCO1}$ 과 같은 선형성을 가지나 동작 주파수 범위는 축소된다.

### III. 시뮬레이션 결과

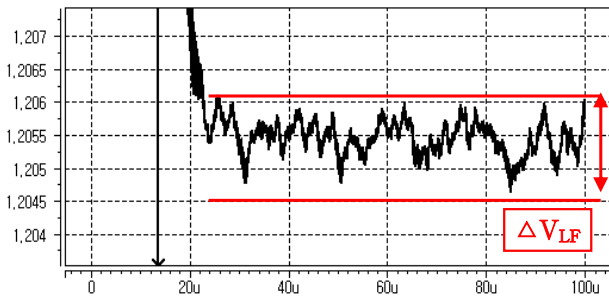
제안한 구조의 위상고정루프를 0.18 $\mu\text{m}$  CMOS 공정을 사용하여 시뮬레이션 하였다. 15.625MHz의 입력주

파수를 가지고 분주비는 64이며, 출력 주파수는 1GHz이다. 제안된 위상고정루프의 시뮬레이션 변수 값은  $I_p=200\mu\text{A}$ ,  $C_p=100\text{pF}$ ,  $R_z=1.5\text{k}\Omega$ ,  $C_z=150\text{pF}$ ,  $K_{VCO1}=330\text{MHz/V}$ ,  $K_{VCO2}=-150\text{MHz/V}$ 이며 K 값은 -0.45이다. 위상여유는 그림 3 (c)가 보여주듯이 약 30°이다. 기존 위상고정루프의 시뮬레이션 변수 값은 가장 큰 커패시터인  $C_z$  값만 다르게 1.5nF이며, 위상 여유는 60°이다.

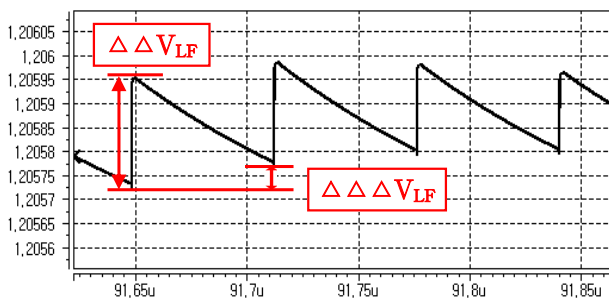
그림 6과 7에 표시된  $\Delta V_{LF}$ 는 위상고정루프가 위상 고정 후 루프 필터 출력 변동 폭을 나타내며,  $\Delta\Delta V_{LF}$ 는 기준 신호 한주기 동안 발생하는 최대 루프 필터 출



(a)



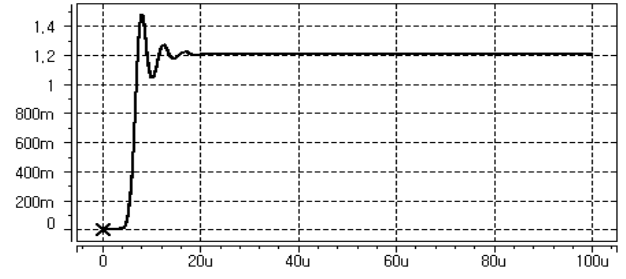
(b)



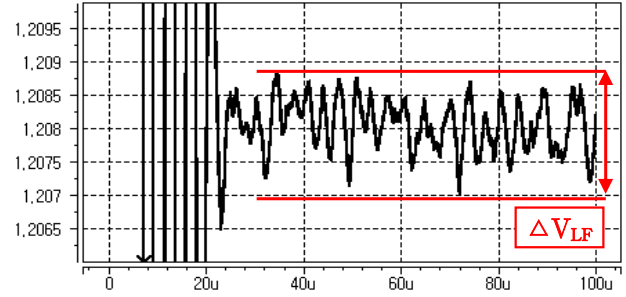
(c)

그림 6. 기본 PLL 일 때 (a) 위상고정 후  $V_{LF}$  파형 (b) 위상고정 후 확대된 루프필터 출력 (c) 위상고정 후 더 확대된 루프필터 출력

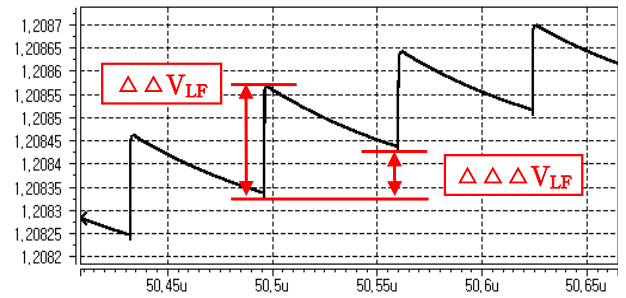
Fig. 6. Conventional PLL (a)  $V_{LF}$  waveform (b) Enlarged  $V_{LF}$  waveform after locking (c) More enlarged  $V_{LF}$  waveform after locking.



(a)



(b)



(c)

그림 7.  $K_{VCO2}=-150\text{MHz/V}$ 일 때 (a) 위상고정 후  $V_{LF}$  파형 (b) 위상고정 후 확대된 루프필터 출력 (c) 위상고정 후 더 확대된 루프필터 출력

Fig. 7.  $K_{VCO2}=-150\text{MHz/V}$  (a)  $V_{LF}$  waveform (b) Enlarged  $V_{LF}$  waveform after locking (c) More enlarged  $V_{LF}$  waveform after locking.

력 변동 폭이며,  $\Delta\Delta\Delta V_{LF}$ 는 기준 신호 한주기 동안 증가한 루프 필터 출력전압이다.  $\Delta V_{LF}$ 는  $\Delta\Delta V_{LF}$  크기는 각각 위상 잡음 특성과 스퍼의 크기를 나타낸다. 두 개의 값이 작으면 작을수록 잡음 특성과 스퍼의 크기는 작아진다.  $\Delta\Delta V_{LF}$ 와  $\Delta\Delta\Delta V_{LF}$  크기, 그리고  $\Delta\Delta\Delta V_{LF}/\Delta\Delta V_{LF}$  값이 작을수록 위상고정루프는 안정하게 동작한다. 기준 신호 한주기 동안 발생하는 위상 변동 폭이 작아져 위상고정루프가 안정하게 동작한다.

그림 6과 7의 시뮬레이션 결과는 제안된 구조의 위상고정루프가 기존 위상고정루프와 똑같은 루프 필터 출력을 가짐을 보여 주고 있다. 제안된 구조에서는 기존 구조와 다르게 루프 필터 출력이 급방 증가하지 않고 어느 정도 시간이 지나 후 증가 한다. 이 이후는 루프 필터 출력은 기존 구조와 똑 같은 모양을 보인다. 그림 6과 7의 (a)의 루프 필터 출력 파형을 보면 둘 다 넓은 대역폭을 가진 위상고정루프와 같이 수렴하는 모습을 보이나 제안된 구조가 덜 안정된 변수를 가진 위상고정루프처럼 동작한다.

표 1은  $|K|$  값에 따른 시뮬레이션 결과를 보여주고 있다.  $|K|$  값이 커질수록 위상고정 시간이 길어지는 것을 확인할 수 있었으며,  $\Delta\Delta\Delta V_{LF}$ ,  $\Delta\Delta V_{LF}$ 가 작아지는 것을 확인할 수 있었다. 그리고  $|K|$  값이 0.45일 때, 즉  $K_{VCO2}$ 가  $-150\text{MHz/V}$  일 때  $\Delta V_{LF}$ 가 제일 작은 것을 확인 할 수 있었다. 기존 구조와 같은 위상 잡음 특성과 스퍼 특성을 보여주고 있다.  $|K|$  값을 증가하면 위상여유를 크게 하고 커패시터 ( $C_z$ ) 크기를 더욱 더 줄일 수 있으나  $|K|$  값이 0.6보다 커지면 위상고정 시간이 너무 길어져 실용적이지 못하다는 사실을 시뮬레이션을 통하여 알 수 있었다. 제안한 구조는  $|K|$  값이 증가하면 위상고정 시간이 길어진다.

표 1.  $|K|$  값에 따른 시뮬레이션 결과  
Table 1. The simulation results according to the value of  $|K|$ .

$ K $	$t_{\text{lock}}$	$\Delta V_{LF}$	$\Delta\Delta V_{LF}$	$\Delta\Delta\Delta V_{LF}$
Conventional PLL	25 $\mu\text{s}$	1.5mV	230 $\mu\text{V}$	44 $\mu\text{V}$
0.1	21 $\mu\text{s}$	4.17mV	460 $\mu\text{V}$	186 $\mu\text{V}$
0.2	21 $\mu\text{s}$	4.42mV	601 $\mu\text{V}$	253 $\mu\text{V}$
0.3	21 $\mu\text{s}$	2.71mV	307 $\mu\text{V}$	128 $\mu\text{V}$
0.45	30 $\mu\text{s}$	1.76mV	240 $\mu\text{V}$	100 $\mu\text{V}$
0.54	70 $\mu\text{s}$	2.57mV	160 $\mu\text{V}$	78 $\mu\text{V}$

#### IV. 결 론

본 논문에서는 전압제어발진기가 양의 기울기와 함께 음의 기울기도 가지게 하여 기존 위상고정루프의 루프 필터에 가장 큰 커패시터( $C_z$ ) 크기를 줄여 하나의 칩으로 구현할 수 있는 위상고정루프를 제안하였다. 기존 위상고정루프에서는  $C_z$ 의 크기가  $C_p$ 의 10배 이상이 되어야 안정한 동작을 하고 충분한 위상 여유를 가지지만 제안된 위상고정루프에서는  $C_z$ 의 크기를 줄여줄 수 있는 음의 값 기울기를 전압제어발진기에 추가하여 충분한 위상여유를 가질 수 있도록 하였다.  $|K|$  값을 조절하여 위상 잡음 특성, 스퍼의 크기와 안정도를 보여주는  $\Delta V_{LF}$ ,  $\Delta\Delta V_{LF}$ ,  $\Delta\Delta\Delta V_{LF}$  값들이 기존 위상고정루프와 거의 비슷하게 될 수 있다는 것을 시뮬레이션을 통해 검증하였다. 위상고정루프의 면적을 결정하는 루프 필터의 커패시터를 기존 것보다 1/10로 줄여 제안된 위상고정루프를 하나의 칩으로 구현 할 수 있도록 하였다.

#### REFERENCES

- [1] P. K. Hanumolu, M. Brownlee, K. Mayaram and U.-K. Moon, "Analysis of Charge-Pump Phase-Locked Loops," *IEEE transactions on circuits and systems Fundamental theory and applications*, Vol. 51, no. 9, pp. 1665-1674, Sep 2004.
- [2] J. Craninckx and M. Steyaert, "A fully integrated CMOS DCS-1800 frequency synthesizer," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2054-2065, Dec. 1998.
- [3] Y. Koo, H. Huh, Y. Cho, J. Lee, J. Park, D. Jeong, and W. Kim, "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems," *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 536-542, May 2002.
- [4] B. Catli, A. Nazemi, T. Ali, S. Fallahi, Y. Liu, J. Kim, M. Abdul-Latif, M. R. Ahmadi, H. Maarefi, A. Momtaz, and N. Kocaman, "A 2sub-200 fs RMS jitter capacitor multiplier loop filter-based PLL in 28 nm CMOS for high-speed serial communication applications," in *CICC*, 2013, pp. 1-4.

- [5] J. Kim, J. Kim, B. Lee, N. Kim, D. Jeong, and W. Kim, "A 20-GHz phase-locked loop for 40-Gb/s serializing transmitter in 0.13- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 899-908, Apr. 2006.
- [6] Youn-Gui Song, Young-Shig Choi and Ji-Goo Ryu, "A phase locked loop with resistance and capacitance scaling scheme," *IEEE SD*, vol. 46, no. 4, pp. 37-44, April 2009.
- [7] L. Liu, T. Sakurai, and M. Takamiya, "A charge-domain auto- and cross-correlation based data synchronization schme with power- and area-efficient PLL for impulse radio UWB receiver," *IEEE J. Solid-State Circuits*, vol. 46, no. 6, pp. 1349-1359, June. 2011.
- [8] Y. Song and Z. Ignjatovic, "A high-performance OLL with a low-power active switched-capacitor loop filter," *IEEE Trans. Circuits and Systems-II*, vol. 58, no. 9, pp. 555-559, Sept. 2011.
- [9] I.-C. Hwang, "Area efficient and self-biased capacitor multiplier for on-chip loop filter," *Electronics Lett.* vol. 42, no. 24, pp. 1392-1393, Nov. 2006.
- [10] J. Choi, J. Park W. Kim K. Lim, and J. Laskar, "Hilg multiplication factor capacitor multiplier for an on-chip PLL loop filter," *Electronics Lett.* vol. 45, no. 5, pp. 239-240, Feb. 2009.
- [11] K. Shu, E. Sanchez-Sinencio, J. Silva-Martinez, and S. H. K. Embabi, "A 2.4-GHz monolithic fractional-N frequency synthesizer with robust phase-switching prescaler and loop capacitance multiplier," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 866-874, June 2003.
- [12] S.-R. Han, C.-N. Chuang, and S.-I. Liu, "A time-constant calibrated phase-locked loop with a fast-locked time," *IEEE Trans. Circuits and Systems-II*, vol. 54, no. 1, pp. 34-38, Jan. 2007.

## — 저 자 소 개 —



장희승(정회원)

2014년 부경대학교 전자공학과  
학사 졸업.

2014년 부경대학교 전자공학과  
석사 입학.

<주관심분야 : PLL, DLL 설계>



최영식(정회원)-교신저자

1982년 경북대학교 전자공학과  
학사 졸업.

1986년 Texas A&M University  
전자공학과 석사 졸업.

1993년 Arizona State University  
박사 졸업.

1987년~1999년 SK Hynix (구 현대전자)

1999년~2003년 동의대학교 전자공학과 교수

2003년~현재 부경대학교 전자공학과 교수

<주관심분야 : PLL, DLL, CDRC 설계>