

논문 2014-51-7-8

# Tri-gate FinFET의 fin 및 소스/드레인 구조 변화에 따른 소자 성능 분석

( Performance Analysis of Tri-gate FinFET for Different Fin Shape  
and Source/Drain Structures )

최 성 식\*, 권 기 원\*\*, 김 소 영\*\*

( SeongSik Choe, Kee-Won Kwon, and SoYoung Kim<sup>©</sup> )

## 요 약

본 논문에서는 삼차원 소자 시뮬레이터(Sentaurus)를 이용하여 tri-gate FinFET의 fin과 소스/드레인 구조의 변화에 따른 소자의 성능을 분석하였다. Fin의 구조가 사각형 구조에서 삼각형 구조로 변함에 따라, fin 단면의 전위 분포의 차이로 문턱 전압이 늘어나고, off-current가 72.23% 감소하고 gate 커패시턴스는 16.01% 감소하였다. 소스/드레인 epitaxy(epi) 구조 변화에 따른 성능을 분석하기 위해, epi를 fin 위에 성장시킨 경우(grown-on-fin)와 fin을 etch 시키고 성장시킨 경우(etched-fin)의 소자 성능을 비교했다. Fin과 소스/드레인 구조의 변화가 회로에 미치는 영향을 살펴보기 위해 Sentaurus의 mixed-mode 시뮬레이션 기능을 사용하여 3단 ring oscillator를 구현하여 시뮬레이션 하였고, energy-delay product를 계산하여 비교하였다. 삼각형 fin에 etched 소스/드레인 epi 구조의 소자가 가장 작은 ring oscillator delay와 energy-delay product를 보였다.

## Abstract

In this paper, the performance variations of tri-gate FinFET are analyzed for different fin shapes and source/drain epitaxy types using a 3D device simulator(Sentaurus). If the fin shape changes from a rectangular shape to a triangular shape, the threshold voltage increases due to a non-uniform potential distribution, the off-current decreases by 72.23%, and the gate capacitance decreases by 16.01%. In order to analyze the device performance change from the structural change of the source/drain epitaxy, we compared the grown on the fin (grown-on-fin) structure and grown after the fin etch (etched-fin) structure. 3-stage ring oscillator was simulated using Sentaurus mixed-mode, and the energy-delay products are derived for the different fin and source/drain shapes. The FinFET device with triangular-shaped fin with etched-fin source/drain type shows the minimum the ring oscillator delay and energy-delay product.

**Keywords :** FinFET, triangular-shaped fin, rectangular-shaped fin, epitaxy, stress, ring oscillator

\* 학생회원, \*\* 정회원, 성균관대학교 정보통신대학

(College of Information and Communication Engineering, Sungkyunkwan University)

© Corresponding Author(E-mail: ksyoun@skku.edu)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음.  
[10039174, 22nm급 이하 파운드리 소자 및 PDK 기술 개발]

※ 본 논문은 IDEC CAD Tool 지원을 받아 수행된 것임.

접수일자: 2014년01월28일, 수정일자: 2014년05월06일, 수정완료: 2014년06월30일

## I. 서 론

무어의 법칙(Moore's law)에 따른 평판(planar) 구조 MOSFET의 미세화가 한계에 다다르고, IC 칩 내에서 그 집적도가 증가함에 따라 누설전류(leakage current)와 공정적인 산포(process variation)의 증가가 문제가 되고 있다<sup>[1~2]</sup>. 22nm 이하의 미세구조에서는 이런 문제점을 해결하기 위해 FinFET(Fin Field Effect Transistor)이라는 3차원 구조의 새로운 트랜지스터 구조가 제안되었다<sup>[3~4]</sup>.

FinFET은 기존의 평판구조 MOSFET과 비교하여 gate가 channel 영역을 3면으로 감싸고 있기 때문에 channel 부분에 대한 gate의 controllability가 높아진다. 이런 이유로 MOSFET 미세화에 따른 문제로 대두되고 있는 Drain Induced Barrier Lowering(DIBL), Gate Induced Drain Leakage(GIDL)과 같은 단채널 효과(Short Channel Effects, SCE)를 줄일 수 있으며, 문턱 전압(threshold voltage) 이하에서의 누설전류를 줄일 수 있다<sup>[5]</sup>. 그로 인해 디지털 회로에서는 누설전류의 감소로 인한 저전력의 구현이 가능해 지고, 아날로그 회로에서도 같은 channel의 길이를 가지는 평판구조 MOSFET 보다 더 많은 구동전류를 확보할 수 있어 고속으로 동작하는 회로를 구현 할 수 있다<sup>[6]</sup>.

그림 1은 [7]에서 연구되어진 FinFET의 fin과 소스/드레인 영역의 단면 TEM 이미지이다. 최근에 공개되고 있는 FinFET의 단면 사진을 보면 fin의 모양이 사각형(rectangular)이 아닌 삼각형(triangular)의 형태로 되어 있다. 그리고 소스/드레인 영역에는 epitaxy(epi) 구조를 사용한다. NMOS에서는 SiC 물질, PMOS에서는 SiGe

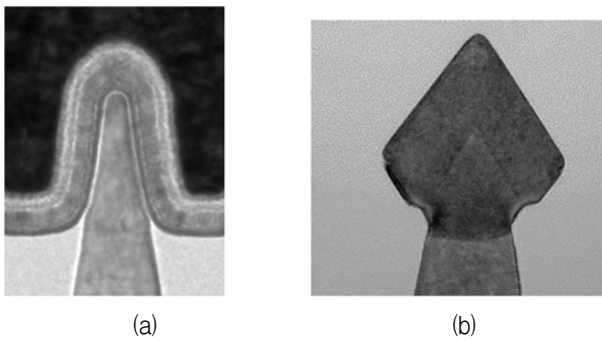


그림 1. FinFET 단면의 TEM 이미지  
(a) fin 영역 (b) 소스/드레인 영역<sup>[7]</sup>

Fig. 1. Cross-sectional TEM images.  
(a) Fin region (b) Source/Drain region<sup>[7]</sup>

물질의 epi 구조를 사용하는데 이는 각각 channel 부분에 stress를 가해주고, 얇은 fin으로 인해 증가하는 저항을 낮추어 주어 소자의 전류 구동능력을 향상시켜준다<sup>[8~10]</sup>.

Fin의 모양이 삼각형의 형태로 되는 이유는 공정의 미세화에 따른 lithography와 etching 기술의 한계 때문이다<sup>[11]</sup>. Fin의 모양이 달라짐에 따라 기존의 사각형 구조를 가지는 FinFET과 전기적인 특성이 달라진다. 또한 소스/드레인 epi 구조를 어떻게 하느냐에 따라 channel에 미치는 stress의 크기가 달라지고, 소스/드레인 부분에서 저항의 크기가 달라진다. [11]에서는 기존의 scaling length model이 사각형 fin 구조를 가지는 FinFET에 대해서는 SS(subthreshold swing)와 DIBL을 예측하는데 있어 큰 문제가 없지만, 삼각형 fin 구조를 가지는 FinFET의 경우에는 fin 옆면에서의 전기장이 아랫면과 평행이지 않아 기존의 모델이 잘 맞지 않음을 보였다. 옆면과 아랫면이 이루는 각도에 따라 SS와 DIBL 성능이 달라질 수 있어, 이를 고려하여 삼각형 fin 구조에 대해 새로운 scaling length model을 개발하였다. 또한 같은 SS와 DIBL 성능을 가질 때 삼각형 fin 구조의 경우 더 큰 fin 높이와 길이를 가지는 소자를 만들 수 있음을 보였다. 그리고 [12]에서는 시뮬레이션을 통해 사각형 fin 구조와 삼각형 fin 구조에 대해 ring oscillator 시뮬레이션을 진행한 결과, 삼각형 fin 구조를 가진 FinFET이 더 작은 delay와 switching energy를 가지는 것을 보였다. 그러나 삼각형 fin 구조와 사각형 fin 구조를 비교하는데 있어, fin의 높이와 아랫면의 길이만 같게 했을 뿐 트랜지스터의 전체적인 effective width를 고려하지 않았다<sup>[12]</sup>. 이럴 경우, 두 소자에서 발생하는 성능의 차이가 구조적인 차이에 의해서 나타나는지 아니면 소자의 effective width 차이에 의해서 나타나는지 구분하기 어려워 정확한 비교 결과로 활용하는데 어려움이 있다.

본 연구에서는 Fin의 모양과 소스/드레인 epi 구조와 같은 공정적인 변화들을 반영하기 위해 삼차원 소자 시뮬레이터인 Sentaurus를 이용하여 effective width가 같은 소스/드레인 영역의 epi 구조를 구현하고 삼각형 모양의 fin 구조와 기존의 사각형 모양의 fin 구조와 비교하여 어떤 성능의 차이가 발생하는지 알아본다. SOI FinFET에 대해 두 구조의 effective width를 같게 한 후, 삼각형 모양의 fin 구조와 기존의 사각형 모양의 fin

구조의 NMOS와 PMOS의 누설전류 및 구동전류를 비교하고 AC 성능을 결정짓는 gate 커패시턴스를 추출하여 비교한다. 또한 3단 ring oscillator 회로를 Sentaurus에서 제공하는 Mixed-Mode로 구현하여 ring oscillator의 주기와 한 주기 동안에 소비되는 스위칭 에너지(switching energy)를 비교한다.

소스/드레인 영역의 epi 구조에 대해서는, epi 구조를 fin 위에서 성장시킨 경우(grown-on-fin), fin을 etch 시키고 성장시킨 경우(etched-fin)의 2가지 경우로 나누고 각 경우에서 발생하는 stress의 차이를 반영하여, 위의 fin 구조와 마찬가지로 누설전류 및 구동전류, 3단 ring oscillator 등의 성능을 비교한다. 그리하여 삼각형 구조의 fin이 기존의 사각형 구조의 fin에 대해 어떤 장점이 있는지 살펴보고, 소스/드레인 영역의 epi 구조를 어떤 방법으로 성장시키는 것이 DC 및 AC의 성능향상에 도움이 되는지 알아본다.

## II. Fin의 구조에 따른 회로 성능 분석

### 1. 삼차원 소자 시뮬레이터(Sentaurus)를 이용한 fin의 모양에 따른 FinFET 구현

그림 2는 각각 사각형 fin 구조와 삼각형 fin 구조를 가지는 FinFET 구조이다. 삼차원 소자 시뮬레이터(Sentaurus)로 아래와 같이 fin의 모양이 다른 두 가지 구조를 만들었다.

기존 평판구조 MOSFET에서는 gate 부분에서의 tunneling 전류를 줄이고 소자의 성능을 향상시키기 위해서 high-k/metal gate 기술과 strained 실리콘(silicon) 기술을 적용했다<sup>[13-14]</sup>. FinFET 소자의 경우에

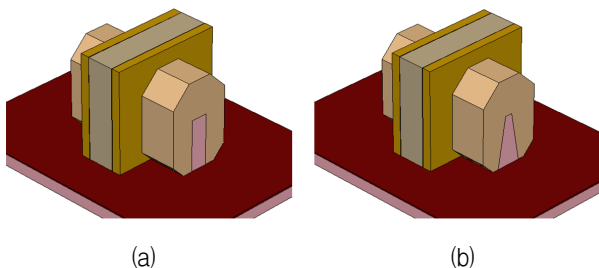


그림 2. 삼차원 소자 시뮬레이터로 구현한 (a) 사각형(rectangular) fin 구조와 (b) 삼각형(triangular) fin 구조 FinFET

Fig. 2. 3D FinFET structure for device simulation. (a) Rectangular-shaped fin. (b) Triangular-shaped fin

도 마찬가지로 소자의 성능을 향상시키기 위해 같은 기술을 적용한다<sup>[15]</sup>. 따라서 삼차원 소자 시뮬레이션에서도 이를 적용시켰으며 high-k 물질로는 HfO<sub>2</sub>를 사용하였다. 또한 strained 실리콘 기술을 적용하기 위해 소스/드레인 영역에는 epi 구조를 적용했다. NMOS에는 SiC 물질을 적용하여 tensile stress를 가해주고, PMOS에는 SiGe 물질을 적용하여 compressive stress를 가해준다<sup>[16-17]</sup>.

삼차원 소자 시뮬레이터에서 stress 효과를 고려하기 위해 piezo model을 사용했다. 그리고 stress에 의한 mobility의 변화를 고려하기 위해 multivalley와 subband에서의 scattering 등을 고려하였다. 그 밖에 기본적인 mobility model로는 drift-diffusion model을 기반으로 높은 전기장에서의 mobility saturation과 gate에서 수직방향으로 작용하는 전기장에 의한 영향 등을 고려하였다. 이런 model들은 삼차원 소자 시뮬레이터에서 제공하는 SDEVICE에 적용되었다<sup>[18]</sup>.

그림 3은 삼차원 소자 시뮬레이터로 만들어진 FinFET 구조의 단면을 나타낸다. 삼각형 모양 fin 구조

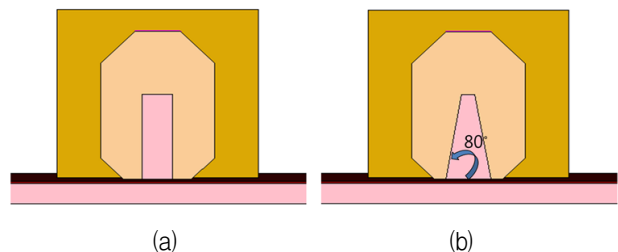


그림 3. FinFET의 단면 (a) 사각형(rectangular) fin 구조 (b) 삼각형(triangular) fin 구조

Fig. 3. Cross sectional view of FinFET (a) Rectangular-shaped fin (b) Triangular-shaped fin FinFET structures.

표 1. FinFET 구조 각 부분의 길이  
Table 1. FinFET device parameters.

Dimensions	사각형 fin 구조	삼각형 fin 구조
$L_g$	22nm	
Effective oxide thickness(EOT)	1nm	
$W_{top}$	13.5nm	5.9nm
$W_{bottom}$	13.5nm	20nm
$H_{fin}$	40nm	
Effective width	107nm	

의 경우 경사면이 fin 아랫면과 이루는 각은 [7]을 참고하여 80도를 사용하였다. 표 1은 본 논문에서 사용한 FinFET 구조 각 부분의 길이를 나타낸다.  $L_g$ 는 gate의 길이, effective oxide thickness(EOT)는 gate와 fin 사이의 절연 물질의 두께를 나타낸다. 그리고  $W_{top}$ 은 fin 위쪽 면의 길이,  $W_{bottom}$ 은 fin 아래쪽 면의 길이,  $H_{fin}$ 은 fin의 높이를 나타낸다. Effective width는 gate가 fin을 감싸고 있는 부분의 길이로, 두 구조에 대한 정확한 비교를 위해 그 길이를 같게 하였다.

2. DC/AC 특성 분석

그림 4는 두 가지 fin 구조에 대한 gate 전압-drain 전류( $V_g-I_d$ ) 비교 그래프이다. 각 구조에 대해 on-current와 off-current를 비교하였다. NMOS의 경우, fin의 모양이 삼각형이 되면서 on-current가 23.47% 감소하고( $V_g=1V$ 일 때), off-current는 72.73% 감소하였다( $V_g=0V$ 일 때). PMOS의 경우는 fin의 모양이 삼각형이 되면서 on-current가 25.92% 감소하고( $V_g=1V$ 일 때), off-current가 81.23% 감소하였다( $V_g=0V$ 일 때).

전체적으로 on-current가 감소하지만 off-current가 더 큰 폭으로 감소하면서 최근에 문제가 되고 있는 off-state 상태에서의 전력 소비를 줄일 수 있다.

그리고 SS(subthreshold swing)와 DIBL(Drain Induced Barrier Lowering)을 각 구조에 대해 추출한 결과 사각형 모양의 fin 구조에서는 각각 62.7mV/dec, 45.7mV 이었으나 삼각형 모양의 fin 구조에서는 60.7mV/dec, 43.6mV 로 감소하는 것을 확인 할 수 있었다. 이렇게 fin의 모양이 삼각형이 되면서 SS와 DIBL이 감소하는 이유는 그림 5에서와 같이 channel 영역에서 형성되는 전위 분포가 사각형 fin 구조에서와 다르기 때문이다. 삼각형 모양의 fin 구조는 fin의 위쪽 길이( $W_{top}$ )와 아래쪽 길이( $W_{bottom}$ )가 다르기 때문에 사각형 모양의 fin처럼 channel 영역에서 전체적으로 균일한 전위분포를 가지지 못하고 fin의 위쪽 면에서 더 높은 전위 분포를 가진다. 이로 인해 삼각형 모양 fin의 위쪽 면의 electric controllability가 아래쪽 보다 높다.

각 구조에 대해 AC 특성을 비교하기 위해 gate 커패시턴스( $C_{gg}$ )를 추출하고 unity-gain frequency( $f_T$ )를 비교하였다. 그림 6은 fin의 구조에 따라 각각 NMOS와 PMOS에서 추출한 gate 커패시턴스( $C_{gg}$ )이다. Fin의 모양이 삼각형이 되면서 전체적으로 gate 커패시턴스가

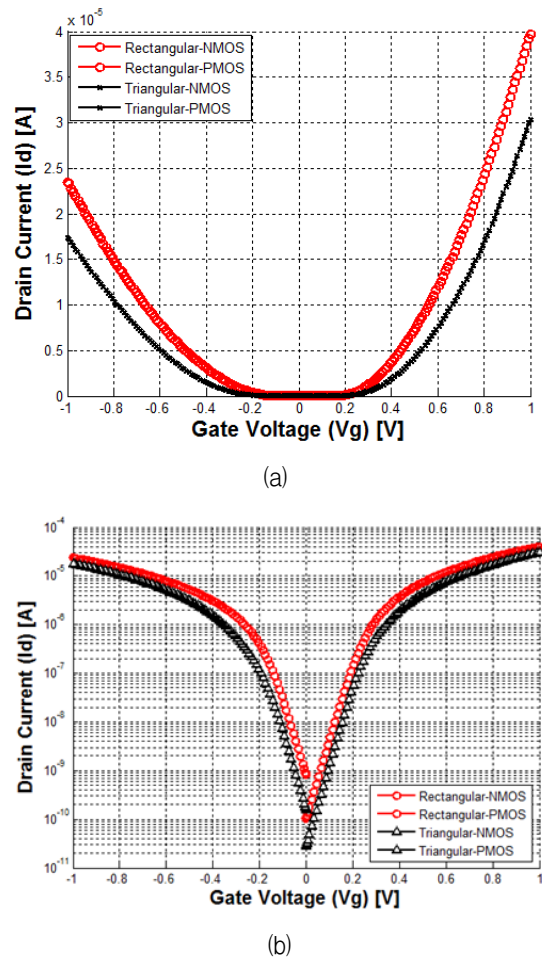


그림 4. 각 구조에 대한 gate 전압-drain 전류 특성 ( $V_g-I_d$ ), (a) linear 스케일, (b) log 스케일  
 Fig. 4. Simulated  $V_g-I_d$  curves. (a) Linear scale (b) Log scale.

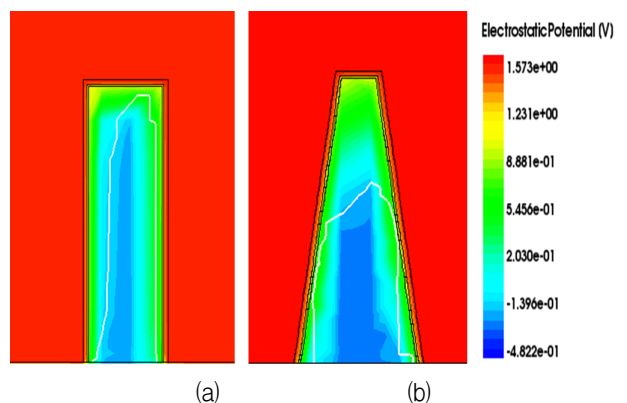
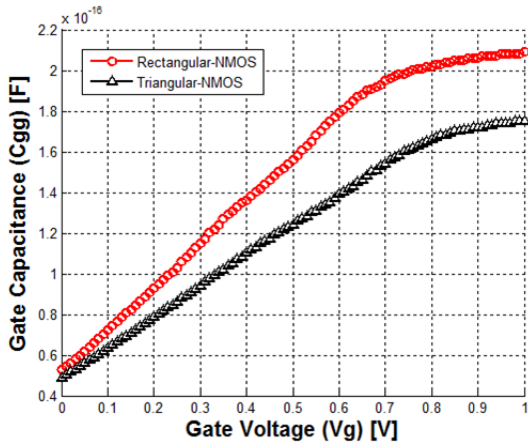
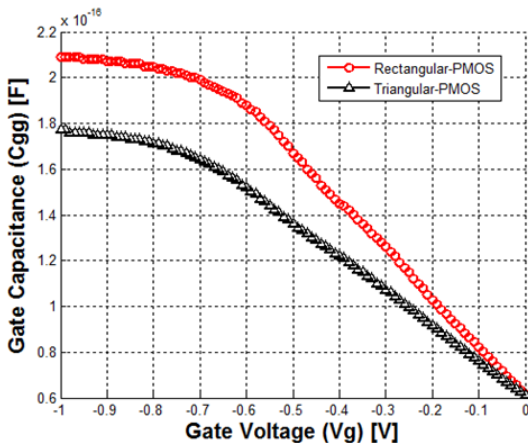


그림 5. Fin shape에 따른 channel 영역에서의 전위 분포 (a) 사각형(rectangular) fin 구조, (b) 삼각형(triangular) fin 구조  
 Fig. 5. Electric potential distribution for different fin shapes (a) Rectangular-shaped fin. (b) Triangular-shaped fin.



(a)



(b)

그림 6. Fin shape에 따른 gate 커패시턴스 ( $C_{gg}$ )  
(a) NMOS, (b) PMOS

Fig. 6. Gate capacitance ( $C_{gg}$ ) for different fin shapes.  
(a) NMOS, (b) PMOS.

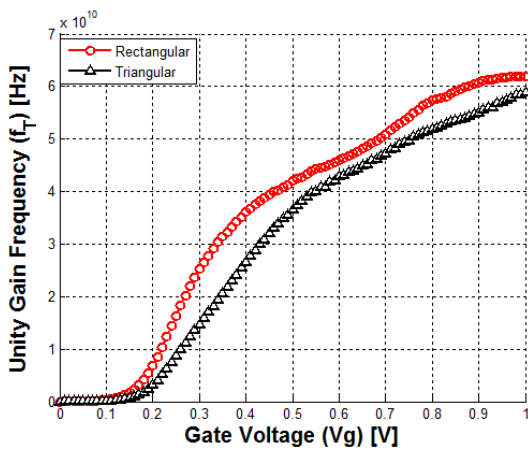


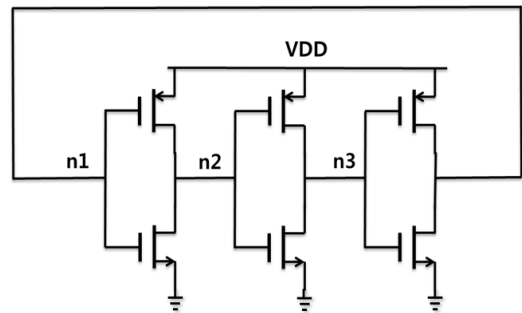
그림 7. Fin shape에 따른 unity-gain frequency( $f_T$ ) 비교  
Fig. 7. Comparison of unity-gain frequencies( $f_T$ ) for different fin shapes.

감소하는 경향을 보였다. NMOS의 경우에는 16.01% 감소하고, PMOS의 경우에는 15.81% 감소하였다.

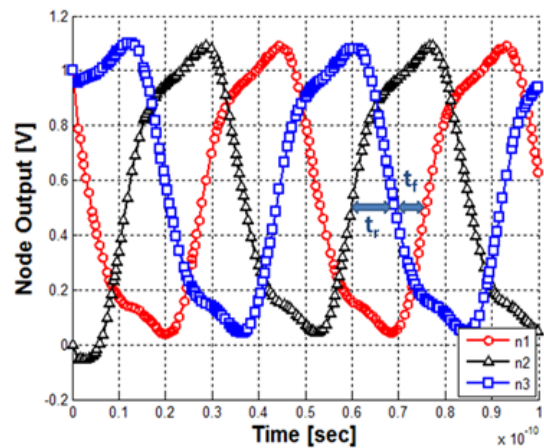
그림 7은 각각 사각형 모양의 fin 구조와 삼각형 모양의 fin 구조에 대해서 unity-gain frequency( $f_T$ )를 추출한 그래프이다. Fin의 구조가 사각형에서 삼각형으로 변하면서 unity-gain frequency가 5.16% 감소하는 것을 확인 할 수 있었다. 이는 fin의 구조가 삼각형이 되면서 gate 커패시턴스가 감소하지만 transconductance( $g_m$ ) 또한 감소하기 때문이다.

### 3. 3단 ring oscillator 특성 분석

위에서와 같이 fin의 모양에 따라 달라지는 소자의 특성을 회로적으로 고려하여 비교하기 위해 인버터 3개로 구성된 3단 ring oscillator 시뮬레이션을 진행하였



(a)



(b)

그림 8. Sentaurus를 사용한 3단 ring oscillator 성능 추출 (a) 회로도, (b) 각 노드에서 추출된 output 파형

Fig. 8. 3-stage ring oscillator simulation using Sentaurus. (a) Schematic, (b) Output waveform at each node.



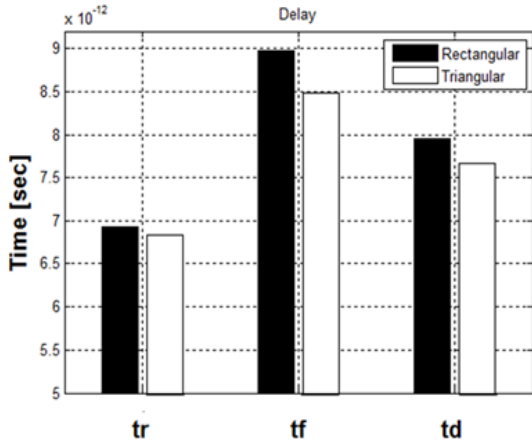


그림 9. Fin shape에 따른 3단 ring oscillator의 rise delay( $t_r$ ), fall delay( $t_f$ ), average delay( $t_d$ ) 비교

Fig. 9. Comparison of rise delay( $t_r$ ), fall delay( $t_f$ ), average delay( $t_d$ ) of 3-stage ring oscillator for different fin shapes.

다. 삼차원 소자 시뮬레이터(Sentaurus)에서 제공하는 Mixed-Mode를 이용하여 회로를 구성하고 각 구조를 적용시켰을 경우에 대한 특성을 추출하였다.

그림 8은 3단 ring oscillator의 회로도와 각 노드에서의 output 파형을 측정된 그래프이다. Delay를 측정하는데 있어 rise delay( $t_r$ )와 fall delay( $t_f$ )는  $0.5 \cdot VDD$  값을 기준으로 측정되었으며, average delay( $t_d$ )는  $t_d = (t_r + t_f) / 2$  으로 계산하여 구하였다. Rise delay와 fall delay의 비율은 각각 NMOS와 PMOS의 소스/드레인 epi 영역에 사용되는 carbon과 germanium의 비율을 조절하여 맞출 수 있다.

그림 9는 위의 방법을 이용해 구한 delay 값들을 비교한 것이다. 그림에서 확인할 수 있듯이 fin의 모양이 사각형에서 삼각형이 되면서 rise delay는 1.33%, fall delay는 5.57%, average delay는 3.72% 감소하는 것을 확인할 수 있었다.

$$Switching\ Energy = VDD \times \int_0^T I dt \quad (1)$$

3단 ring oscillator의 delay뿐만 아니라 한 주기(T)에 소비되는 에너지를 비교하기 위해 식(1)을 이용하여 각 구조에 대한 스위칭 에너지를 구하였다. 그 결과 사각형 fin 구조에서 소비되는 에너지는 294.2fJ, 삼각형 fin 구조에서 소비되는 에너지는 283.2fJ로 fin의 모양이 삼각형이 됨에 따라 스위칭 에너지가 3.72% 감소하는 것을 확인할 수 있었다.

### III. 소스/드레인 epi의 구조에 따른 회로 성능 분석

Fin 모양의 변화뿐만 아니라 소스/드레인 epi 구조를 어떤 식으로 변화시키는지 또한 소자의 전기적 성능에 영향을 미친다. 각각 사각형 fin 구조와 삼각형 fin 구조에 대해 epi 구조를 fin 위에 성장시킨 경우 (grown-on-fin)와 fin을 etch 시키고 성장시킨 경우 (etched-fin)로 나누어 epi 구조의 변화에 따라 소자의 특성과 회로적인 특성이 어떻게 변하는지 알아보았다.

#### 1. 사각형(rectangular) fin 구조에서 소스/드레인 epi 구조에 따른 성능 분석

그림 10은 각각 사각형 fin 구조를 가지는 FinFET에서 소스/드레인 epi 구조를 fin 위에 성장시킨 것 (grown-on-fin)과 fin을 etch 시키고 성장시킨 것 (etched-fin)을 삼차원 소자 시뮬레이터로 구현한 그림이다. 각 구조에 대한 소자 및 회로의 성능변화를 평가하기 위해 DC/AC 특성을 추출하고 3단 ring oscillator 시뮬레이션을 진행하였다.

그림 11은 그림 10의 두 구조에 대해 각각 NMOS와 PMOS에서 off-current( $V_g=0V$ 일 때)와 on-current( $V_g=1V$ 일 때)의 변화량을 추출한 결과이다. Grown-on-fin 구조를 기준으로 etched-fin 구조로 변화함에 따라 증가하는 양을 구하였다. 그 결과, 소스/드레인 epi를 fin 위에 성장시킨 것보다 fin을 etch 시키고 성장시킨 것이 epi

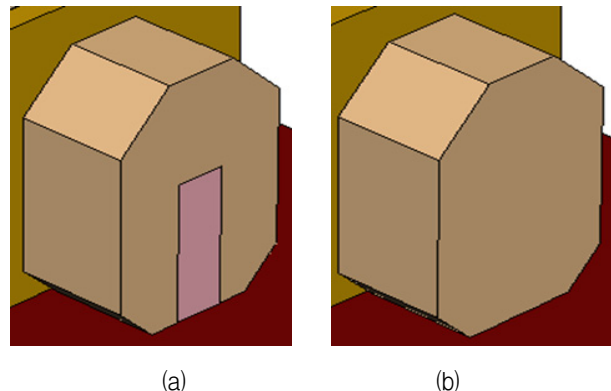


그림 10. 사각형 fin 구조에서 소스/드레인 epi를 성장시킨 구조 (a) fin 위에 성장시킨 구조 (b) fin을 etch 시키고 성장시킨 구조

Fig. 10. Two different methods to grow epi structure for rectangular-shaped fin (a) Grown-on-fin structure. (b) Etched-fin structure.

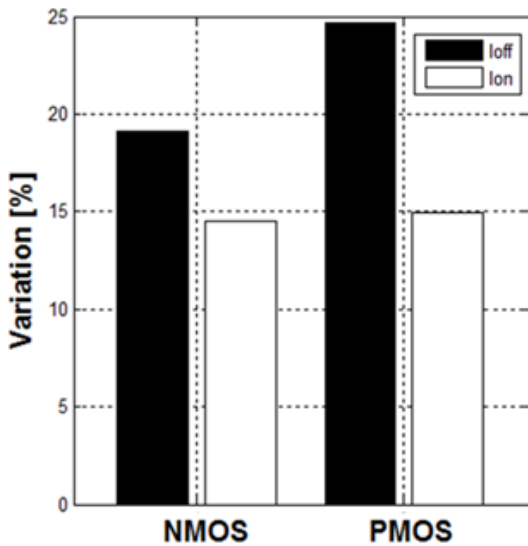


그림 11. Etched-fin epi구조를 사용함으로써 나타난 off-current와 on-current의 변화량 (사각형 fin 구조).

Fig. 11. Change in off-current and on-current by applying etched-fin structure (rectangular-shaped fin).

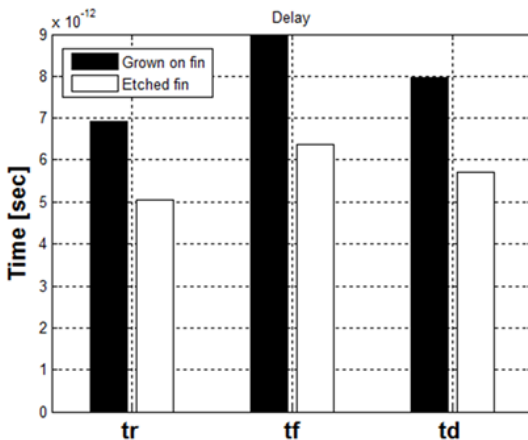


그림 12. 사각형 fin 구조에서 epi 구조의 변화에 따른 3 단 ring oscillator의 rise delay( $t_r$ ), fall delay( $t_f$ ), average delay( $t_d$ ) 비교

Fig. 12. Comparison of rise delay( $t_r$ ), fall delay( $t_f$ ), average delay( $t_d$ ) of 3-stage ring oscillator with rectangular-shaped fin for different epi structures.

구조가 차지하는 영역의 크기가 커짐에 따라 channel 영역에 가해지는 stress의 크기가 커지게 된다<sup>[19]</sup>. 이에 따라 on-current가 증가하지만 off-current 또한 증가하게 된다. NMOS의 경우 on-current가 14.52% 증가할 때 off-current가 19.10% 증가하였고, PMOS의 경우 on-current가 14.98% 증가할 때 off-current가 24.7%

증가하는 것을 확인 할 수 있었다. 그리고 epi 구조의 변화에 따른 소스/드레인 영역에서의 기생 커패시턴스 (fringing capacitance) 변화를 측정된 결과 epi의 영역이 넓어짐에 따라 기생 커패시턴스가 3.81% 증가하는 것을 확인 할 수 있었다.

위에서 구한 소스/드레인 epi 구조 변화에 따른 소자 성능 변화를 바탕으로 회로적인 성능 변화를 평가하기 위해 3단 ring oscillator 시뮬레이션을 진행하고 delay와 스위칭 에너지를 비교하였다. 그림 12는 사각형 fin 구조에서 소스/드레인 epi 구조에 따른 3단 ring oscillator의 delay를 비교한 것이다. 그림에서 볼 수 있듯이 전체적으로 epi 영역이 etched-fin 구조가 되면서 delay가 감소하는 것을 확인 할 수 있다. 감소하는 정도를 비율로 살펴보면, rise delay는 27.27%, fall delay는 29.15%, average delay는 28.33% 감소하였다.

스위칭 에너지의 경우 epi 영역이 grown-on-fin 구조일 때 294.2fJ, etched-fin 구조일 때 341.3fJ로 epi 영역이 넓어지면서 16.03% 증가하였다.

## 2. 삼각형(triangular) fin 구조에서 소스/드레인 epi 구조에 따른 성능 분석

삼각형 fin 구조에 대해서도 앞선 사각형 fin 구조와 마찬가지로 그림 13과 같이 epi 구조를 fin 위에 성장시킨 경우(grown-on-fin)와 fin을 etch 시키고 성장시킨 경우(etched-fin)로 나누어 삼차원 소자 시뮬레이터로 구현 하였다. 그리고 각 구조에 대해 DC/AC 특성을 추출하고 3단 ring oscillator 시뮬레이션을 진행하였다.

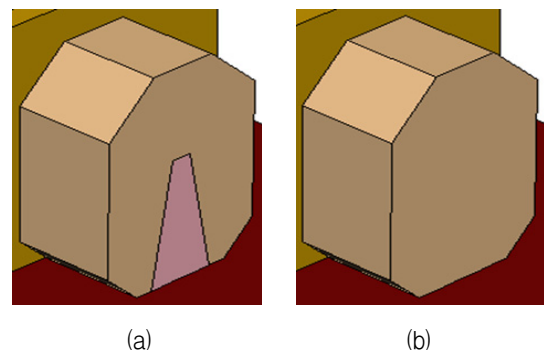


그림 13. 삼각형 fin 구조에서 소스/드레인 epi를 (a) fin 위에 성장시킨 구조와 (b) fin을 etch 시키고 성장시킨 경우

Fig. 13. Two different methods to grow epi structure for triangular-shaped fin (a) Grown-on-fin structure. (b) Etched-fin structure.

그림 14는 그림 13의 두 가지 경우에 대해 각각 NMOS와 PMOS에서 off-current( $V_g=0V$ 일 때)와 on-current( $V_g=1V$ 일 때)의 변화량을 추출한 결과이다. Grown-on-fin 구조를 기준으로 etched-fin 구조로 변화함에 따라 증가하는 양을 구하였다.

삼각형 fin 구조에서도 grown-on-fin 구조에서 etched-fin 구조가 되면서 epi 영역이 증가하고 그에 따라 stress의 크기가 증가한다. Stress의 크기가 증가하면서 on-current와 off-current가 동시에 증가하게 되는

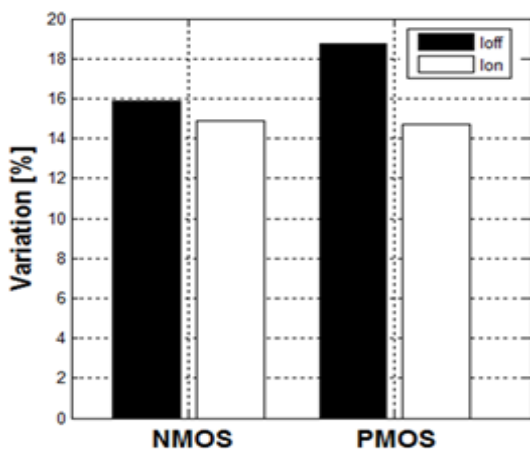


그림 14. 삼각형 fin 구조에서 fin을 etch시키고 기른 구조에서 나타나는 NMOS와 PMOS에서 off-current와 on-current의 변화량

Fig. 14. Variation of off-current and on-current for NMOS and PMOS FinFET in triangular-shaped fin in case of etched-fin structure.

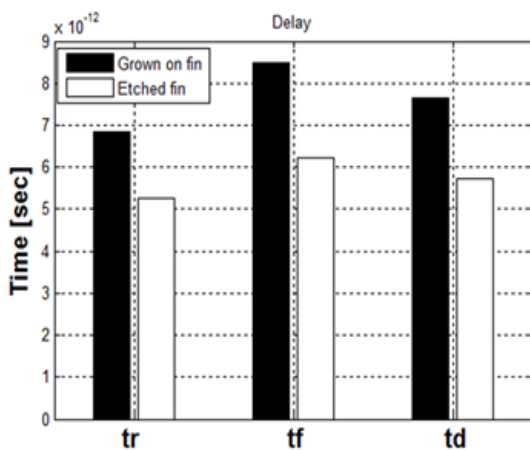


그림 15. 삼각형 fin 구조에서 epi 구조의 변화에 따른 3 단 ring oscillator의 rise delay( $t_r$ ), fall delay( $t_f$ ), average delay( $t_d$ ) 비교

Fig. 15. Comparison of rise delay( $t_r$ ), fall delay( $t_f$ ), average delay( $t_d$ ) of 3-stage ring oscillator with triangular-shaped fin according to epi structures.

데 NMOS의 경우 on-current가 14.9% 증가할 때 off-current가 15.87% 증가하였고, PMOS의 경우 on-current가 14.71% 증가할 때 off-current가 18.76% 증가하였다. 하지만 삼각형 fin 구조에서는 사각형 fin 구조에서 보다 더 우수한 electric controllability에 의해 on-current의 증가율은 사각형 fin 구조와 비슷하나 off-current의 증가율이 4~6%정도 감소하는 것을 확인할 수 있었다.

Epi 구조의 변화에 따른 소스/드레인 영역에서의 기생 커패시턴스는 etched-fin구조로 epi의 영역이 넓어짐에 따라 기생 커패시턴스가 4.13% 증가하였다.

그림 15는 3단 ring oscillator 시뮬레이션을 통해 추출한 delay 값의 변화를 비교한 것이다. Etched-fin 구조로 epi 영역을 확장 시켜 더 큰 stress를 가해주었을 때, rise delay는 23.25%, fall delay는 26.6%, average delay는 25.26% 감소하였다.

스위칭 에너지는 epi 영역이 grown-on-fin 구조일 때 283.2fJ, etched-fin 구조일 때 321.3fJ로 epi 영역이 넓어지면서 13.46% 증가하였다.

#### IV. 각 구조에 대한 회로 성능 분석

지금까지 fin의 구조와 소스/드레인 epi 구조를 고려한 총 4가지 경우의 대해 3단 ring oscillator 시뮬레이션을 진행하고 스위칭 에너지와 delay를 추출하여 그 값을 비교하였다. 표 2는 추출된 스위칭 에너지와 delay의 값을 정리한 것이다. Epi 구조를 grown-on-fin 구조

표 2. 각 구조에 대한 3단 ring oscillator 성능 비교  
Table 2. Performance comparison of 3-stage ring oscillator.

구조 \ 성능	Switching energy(fJ)	Delay time(ps)
사각형 fin & grown-on-fin epi	294.2	7.96
삼각형 fin & grown-on-fin epi	283.2	7.66
사각형 fin & etched-fin epi	341.3	5.70
삼각형 fin & etched-fin epi	321.3	5.72



에서 etched-fin 구조로 변화시키면서 그 영역을 넓히면 channel에 가해지는 stress의 크기가 증가한다. 하지만 그에 따라 on-current와 off-current가 동시에 증가하면서 회로적으로 보았을 때 delay는 감소하지만 스위칭 에너지가 증가하는 trade-off 관계가 존재한다. 그래서 이런 trade-off 관계를 정량적으로 평가하기 위해 energy-delay product를 사용했다<sup>[20]</sup>.

그림 16은 energy-delay product 값을 각 구조에 대해 비교한 그래프이다. 회로를 구동하는데 소비되는 에너지가 적어야 저전력으로 설계할 수 있고, delay가 짧아야 더 빠른 속도를 가지는 회로를 설계할 수 있으므로 energy-delay product 값이 작아야 에너지와 delay를 모두 고려했을 때 우수한 것이라고 할 수 있다.

전체적으로 energy-delay product의 값이 사각형 fin 구조에서 삼각형 fin 구조로 변함에 따라 감소하고, 소스/드레인 epi 구조에 대해서는 epi의 영역이 증가함에 따라 그 값이 감소한다.

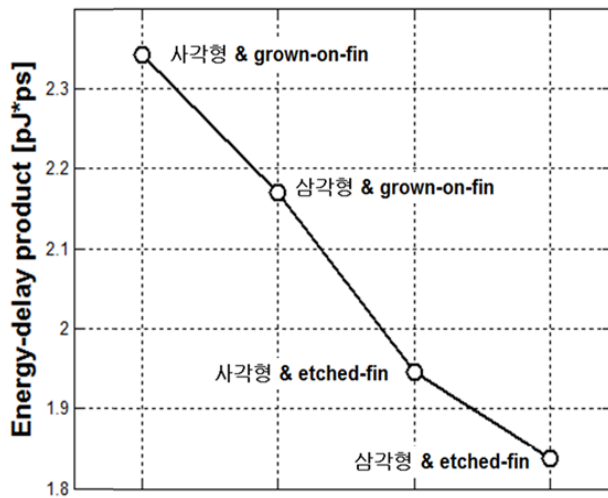


그림 16. Fin 구조와 소스/드레인 영역의 epi 구조를 모두 고려했을 때, 각 구조에 대한 energy-delay product 값 비교

Fig. 16. Comparison of energy-delay products for different fin shapes and source/drain epi structures.

표 3. 각 구조에 대한 threshold voltage( $V_T$ ) 값 비교  
Table 3. Comparison of threshold voltages.

구조	사각형 fin & grown-on-fin	삼각형 fin & grown-on-fin	사각형 fin & etched-fin	삼각형 fin & etched-fin
성능				
Threshold voltage(V)	0.206	0.214	0.237	0.251

이렇게 fin 구조와 소스/드레인 epi 구조에 따라 energy-delay product 값이 달라지는 원인을 알아보기 위해 표 3과 같이 각 구조에 대해 threshold voltage( $V_T$ )를 추출하여 비교하였다.

각 구조에 대해 threshold voltage 값이 차이가 나는 가장 큰 이유는 앞의 그림 5에 보인 바와 같이 fin의 구조에 따라 channel에 형성되는 전위의 분포가 다르기 때문이다. 사각형 fin 구조에서는 channel의 전 범위에 걸쳐 고르게 전위가 형성되지만 삼각형 fin 구조에서는 fin의 윗면과 옆면이 이루는 각도에 의해 fin의 위쪽 면에서 아래쪽 면보다 더 높은 전위 분포가 형성된다. 이때 위쪽 면의 길이가 아래쪽 면의 길이보다 짧기 때문에 inversion이 발생하는 영역에 차이가 발생하게 되고 그에 따라 사각형 fin 구조와 비교하였을 때 threshold voltage 값에 차이가 발생하게 된다.

$$EDP = \frac{\alpha C_L^2 V_{DD}^3}{2(V_{DD} - V_{TE})}$$

$$V_{TE} = V_T + V_{DSAT}/2 \quad (2)$$

Energy-delay product는 threshold voltage와 위의 식(2)와 같은 관계를 가진다<sup>[21]</sup>.  $V_T$ 는 threshold voltage이고,  $V_{DSAT}$ 은 velocity saturation이 일어나는 drain 전압이다. 식(2)에서 알 수 있듯이 energy-delay product와 threshold voltage는 반비례적인 관계를 가지고 있으며 앞의 표 3에서 추출된 threshold voltage 값과 관련하여 생각해보면, 결과적으로 fin의 모양은 삼각형 구조를 가지고, epi 구조는 etched-fin 구조를 가지는 것이 제일 작은 energy-delay product 값을 가져 가장 우수한 성능을 나타낸다.

## V. 결 론

본 논문에서는 삼차원 소자 시뮬레이터(Sentaurus)를 이용하여 fin 과 소스/드레인 epi 구조에 따라 FinFET 소자의 성능이 어떻게 변하는지 살펴보고, 삼차원 소자 시뮬레이터에서 제공하는 Mixed-Mode를 이용하여 3단 ring oscillator 회로를 구성하였을 때 각 구조에 따라 스위칭 에너지와 delay 특성이 어떻게 변하는지 살펴보았다.

Effective width가 같을 때, fin의 구조가 사각형 구조에서 삼각형 구조로 변화하면서 fin 단면의 전위 분포

의 차이로 문턱 전압이 늘어나고, on-current가 23.47% 감소하고 off-current가 72.73% 감소하면서 off-current가 더 큰 폭으로 감소하는 것을 확인 할 수 있었다. 회로적인 성능 변화를 알아보기 위한 3단 ring oscillator 시뮬레이션 결과, fin의 구조가 변하면서 스위칭 에너지와 delay가 3%정도 감소하는 것을 확인 할 수 있었다.

Fin의 구조뿐만 아니라 소스/드레인 epi 구조의 변화에 따른 성능 변화도 살펴보았다. 소스/드레인 epi를 fin 위에 성장시킨 경우(grown-on-fin)와 fin을 etch 시키고 성장시킨 경우(etched-fin), fin을 etch 시키고 성장시킨 경우가 epi 영역이 증가하면서 stress의 크기가 커지게 된다. 그에 따라 FinFET 소자의 on-current가 증가하게 되지만 off-current도 증가하게 되어, 3단 ring oscillator의 delay가 감소하지만 스위칭 에너지가 증가하게 된다.

이런 trade-off 관계를 고려하여 회로의 성능을 평가하기 위해, 각 구조에 대해 3단 ring oscillator 시뮬레이션을 진행해 추출된 스위칭 에너지와 delay 값을 이용하여 energy-delay product를 비교한 결과 fin 구조는 삼각형 구조를 가지고 소스/드레인 epi 구조는 etched-fin 구조를 가지는 것이 가장 우수한 성능을 나타내었다.

## REFERENCES

- [1] The International Technology Roadmap for Semiconductors(ITRS), 2011
- [2] Jihyun Kim, Aeri Son, Narae Jeong, and Hyungsoon Shin, "2D Quantum Effect Analysis of Nanoscale Double-Gate MOSFET," Journal of The Institute of Electronics Engineers of Korea, vol. 45SD, no. 10, pp. 15-22, Oct. 2008.
- [3] K. W. Lee, SeokSoon Noh, NaHyun Kim, KeeWon Kwon, and SoYoung Kim, "Comparative study of analog performance of multiple fin tri-gate FinFETs," International Conference on Electronics, Information and Communication, 2012.
- [4] Chi Woo Lee, Serena Yun, Chong Gun Yu, and Jong Tae Park, "A study on the device structure optimization of nano-scale MuGFETs," Journal of The Institute of Electronics Engineers of Korea, vol. 43SD, no. 4, pp.23-30, Apr. 2006.
- [5] SeokSoon Noh, KeeWon Kwon, and SoYoung Kim, "Analysis of Process and Layout Dependent Analog Performance of FinFET Structures using 3D Device Simulator," Journal of The Institute of Electronics Engineers of Korea, vol. 50SD, no. 4, pp. 35-42, Apr. 2013.
- [6] W. Yang and J. G. Fossum, "On the feasibility of nanoscale triple gate CMOS transistors," IEEE Trans. Electron Devices, vol. 52, no. 6, pp. 1159 - 1164, Jun. 2005.
- [7] C. Auth et al., "A 22nm High Performance and Low-Power CMOS Technology Featuring Fully-Depleted Tri-Gate Transistors, Self-Aligned Contacts and High Density MIM Capacitors", Symposium on VLSI Technology, 12-14 June. 2012.
- [8] C. H. Jan et al., "A 22nm SoC Platform Technology Featuring 3-D Tri-Gate and High-k/Metal Gate, Optimized for Ultra Low Power, High Performance and High Density SoC Applications", Electron Device Meeting (IEDM), pp. 3.1.1-3.1.4, 10-13 Dec. 2012.
- [9] N. Serra et al., "Experimental and physics-based modeling assessment of strain induced mobility enhancement in FinFETs", Electron Devices Meeting (IEDM), pp. 1-4, 7-9 Dec. 2009.
- [10] Lori Washington et al., "pMOSFET With 200% Mobility Enhancement Induced by Multiple Stressors", IEEE Electron Device Letters, vol. 27, no. 6, pp. 511-513, June. 2006.
- [11] Myung-Dong Ko et al., "Study on a Scaling Length Model for Tapered Tri-Gate FinFET Based on 3-D Simulation and Analytical Analysis", IEEE Trans. Electron Devices, vol. 60, no. 9, pp. 2721 - 2727, Sept. 2013.
- [12] Kehuey Wu et al., "Performance Advantage and Energy Saving of Triangular-Shaped FinFETs", Proc. International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp. 143-146, 3-5 Sept. 2013.
- [13] Ohkura, Y. et al., "Analysis of gate currents through high-k dielectrics using a Monte Carlo device simulator", Proc. International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp. 67-70, 3-5 Sept. 2003.
- [14] Kah-Wee Ang et al., "Strained n-MOSFET with embedded source/drain stressors and strain-transfer structure(STS) for enhanced transistor performance", IEEE Trans. Electron Devices, vol. 55, no. 3, pp. 850 - 857, Mar. 2008.
- [15] C. R. Manoj et al., "Impact of High-k Gate

- Dielectrics on the Device and Circuit Performance of Nanoscale FinFETs”, IEEE Electron Device Letters, vol. 28, no. 4, pp. 295-297, April 2007.
- [16] Tsung-Yang Liow et al., “N-channel (110)-sidewall strained FinFETs with silicon-carbon source and drain stressors and tensile capping layer”, IEEE Electron Device Letters, vol. 28, no. 11, pp. 1014-1017, Nov. 2007.
- [17] Kian-Ming Tan et al., “Strained p-channel FinFETs with extended pi-shaped silicon-germanium source and drain stressors”, IEEE Electron Device Letters, vol. 28, no. 10, pp. 905-908, Oct. 2007.
- [18] Synopsys Sentaurus Device User Guide Ver.H-2013.03.
- [19] M. Garcia Bardon et al., “Layout-induced stress effects in 14nm & 10nm FinFETs and their impact on performance”, in Proc. Symp. VLSI Technology, pp. 114-115, Jun. 2013.
- [20] Elio Consoli et al., “Conditional Push-Pull Pulsed Latches with 726fJ·ps Energy-Delay Product in 65nm CMOS”, in Proc. ISSCC, 2012, pp. 482-484.
- [21] J. M. Rabaey, A. Chandrakasan, B. Nikolic, *Digital Integrated Circuits : A Design Perspective*, 2<sup>nd</sup> Edition, Prentice Hall, pp. 226, 2004.

— 저 자 소 개 —



최 성 식(학생회원)  
2012년 성균관대학교  
반도체시스템공학 학사 졸업.  
2012년~현재 성균관대학교  
반도체디스플레이대학원  
석사과정  
2014년~현재 삼성전자(주)

<주관심분야 : Device Simulation and Modeling>



권 기 원(정회원)  
2001년 Stanford University  
재료공학과 박사 졸업.  
2001년~2006년 삼성전자(주)  
DRAM개발실 수석연구원  
2007년~현재 성균관대학교  
정보통신대학 부교수

<주관심분야 : 메모리IP, 아날로그/디지털 Mixed mode 설계>



김 소 영(정회원)-교신저자  
1997년 서울대학교  
전기공학부 학사 졸업.  
1999년 Stanford University  
전기공학과 석사 졸업.  
2004년 Stanford University  
전기공학과 박사 졸업.

2004년~2008년 Intel Corporation  
2008년~2009년 Cadence Design Systems  
2009년~현재 성균관대학교 정보통신대학  
반도체시스템공학과 부교수

<주관심분야 : Device and Interconnect Modeling, Power Integrity, Signal Integrity, Computer-Aided Design, Electromagnetic Compatibility>