

고속 자동 테스트 장비용 비교기 구현[†]

(Implementation of a High Speed Comparator for High Speed Automatic Test Equipment)

조인수¹⁾, 임신일²⁾

(In-su Cho and Shin-Il Lim)

요약 본 논문은 자동시험장비 (ATE) 시스템의 측정 회로에 사용하는 비교기 설계에 관한 것이다. 이 비교기 전체 블록은 연속 형의 고속 비교기, 차동차이증폭기, 그리고 출력 단으로 구성되어 있다. 연속 형의 고속 비교기는 높은 주파수(1~800MHz) 및 넓은 범위(0~5V)의 입력신호를 받아들이기 위해, 고속의 rail-to-rail 증폭기를 첫 단계 두었다. 또한 동작 속도를 높이기 위하여 고속의 전치증폭기와 래치를 순차적으로 구성하였다. 두 시험 소자(DUT) 간 출력 신호 차이를 검출함에 있어, 공통 신호와 차동 신호 차이를 모두 감지하기 위하여 차동차이 증폭기(DDA)를 사용하였다. 이 비교기는 0.18 μ m BCDMOS 공정을 사용하여 칩으로 구현되었으며, 5mV의 신호 차이를, 800 MHz의 신호까지 비교가 가능하다. 구현된 칩 면적은 620 μ m x 830 μ m이다.

핵심주제어 : 자동시험장비, 연속형 고속비교기, 히스테리시스, 차동차이증폭기

Abstract This paper describes the implementation of high speed comparator for the ATE (automatic test equipment) system. The comparator block is composed of continuous comparator, differential difference amplifier(DDA) and output stage. For the wide input dynamic range of 0V to 5V, and for the high speed operation (1~800MHz), high speed rail-to-rail amplifier is used in the first stage. And hysteresis circuits, pre-amp and latch are followed for high speed operation. To measure the difference of output signals between the two devices under test (DUTs), a DDA is applied because it can detect the differences of both common signals and differential signals. This comparator chip was implemented with 0.18 μ m BCDMOS process and can compare the signal difference of 5mV up to the frequency range of 800 MHz. The chip area of the comparator is 620 μ m x 830 μ m.

Key Words : ATE, Continuous High-Speed Comparator, Hysteresis, Differential Difference Amplifier(DDA)

1. 서론

[†] 본 연구는 미래창조과학부 및 정보통신산업진흥원의 IT융합 고급인력과정 지원사업(NIPA-2014-H0301-14-1008)의 지원을 받았고, 또한 산업통상자원부의 신성장동력 장비 경쟁력 강화 사업(10047617, AP(Application Processor) 및 SoC 고속 테스트 장비 개발)의 연구결과로 수행되었음..

1) 서경대학교 전자컴퓨터공학과, 제1저자

2) 서경대학교 전자공학과, 교신저자(silim@skuniv.ac.kr)

현재 AP(application processor) 및 SoC (system on chip)을 테스트하기 위한 자동시험장비(ATE: automatic test equipment) 시스템을 구성하는 회로들은 Vector Generator, Timing Generator와 Driver IC로 구성되어 있다. 이 중 Driver IC는 테스트중인 소자 출력 값인 DUT (device under test)를 측정하기 위한 핵심 부품으로서 속도와 정확도가 매우 중요하다.

또한 이 Driver IC는 PPMU, 디지털-아날로그 변환기, 비교기, 드라이버, Active Load, SPI 메모리 레지스터로 구성되어 있다.

여기서 본 논문은 Driver IC에서 사용되는 고속 비교기를 설계하는 것이 목표이다. 이 비교기는 테스트 중 소자의 출력 값과 디지털-아날로그 변환기에서 생성되는 기준 값을 받아 서로 비교한다. 테스트 중 소자의 출력 값과 디지털-아날로그 변환기의 출력은 0~5V 사이의 신호이다. 그러므로 제안된 비교기는 어떤 크기의 신호도 받아들이고 비교할 수 있도록 넓은 범위를 가지며, 최대 800MHz의 주파수를 가지는 입력신호를 받아들일 수 있어야 한다. 또한 두 신호의 전압차가 5mV까지 비교하는 정확성을 가져야 한다. 입력신호의 주파수에 맞추어 고속 동작해야 한다. 그리고 소자 테스트 중 비교기에는 히스테리시스 기능이 필요하다. 그러므로 이 고속 비교기에 추가적으로 히스테리시스 기능을 설계하여 제안한다.

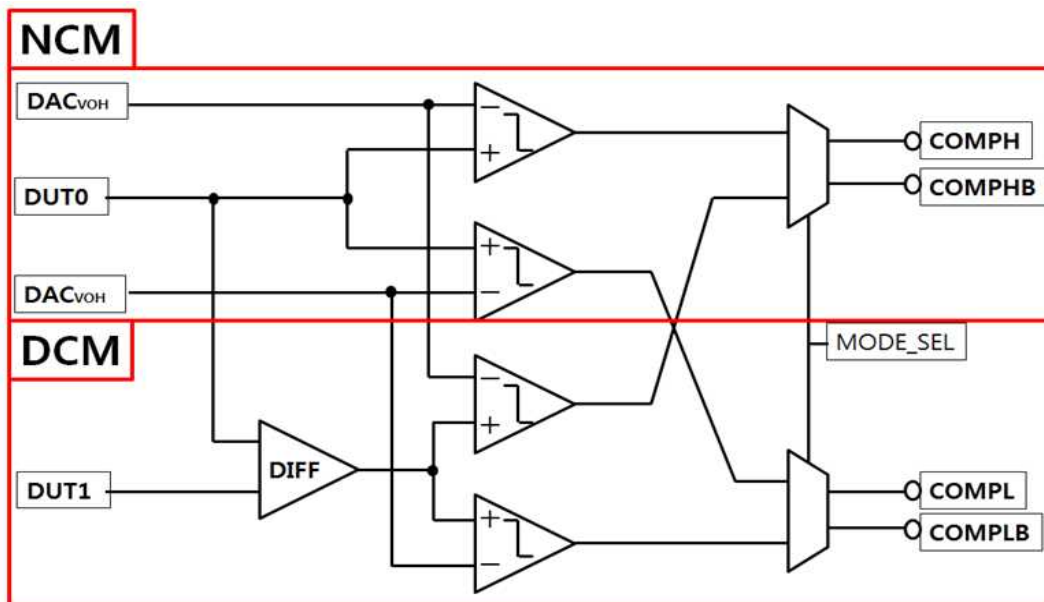
비교기이다. 그리고 이 비교기는 총 2가지의 형태로 동작하게 된다. 첫 번째 형태는 0채널에서 발생한 테스트 중인 소자의 측정된 출력(DUT0)과 디지털-아날로그 변환기의 출력 값인 DAC_{VOH}, DAC_{VOL}을 기준 값으로 비교하는 NCM(normal comparator mode)이다. 두 번째 형태는 0채널에서 발생한 테스트 중 소자의 출력 값(DUT0)과 1채널에서 발생한 테스트 중 소자 출력 값(DUT1)간의 공통모드신호의 차이와 차동신호의 차이를 모두 감지한 출력 값과 디지털-아날로그 변환기의 출력 값인 DAC_{VOH}, DAC_{VOL}를 기준으로 입력받아 비교 동작하는 DCM(differential comparator mode)로 구성되어 있다. 이 두 가지 형태의 비교기를 구현하기 위하여 클럭을 사용하지 않는 4개의 연속형의 비교기, 두 개의 신호의 각 공통 모드 전압의 차이와 차동 신호의 차이 모두를 감지하는 차동 차이 증폭기(DDA : differential difference amplifier)와 2개의 출력 단으로 구성하였다.

2. 제안된 비교기 구조

그림 1은 본 논문에서 제안하는 비교기의 구조이다. 이 제안된 비교기는 클럭을 사용하지 않는 연속 형의

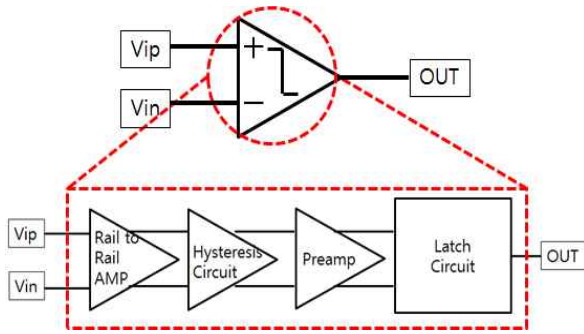
2.1 연속 형 비교기의 구성

그림 2는 클럭을 사용하지 않는 연속 형 비교기의 구성이다. 이 연속 형 비교기는 테스트 중인 소자의 출력 값과 디지털-아날로그 변환기의 출력 값을 받아들



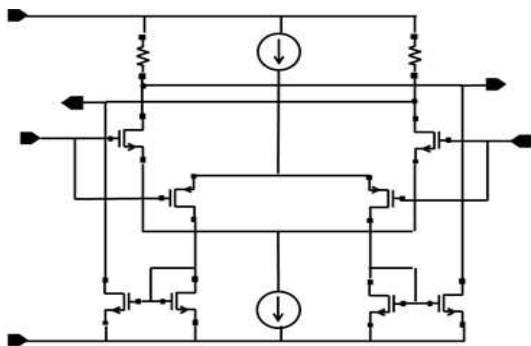
<Fig. 1> Block diagram of the proposed comparator

여야하므로 넓은 범위와 높은 주파수(0~800MHz)의 입력신호를 받아들이고 두 입력신호간의 5mV차까지 비교하는 정확성을 가지며 고속으로 동작하는 것이다. 따라서 첫 번째 단계는 넓은 범위를 받아들이는 고속의 rail-to-rail 증폭기를 설계하였고 두 번째 단계는 제어신호에 맞게 히스테리시스 전압을 생성해주는 회로를 설계하였으며 이어서 비교기의 정확성과 고속으로 동작시키기 위하여 고속의 전치 증폭기와 래치 회로로 여러 단으로 구성하였다.



<Fig. 2> Continuous comparator

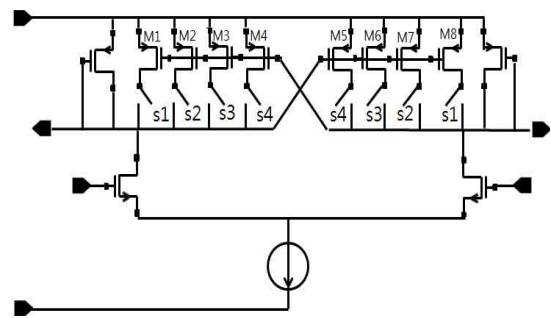
그림 3은 연속형 비교기의 첫 번째 단계에 사용된 rail-to-rail 증폭기이다. 입력 단을 n에 동시에 받을 수 있도록 rail-to-rail 구조로 설계하였다. 그리고 summing 회로에 수동소자를 이용하여 부하를 구성하였으며 각각의 출력신호를 합쳤다. 그리고 수동소자를 사용함으로써 일반적인 능동소자만으로 구성된 일반적인 rail-to-rail 증폭기에 비하여 기생 커패시터의 크기가 작다. 그러므로 더 높은 주파수 특성을 가질 수 있다.



<Fig. 3> Rail-to-rail amplifier schematic

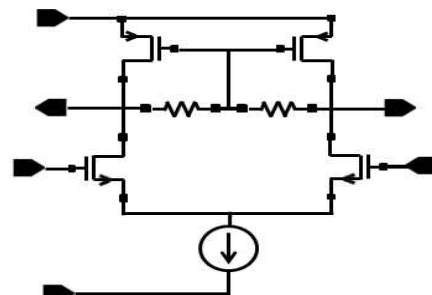
그림 4는 이 비교기에 히스테리시스 전압을 생성하기 위하여 구성한 회로이다.[1] 외부에서 2비트의 제어신호를 받아 각각의 s1, s2, s3, s4 스위치들의 on/off를 제어하여 히스테리시스 전압을 만들어낸다. 최소 0mV에서 최대 96mV까지 총 4단계로 나누어 히스테리시스 전압이 생성된다. pmos m1~m8의 크기는 수식(1)을 참조하여 설계하였다.[4]

$$V_{hys} = (1 - \sqrt{M}) \sqrt{\frac{2I}{(1 + M)\mu_n C_{ox} (\frac{W}{L})}} \quad (1)$$



<Fig. 4> Hysteresis schematic

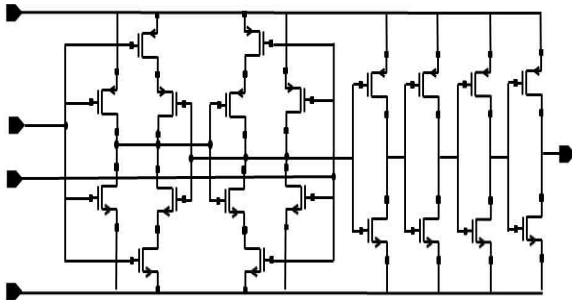
그림 5, 그림 6은 비교기의 정확성과 고속으로 동작시키기 위하여 설계한 전치 증폭기와 래치의 회로도이다.[2]



<Fig. 5> Pre-amplifier schematic

그림 5의 전치 증폭기는 완전 차동 형태의 증폭기이다. 완전 차동 형태의 증폭기는 공통 모드 전압 귀환(CMFB, common mode feed back) 회로가 필요하다. 그래서 2개의 출력 사이에 2개의 저항을 이용하여 공통 모드 전압 귀환을 구현하여 출력 공통 모드 전압(output common mode voltage)을 안정시켰다.

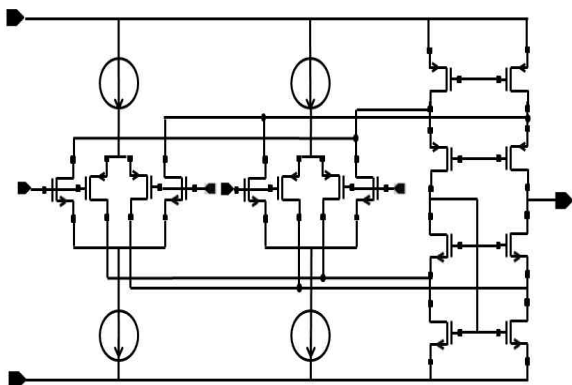
그림 6 은 비교기의 동작속도 및 확실한 이진 수 값으로 출력하기 위해 설계한 래치 회로이다. 이 래치 회로는 2개의 인버터(inverter)를 이용하여 순방향 귀환 루프를 구현하였기 때문에 결과 값이 빠르게 포화 상태에 도달하게 되어 이진신호인 0, 1로 출력된다. 이 경우 고속 동작에 적합하며 뒤에 인버터 체인의 버퍼 단을 추가하여 출력 값을 보완하고 정확한 값을 출력하며 비교기의 속도 및 정확성을 높일 수 있었다.



<Fig. 6> Latch schematic

2.2 차동 차이 증폭기 (DDA, differential difference amplifier)

비교기의 두 번째 형태인 DCM을 구현하기 위해서는 각 채널의 테스트 중인 소자 출력 신호인 DUT0와 DUT1 신호의 공통 모드 전압의 차이와 차동 전압의 차이 전압을 모두 감지하며 그 차이를 그대로 내출 수 있는 차동 증폭기를 필요로 하게 된다. 이를 위해 제안된 비교기에서는 차동 차이 증폭기로 구현하였다.[3]

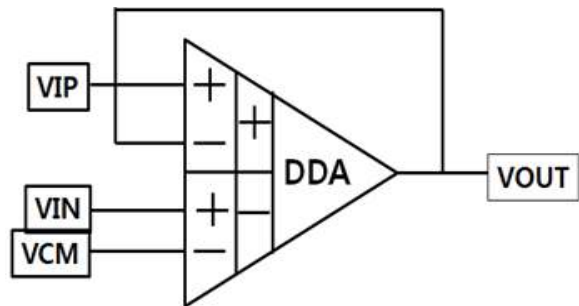


<Fig. 7> DDA schematic

그림 7 은 차동 차이 증폭기에 회로도이다. 이 차동 차이 증폭기도 넓은 범위의 입력 신호조로 설계하였다. 출력단은 folded cascode 구조로 설계하여 추가적인 보상 커패시터를 사용하지 않아 증폭기의 속도와 안정도를 확보하였다.

그림 8 은 DCM을 구현하기 위하여 차동 차이 증폭기의 블록도이다. 부 귀환 루프를 이용하여 이득이 1인 버퍼로써 구동하게 하였으며 VCM을 이용하여 출력 동상 모드 전압을 안정화 하였다. 위와 같은 동작은 수식 (2)를 참조하면 두 신호의 차이신호와 공통모드 신호를 감지하여 출력한다는 것을 알 수 있다. 이 수식을 근거로 DCM을 구현하는데 필요한 차동 증폭기를 차동 차이 증폭기로 구현하였다..

$$V_{OUT} = V_{IP} - V_{IN} + V_{CM} = (V_{p,di} - V_{n,di}) + (V_{p,cm} - V_{n,cm}) + V_{CM} \quad (2)$$

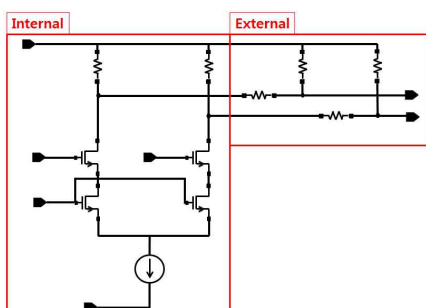


<Fig. 8> Block diagram of DDA

2.3 출력 단

그림 9 는 비교기 출력단의 회로도이다. 기존의 출력구동회로는 BJT로 구성되어 있다. 하지만 이 비교기가 구현된 공정에서는 BJT를 사용 할 수 없어 CMOS로만 구현한 회로도이다. 이 회로도를 사용하는 이유로는 출력이 공급전원(VDD)에서 공급전원(VDD)-250mV 까지 출력 전압을 스위칭하며 많은 전류를 흘려주기 위하여 사용한다. 여기서 공급전원이 1.2V~3.3V까지 변하게된다. 그래서 항상 250mV 스윙할 수 있도록 nmos를 캐스코드 형태로 쌓았다. 윗단에 nmos는 비교기 출력을 받아 스위치처럼 동작하며 아랫단에 nmos는 고정된 바이어스 전압을 받아 일정한 저항을 가지도록 구현하여 공급전원이 변하여도 항상

일정한 전압차 (250mV)가 출력되도록 한다. 외부로는 동축케이블을 통하여 출력되므로 그림 9의 칩 외부를 모델링하여 어떤 공급전원이 들어와도 250mV 차이를 내줄 수 있도록 설계하였다.



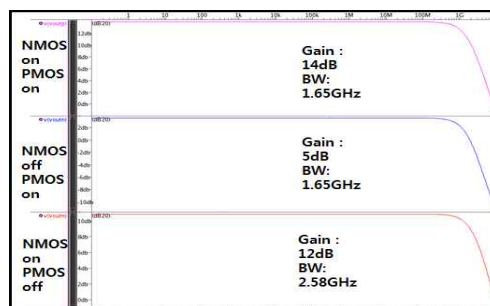
<Fig. 9> Output stage schematic

3. 모의실험 결과 및 구현

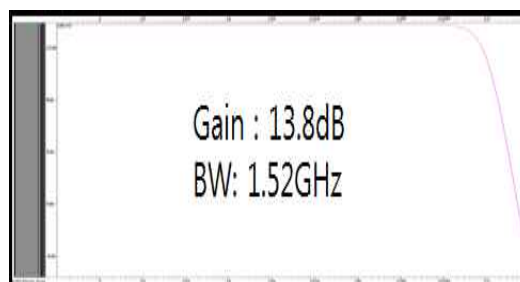
본 논문에서 제안하는 비교기는 0.18 μ m BCDMOS 공정을 사용하여 설계하였다. 공급전원은 연속형 비교기 및 차동 차이 증폭기에는 5V 전원을 공급하고 출력 단에는 1.2V~3.3V사이의 전원을 공급한다.

그림 10은 rail-to-rail 증폭기의 AC 모의실험 결과이다. 넓은 범위(0~5V)의 입력신호를 받아야 되므로 총 3가지 구간에서의 모의실험을 진행하였다. 첫 번째로는 입력 공통 모드 전압이 2.5V인 nmos on, pmos on일 때의 경우와 두 번째로는 입력 공통 모드 전압이 0.1V인 nmos off, pmos on인 경우, 세 번째로는 입력 공통 모드 전압이 4.9V인 nmos on, pmos off인 경우해서 총 3가지의 AC 모의실험 결과를 확인할 수 있다. 이렇게 각각의 경우마다 이득은 다르지만 입력신호가 0~5V 사이의 어떠한 공통모드전압을 가지는 신호가 들어와도 증폭되어 출력 된다.

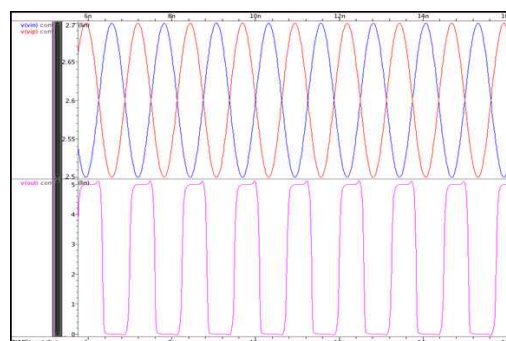
그림 11은 전치증폭기의 입력 공통 모드 전압이 2.5V일 때의 AC 모의실험결과이다. 그림 12는 래치의 모의실험결과이며 이 래치 최대 입력 주파수가 800MHz일 때 100mV 차까지 비교할 수 있는 것을 이 모의실험을 통하여 확인할 수 있다. 이 래치의 성능을 기준으로 입력신호간의 차이가 5mV일 때를 비교하기 위해서 필요한 rail-to-rail 증폭기의 이득과 전치증폭기의 이득 및 스테이지의 수를 정할 수 있다.



<Fig. 10> AC simulation results of rail-to-rail amplifier

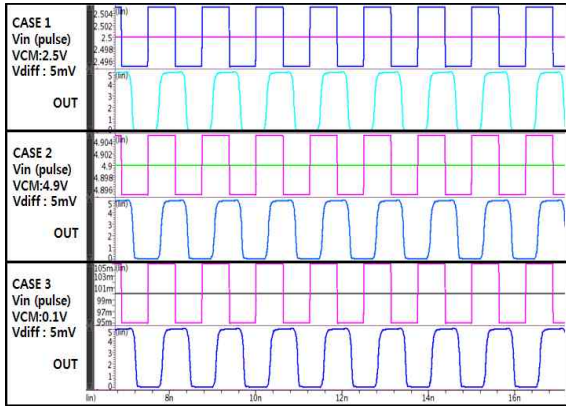


<Fig. 11> AC simulation result of pre-amplifier

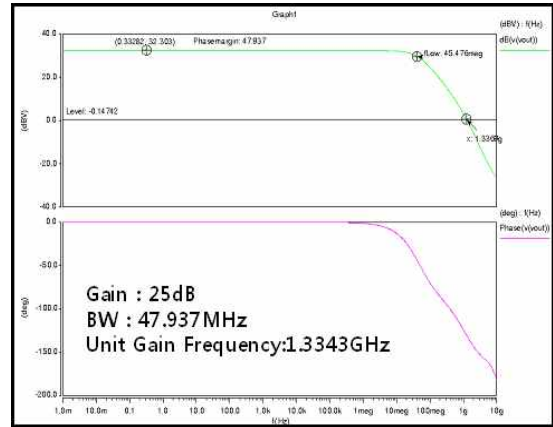


<Fig. 12> Simulation results of latch

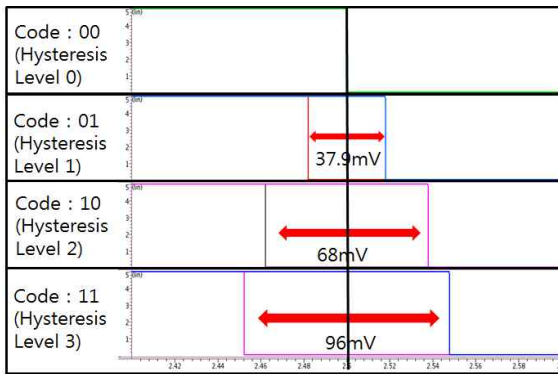
그림 13은 연속형 비교기의 모의실험 결과이다. 기능을 확인하기 위하여 총 3가지 경우로 모의실험을 진행하였으며 조건은 입력 신호의 주파수는 800MHz이며 입력 공통 모드 전압이 각각 2.5V, 4.9V, 0.1V이며 차이가 5mV일 때의 결과이다. 각각의 경우마다 약간의 지연시간은 존재하지만 비교하여 확실한 이진 코드가 나오는 것을 확인할 수 있다.



<Fig. 13> Simulation result of comparator



<Fig. 15> AC simulation result of DDA

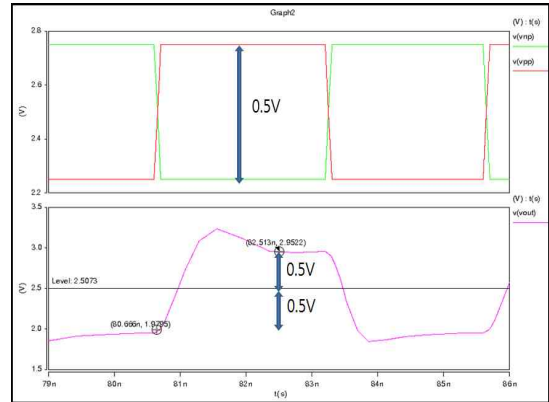


<Fig. 14> Simulation result of Hysteresis

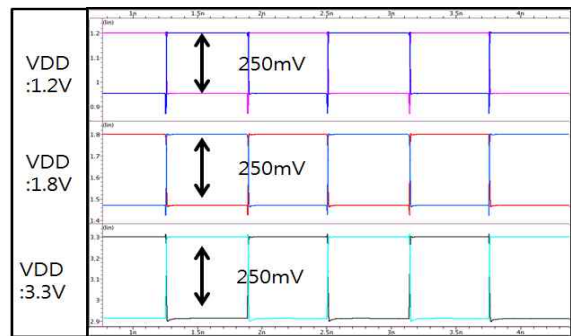
그림 14 는 제어 신호에 따른 히스테리시스 모의실험 결과이다. 제어 신호가 00일 때는 히스테리시스 전압이 없는 기본 상태를 말하며 제어신호의 코드가 0 1~11 까지 변할 때 히스테리시스 전압은 최소 37.9mV에서 최대 96mV까지 총 3단계로 순차적으로 변하는 것을 확인할 수 있다.

그림 15 는 차동차이증폭기의 AC 모의실험 결과이다. 이 결과를 가지고 그림 16 의 모의실험 결과를 얻을 수 있다. 두 입력 신호 간의 감지한 공통모드 전압을 중심으로 차이 전압인 0.5V가 더하거나 빠진 형태로 나오는 것을 확인 할 수 있다.

그림 17 은 출력단의 모의실험결과이며 전원공급전압이 1.2V, 1.8V, 3.3V로 변할 때 출력신호의 전압차가 250mV를 유지하는 것을 확인 할 수 있다.

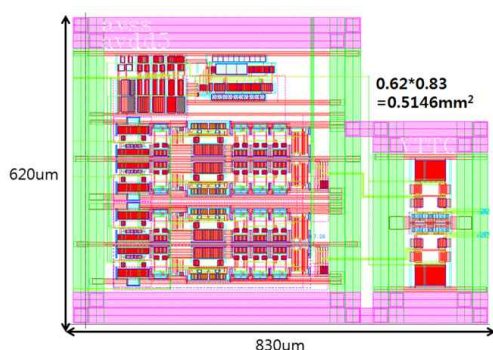


<Fig. 16> Simulation results of DDA



<Fig. 17> Simulation results of output stage

제안된 비교기의 면적은 그림 18 에 나타나 있으며 크기는 620 μ m x 830 μ m이다. 성능은 표 1 에 요약 기재하였다.



<Fig 18> Layout of comparator

<Table 1> Comparator Performance

	Performance
Process	0.18μm BCDMOS
Supply Voltage	5V
Input Range	0 ~ 5V
Maximum Input Frequency	800MHz
Hysteresis(00~11)	0mV ~ 96.9 mV
Comparison Accuracy	5mV
Chip Size(w/o pad)	620μm x 830μm

4. 결론

본 논문에서는 자동시험장비(ATE, automatic test equipment) 시스템에 사용되는 Driver IC의 구성 요소인 비교기를 설계하는 것을 목표로 한다. 입력 단을 rail-to-rail 구조를 이용하여 입력 신호를 넓은 범위(0~5V), 높은 주파수(1~800 MHz)를 받아들일 수 있고, 전치증폭기, 래치 등의 회로를 이용하여 고속 동작 및 정확성을 확보할 수 있었다. NCM형태를 구현하였고 이어서 히스테리시스 기능을 추가하였다. 두 입력 신호 간의 공통 모드 전압 차이 및 차동 전압의 차이를 모두 감지하는 차동 차이 증폭기를 설계하여 DCM 형태를 구현하였다.

References

[1] Xinbo Qian . “A Low-power Comparator with

Programmable Hysteresis Level for Blood Pressure Peak Detection”, TENCON 2009

[2] Vladimir Milovanovi, Zimmermann, H. “A 40 nm LP CMOS Self- Biased Continuous-Time Comparator with sub- 100ps Delay at 1.1V & 1.2mW”, ESSCIRC, 2013.

[3] E. Säackinger and W. Guggenbühl, “A Versatile Building Block: The CMOS Differential Difference Amplifier,” IEEE Journal of Solid-State Circuits, April 1987.

[4] Hong-Wei Huang, Chia-Hsiang Lin and Ke-Horng Chen, “A programmable dual hysteretic window comparator” ISCAS, 2008



조 인 수 (In-su Cho)

- 비회원
- 2013년 서경대학교 전자공학과 학사 졸업.
- 2013년 ~ 현재 서경대학교 대학원 전자컴퓨터공학과 석사 과정.
- 관심분야 : 데이터 변환기, 아날로그 집적회로 설계



임 신 일 (Shin-II Lim)

- 정회원, 교신저자
- 1980년 서강대학교 전자공학과 학사 졸업.
- 1983년 서강대학교 대학원 전자공학과 석사 졸업.
- 1995년 서강대학교 대학원 전자공학과 박사 졸업.
- 1982년 ~ 1991년 한국전자통신연구원(ETRI)선임연구원
- 1991년 ~ 1995년 전자부품연구원(KETI) 선임연구원
- 1995년 ~ 현재 서경대학교 전자공학과 교수
- 관심분야 : 아날로그 집적회로 설계(통신, 바이오 메디컬, 산업, 가전)

논문 접수일 : 2014년 02월 27일
 1차 수정 완료일 : 2014년 04월 15일
 2차 수정 완료일 : 2014년 05월 29일
 게재 확정일 : 2014년 05월 30일